МОДЕЛИРОВАНИЕ СОСТОЯНИЙ ПОЛНОГО И ЧАСТИЧНОГО ОБЕДНЕНИЯ ВЫСОКОТЕМПЕРАТУРНЫХ ТРАНЗИСТОРОВ НА СТРУКТУРАХ КРЕМНИЙ НА ИЗОЛЯТОРЕ MODELING OF FULL AND PARTIAL DEPLETION FOR HIGH-TEMPERATURE TRANSISTORS ON SILICON-ON-INSULATOR STRUCTURES

УДК 621.382.322, ВАК 05.27.01

А.Бенедиктов^{1,2}, П.Игнатов² / abenediktov@mikron.ru
A.Benediktov^{1,2}, P.Ignatov²

Рассмотрены особенности движения основных носителей зарядов в пространстве между стоком и истоком КНИ МОП-транзисторов при различных температурах окружающей среды. Смоделированы состояния полного и частичного обеднения транзисторов. Сделаны выводы о работоспособности КНИ МОП-транзисторов в зависимости от состояния обеднения области между истоком и стоком и рабочей температуры.

The features of motion of major charge carriers in the space between the drain and source of SOI MOS transistors at different ambient temperatures are considered. The full and partial depletion of transistors is simulated. Operability of SOI MOS transistors depending on the depletion of area between source and drain and on the operating temperature is determined.

Как правило, в класс высокотемпературной электроники (High Temperature Electronics, HTE) принято выделять электронные компоненты, рассчитанные на устойчивую работу в диапазоне температур от -60 до 225 °C (рис.1) [1, 2]. Для реализации высокотемпературной элементной базы используются структуры кремний на изоляторе (КНИ), а также на основе карбида кремния (SiC) и нитрида галлия (GaN) [1, 3, 4]. При этом электронные компоненты на основе КНИ имеют меньшую конечную стоимость, а сама технология хорошо отработана при производстве радиационно-стойких интегральных схем [4]. Вследствие низкой стоимости и высокой технологичности элементная база на основе КНИ актуальна для авиационной, автомобильной, нефтегазовой, космической и атомной отраслей промышленности [1, 4, 5].

В качестве базовой технологии для проведения исследований состояний полного и частичного обеднения и особенностей движения основных носителей зарядов в пространстве между стоком и истоком МОП-транзисторов выбрана двумерная TCAD-модель радиационно-стойких МОП-транзисторов на КНИ-структурах с напряжением питания 5 В из линейки КНИ180. Выбор данной элементной базы для высокотемпературных исследований обусловлен результатами, полученными Honeywell [6], XFAB [7] и IBM [8].

ОСОБЕННОСТИ РАБОТЫ КНИ МОП-ТРАНЗИСТОРОВ. СОСТОЯНИЯ ОБЕДНЕНИЯ МОП-ТРАНЗИСТОРА

Рассмотрим поперечное сечение структуры металл-оксид-полупроводник-оксид-полупроводник (рис.2). На рисунке нуль оси Oх совпадает с границей раздела Si-SiO₂ вблизи верхнего затвора, а положительное направление оси

Рис.1. Классификация электронных компонентов в зависимости от диапазона рабочих температур

Fig.1. Classification of electronic components depending on operating temperature range

перпендикулярно слоям структуры. Пусть x_{d1} и x_{d2} обозначают толщины областей пространственного заряда (ОПЗ), то есть таких областей в слое кремния, в которых отсутствуют свободные носители зарядов. Также введем обозначения ϕ_{s1} (при $x = 0$) и ϕ_{s2} (при $x = t_{si}$) для поверхностных потенциалов и V_{G1} и V_{G2} - для напряжений, подаваемых на верхний и нижний затворы соответственно.

При повышении температуры окружающей среды, в результате совокупного действия явлений, таких как увеличение частоты колебаний атомов в узлах кристаллической решетки кремния и повышение скоростей движения электронов, изменяется состояние КНИ МОП-транзистора [9]. Принято различать состояния частичного (рис.3а) и полного (рис.3б) обеднения

Рис.2. Структура металл-оксид-полупроводник-оксид-полупроводник

Fig.2. Metal-oxide-semiconductor-oxide-semiconductor structure

Typically, it is accepted to refer to high temperature electronics (HTE) electronic components designed for stable operation in the temperature range from -60 to 225 °C (Fig.1) [1, 2]. For creation of the high temperature circuitry silicon on insulator (SOI) structures, silicon carbide (SiC) and gallium nitride (GaN) are used [1, 3, 4]. However, electronic components on the SOI basis have a lower final cost and the technology is well established in the production of radiation-resistant integrated circuits [4]. Due to the low cost and

high manufacturability the SOI circuitry is relevant for the aviation, automotive, oil and gas, aerospace and nuclear industries [1, 4, 5].

The two-dimensional TCAD model of radiation-resistant MOS transistors on SOI structures with 5 V supply voltage from the КНИ180 range is selected as a basic technology for study of full and partial depletion and the features of the motion of major charge carriers in the space between the drain and source of MOS transistors. The choice of this element base for high-temperature studies is caused by the results

obtained by Honeywell [6], XFAB, [7] and IBM [8].

FEATURES OF OPERATION OF SOI MOS TRANSISTORS. DEPLETION OF MOS TRANSISTOR

Let's consider the cross section of the metal-oxide-semiconductor-oxide-semiconductor structure (Fig.2). In the figure, the zero of the Oх-axis coincides with the interface of Si-SiO₂ near the upper gate, and the positive direction of the axis is perpendicular to the layers of the structure. Let x_{d1} and x_{d2} designate the thickness of the space charge regions

¹ Московский физико-технический институт (государственный университет) / Moscow institute of physics and technology (State University).
² Научно-исследовательский институт молекулярной электроники / Research institute for molecular electronics.

Рис.3. Частично обедненный транзистор (a) и полностью обедненный транзистор (b)

Fig.3. Partially depleted transistor (a) and fully depleted transistor (b)

МОП-транзистора [9]. При этом, с учетом введенных обозначений, случай частичного обеднения характеризуется неравенством $(x_{d1} + x_{d2}) < t_{si}$, а случай полного обеднения – неравенство $(x_{d1} + x_{d2}) \geq t_{si}$. Заметим также, что в случае частичного обеднения в области между стоком и истоком существует электрически нейтральная область, называемая основанием.

Переключение между состояниями частичного и полного обеднения происходит в зависимости от напряжений на затворах V_{G1} и V_{G2} , напряжения сток-исток V_{DS} и температуры T [9]. Зависимость порогового напряжения МОП-транзистора от температуры [9], а также состояния полного и частичного обеднения и температура перехода из одного состояния в другое показаны на рис.4. Из

приведенного графика следует, что для реализации высокотемпературной активной элементной базы актуально сохранение состояния полного обеднения в широком диапазоне температур, так как в данном состоянии, в отличие от состояния частичного обеднения, обеспечиваются следующие преимущества:

- понижение встроенного потенциала р-п-переходов, что позволяет компенсировать эффект плавающей подложки, проявляющийся по мере повышения температуры окружающей среды [9, 10];
- независимость порогового напряжения МОП-транзистора от температуры [9, 10];
- минимизация токов утечки при больших температурах за счет исключения электрически

(SCR), that is, those areas in a silicon layer in which there are no free charge carriers. Also we will introduce the designations φ_{s1} (at $x = 0$) and φ_{s2} (at $x = t_{si}$) for surface potentials, and V_{G1} and V_{G2} for voltages applied to the upper and lower gates, respectively.

In case of environment temperature increase, as a result of the cumulative impact of such phenomena as the increase of vibration frequency of atoms in the nodes of silicon crystal lattice and increase the velocity of electrons, the state of the SOI MOS transistor changes [9]. It is accepted to distinguish partial (Fig.3a) and full

(Fig.3b) depletion of the MOS transistor [9]. Taking into account the introduced designations, the partial depletion is characterized by the inequality $(x_{d1} + x_{d2}) < t_{si}$, and the full depletion – by the inequality $(x_{d1} + x_{d2}) \geq t_{si}$. Let's notice also that in the case of a partial depletion in the region between the drain and the source, there is an electrically neutral region – the base.

Toggles between partial and full depletion depends on the voltages on the gates V_{G1} and V_{G2} , the drain-source voltage V_{DS} and temperature T [9]. The dependence of the threshold voltage of the MOS transistor

on temperature [9], partial and full depletion and the temperature of transition from one state to another are shown in Fig.4. It follows from the chart that for the creation of the high temperature active element base it is important to preserve the full depletion in a wide temperature range, because this state, in contrast to the partial depletion, provides the following advantages:

- decrease in the built-in potential of p-n junctions that allows to compensate the effect of a floating substrate, which is manifested with increase of ambient temperature [9, 10];

Рис.4. Зависимость порогового напряжения транзистора от температуры

Fig.4. Dependence of threshold voltage of transistor on temperature

- нейтральной области, накапливающей заряд [9, 10];
- уменьшение воздействия эффектов плавающего напряжения, в том числе кинк-эффекта и эффекта паразитного биполярного транзистора [9, 10].

Задача разработки технологии высокотемпературных транзисторов на структурах КНИ должна включать обработку различных вариантов рас-

пределения легирующих примесей в пространстве между стоком и истоком транзистора, так как от их концентрации зависят толщины областей обеднения. Вследствие перечисленных обстоятельств необходимо получить распределение носителей зарядов в МОП-транзисторах из исходной (доза вносимой примеси BF_2 в n-канальный транзистор равна $2,6 \cdot 10^{12} \text{ см}^{-2}$, а доза примеси P, вносимой в p-канальный

- independence of the threshold voltage of the MOS transistor on temperature [9, 10];
- minimization of leakage currents at high temperatures by eliminating an electrically neutral region that accumulates charge [9, 10];
- reduced exposure of the floating voltage effects, including the kink and parasitic bipolar transistor effects [9, 10].

The development of technology for high-temperature transistors on SOI structures should include the testing of different variants of the distribution of dopants in the space between the drain and source of the

transistor, as thickness of depletion regions depends on their concentration. Due to the aforementioned circumstances, it is necessary to obtain the distribution of charge carriers in MOS transistors from the initial (the dose of the BF_2 dopant introduced into the n-channel transistor is $2.6 \cdot 10^{12} \text{ cm}^{-2}$, and the dose of P dopant introduced into the p-channel transistor is equal to $1.5 \cdot 10^{12} \text{ cm}^{-2}$) and modified ($5 \cdot 10^{12} \text{ cm}^{-2}$ and $1.5 \cdot 10^{12} \text{ cm}^{-2}$, respectively) TCAD models at temperatures from -60 to 250°C . Based on the analysis of the obtained distributions of carriers it should to determine the temperature of transition from full to partial

depletion and to compare these values for the two models.

ANALYSIS OF DISTRIBUTION OF CHARGE CARRIERS. DETERMINATION OF FULL AND PARTIAL DEPLETION

Two-dimensional distribution of the charge carriers in transistor structures at different temperatures are obtained using the Sentaurus Process tool from a TCAD set. The analysis of two-dimensional distributions allows to establish that in a modified model of n-channel MOS transistor, unlike the initial model, the region with a lower concentration of electrons near the buried dielectric is formed. If to consider the change

Рис.5. Формирование облака электронов (обозначено эллипсом) вблизи области истока n-канального МОП-транзистора при температуре 100°C: а – исходная модель транзистора; б – измененная модель транзистора
Fig.5. Formation of electron cloud (marked by ellipse) near source of n-channel MOS transistor at a temperature of 100°C: a – initial model of transistor; b – modified model of transistor

транзистор, равна $1,5 \cdot 10^{12} \text{ см}^{-2}$) и измененной ($5 \cdot 10^{12} \text{ см}^{-2}$ и $1,5 \cdot 10^{12} \text{ см}^{-2}$ соответственно) TCAD-моделей при температурах от -60 до 250 °C. На основе анализа полученных распределений носителей следует определить температуру перехода от полного обеднения к частичному и сопоставить эти значения для двух моделей.

АНАЛИЗ РАСПРЕДЕЛЕНИЙ НОСИТЕЛЕЙ ЗАРЯДА. ОПРЕДЕЛЕНИЕ СОСТОЯНИЙ ПОЛНОГО И ЧАСТИЧНОГО ОБЕДНЕНИЯ

Двумерные распределения носителей зарядов в транзисторных структурах при различных температурах получены с помощью инструмента Setaurus Process из набора САПР TCAD. В результате анализа двумерных распределений установлено, что в измененной модели n-канального МОП-транзистора в отличие от исходной формируется область с меньшей концентрацией электронов вблизи скрытого диэлектрика. Если рассматривать изменение концентрации носителей зарядов в данной области в обеих моделях с повышением температуры, то при 100 °C в исходной модели можно зафиксировать процесс формирования облака свободных электронов вблизи истока (рис.5а). Данное электронное облако с концентрацией, равной или превышающей концентрацию носителей в канале транзистора, оттягивается дырками, дрейфующими к области истока. Вследствие наличия электронов вблизи области истока понижаются значения потенциалов p-n переходов и разности потенциалов между истоком и стоком транзистора. Понижение потенциалов, в свою очередь, приводит к ослаблению усиительных свойств (падению порогового напряжения) транзистора с повышением температуры.

Рассмотренный эффект обнаружен также и в измененной модели (рис.5б), но концентрация электронов вблизи области истока транзистора на 5-6 порядков меньше по сравнению

с концентрацией электронов в канале транзистора. Следовательно, в случае измененной модели за счет меньшей начальной концентрации электронов вблизи скрытого диэлектрика, в сравнении с аналогичным показателем исходной модели, обеспечивается уменьшение влияния эффекта оттягивания электронов дрейфующими дырками.

Аналогично измененной модели n-канального МОП-транзистора эффект оттягивания основных носителей к области истока проявляется и в модели p-канального МОП-транзистора, причем концентрация дырок в облаке вблизи истока также значительно меньше концентрации дырок в канале МОП-транзистора.

При температурах выше 100 °C облако из основных носителей сильнее оттягивается к области истока с возрастанием температуры. При этом в случае предельных (> 200 °C) температур на большей части пространства между стоком и истоком концентрация основных носителей достигает сравнительно малых значений, а вблизи стока транзистора образуется область инверсии с концентрацией основных носителей меньше $1 \cdot 10^5 \text{ см}^{-3}$. Одновременно вблизи истока отмечается наличие облака электронов с высокой концентрацией относительно остального пространства между стоком и истоком. Наличие облака свободных электронов вблизи истока при одновременном явлении инверсии будем считать характерным признаком состояния частичного обеднения транзистора.

Рис.6. Формирование областей частичного обеднения (выделены окружностью и эллипсом) в исходной модели МОП-транзистора

Fig.6. Formation of regions of partial depletion (marked by a circle and an ellipse) in initial model of MOS transistor

Исходя из установленного условия на наличие областей обеднения определим для каждого рассматриваемого транзистора приблизительное значение температуры перехода из состояния полного обеднения в состояние частичного обеднения. Так, в исходной модели n-канального МОП-транзистора области с малой концентрацией основных носителей зарядов формируются в диапазоне температур от 100 до 250 °C, следова-

in the concentration of charge carriers in this region in both models with temperature increase, then at 100 °C in the initial model it is possible to register the formation of clouds of free electrons near the source (Fig.5a). This electron cloud, the concentration of which equals or exceeds the concentration of carriers in the transistor channel, is pulled by the holes that drift to the source. Due to the presence of electrons near the source, the potential of the p-n transitions and the potential differences between the source and drain of the transistor are reduced. The lowering of the potentials, in turn, leads to weakening of the amplifying

properties (drop of threshold voltage) of the transistor with temperature increase.

The considered effect is also found in a modified model (Fig.5b), but the concentration of electrons near the source region of the transistor is in 5-6 orders of magnitude smaller compared to the electron concentration in the transistor channel. Therefore, in the case of the modified model due to the smaller initial concentration of the electrons near buried dielectric, in comparison with the same characteristic of the source model, reduction of the effect of pulling out electrons by drifting holes is provided.

Similarly to modified model of n-channel MOS transistor, the pulling of major carriers to the source area is manifested in the model of the p-channel MOS transistor, and the concentration of holes in the cloud near the source is also significantly lower than the concentration of holes in the channel of a MOSFET.

At temperatures above 100 °C the cloud of major carriers is stronger drawn to a region of the source with increase of temperature. Thus, in case of extreme temperatures (> 200 °C) in most parts of the space between the drain and the source the concentration of major carriers is relatively small, and near the drain the

inversion area is formed with a concentration of majority carriers less than $1 \cdot 10^5 \text{ см}^{-3}$. At the same time, near the source the cloud of electrons is noted, the concentration of which is high relative to the rest of the space between the drain and the source. We will assume that the presence of cloud of free electrons near the source with simultaneous phenomenon of inversion is the characteristic symptom of partial depletion of the transistor.

Based on the established conditions for the existence of depletion regions, we will determine for each of the considered transistor approximate value of the temperature of

transition from the full to partial depletion. So, in the initial model of the n-channel MOS transistor, the regions with a low concentration of major charge carriers are formed in the temperature range from 100 to 250 °C, therefore, in this case, the transition temperature to partial depletion can be considered as 125-130 °C (Fig.6). The same values for the modified model of the n-channel MOS transistor and for model of p-channel MOS transistor are approximately 130 °C and 100 °C, respectively. It should be noted that the rate of change of the regions of the partial depletion is more for the original model that is

associated with the dependence of threshold voltages and saturation currents of the MOS transistors on temperature.

Let's consider also the depletion in models of transistors at limiting temperature of 250 °C. Fig.7 shows the distribution of electrons in the initial model of n-channel MOS transistor. In the figure, the area of inversion is marked by a large ellipse, and cloud of electrons near the source of the transistor is marked by a small one. At temperature increase this region is filled with electrons, which are pulled away by drifting holes, and thus the basis of the main charge carriers is formed, thanks to which

Рис.7. Распределение электронов в исходной модели n-канального МОП-транзистора при предельной температуре 250°C

Fig.7. Distribution of electrons in initial model of n-channel MOS transistor at maximum temperature of 250°C

Рис.8. Распределение электронов в исходной модели p-канального МОП-транзистора при предельной температуре 250°C

Fig.8. Distribution of electrons in initial model of p-channel MOS transistor at maximum temperature of 250°C

тельно, в данном случае температурой перехода к состоянию частичного обеднения можно считать 125-130°C (рис.6). Аналогичные значения для измененной модели n-канального МОП-транзистора и для модели p-канального МОП-транзистора составляют примерно 130 и 100°C соответственно. При этом следует отметить, что скорость изменения областей частичного обеднения больше у исходной модели, что связано с зависимостью

пороговых напряжений и токов насыщения МОП-транзисторов от температуры.

Рассмотрим также процессы обеднения, протекающие в моделях транзисторов при предельной температуре 250°C. На рис.7 показано распределение электронов в исходной модели n-канального МОП-транзистора. Большим эллипсом на рисунке отмечена область инверсии, а малым – облако электронов вблизи истока транзистора. При повы-

the potential differences of the transistor structures decrease.

At a temperature of 250°C, areas of inversion of the model of p-channel (Fig.8) and the modified model of n-channel (Fig.9) MOS transistors are much less than of the initial model of n-channel MOS transistor, which ultimately has a positive effect on their amplifying properties.

CONCLUSIONS

The distribution of the main charge carriers in models of SOI MOS transistors at the temperature from -60 to 250°C are considered and the relation between the depletion of MOS transistors and the ambient temperature

is determined. The formation of cloud of the main charge carriers near the source of the transistor is also considered, and the characteristic features of the switching of transistor between full and partial depletion are determined. The comparison of the initial and modified models of MOS transistors showed that in last the switching of MOS transistor between different states of depletion occurs at a higher temperature. As a consequence, the range of temperatures, at which the modified SOI MOS transistor is in a state of full depletion, is wider in comparison with the initial model. Since according to the dependence shown

in Fig.4 and the studies conducted by the Fraunhofer Institute [9], the full depletion is characterized by a linear dependence of threshold voltage on temperature, the modified model of n-channel SOI MOS transistor is more resistant to temperature compared to the initial model. ■

The project was supported by the Ministry of education and science of the Russian Federation in the framework of the Federal Targeted Programme for Research and Development in Priority Areas of Development of the Russian Scientific and Technological Complex for 2014-2020 according to the agreement No. 14.576.21.0063 dated October 23, 2014 (unique identifier of applied research RFMEFI57614X0063).

Рис.9. Распределение электронов в измененной модели n-канального МОП-транзистора при предельной температуре 250°C

Fig.9. Distribution of electrons in the modified model of n-channel MOS transistor at maximum temperature of 250°C

шении температуры данная область заполняется электронами, оттягиваемыми дрейфующими дырками – так формируется основание из носителей зарядов, вследствие наличия которого уменьшаются разности потенциалов транзисторных структур.

В отличие от исходной модели n-канального МОП-транзистора, у моделей p-канального (рис.8) и измененного n-канального (рис.9) МОП-транзисторов при температуре 250°C значительно меньше область инверсии, что, в конечном итоге, положительно влияет на их усилительные свойства.

ВЫВОДЫ

Рассмотрены распределения основных носителей зарядов в моделях КНИ МОП-транзисторов при температурах от -60 до 250°C и установлена связь между состояниями обеднения МОП-транзисторов и температурой окружающей среды. Также рассмотрены процессы формирования облака основных носителей зарядов вблизи истока транзистора и установлены характерные признаки переключения транзистора из состояния полного обеднения в состояние частичного обеднения. В результате сопоставления исходной и измененной моделей МОП-транзисторов установлено, что в последней переход МОП-транзистора от одного состояния обеднения к другому происходит при большей

температуре. Вследствие этого диапазон температур, при которых измененный КНИ МОП-транзистор находится в состоянии полного обеднения, шире по сравнению с исходной моделью. Так как согласно зависимости, приведенной на рис.4, и исследованиям, проведенным в институте Фраунгофера [9], режим полного обеднения характеризуется линейной зависимостью порогового напряжения от температуры, то измененная модель n-канального КНИ МОП-транзистора является более устойчивой к температурному воздействию по сравнению с исходной моделью.

Работа выполнена при поддержке Министерства образования и науки Российской Федерации в рамках федеральной целевой программы "Исследования и разработки по приоритетным направлениям развития научно-технического комплекса России на 2014-2020 годы" по соглашению № 14.576.21.0063 от 23 октября 2014 года (уникальный идентификатор прикладных научных исследований RFMEFI57614X0063).

ЛИТЕРАТУРА

1. Полищук А. Современная электроника. 2006. № 4. С. 20.
2. Janssens E. 4th European Networking Event. Düsseldorf, 2012.
3. Патент на изобретение, RUS 2149482. Красников Г.Я., Лукасевич М.И., Сулимин А.Д. Структура – кремний на изоляторе для СБИС (варианты), 1998. Номер заявки: 98123896/28.
4. Mantooth A. IEEE Power Electronics Society NEWSLETTER. 2006. V. 18. № 1. P. 9.
5. Johnson R. Wayne et al. IEEE Transactions on Electronic Packaging Manufacturing. 2004. № 3. P. 164.
6. Ohme B. et al. Updated Results from Deep Trek High Temperature Electronics Development Programs. Plymouth: Honeywell International Inc., 2007.
7. 0,18 μm Process Family: XT018. 0.18 Micron HV SOI CMOS Technology // XT018 Data Sheet. – X-FAB Semiconductor Foundries AG, 2014.
8. Foundry technologies 180-nm CMOS, RF CMOS and SiGe BiCMOS // Data Sheet. – IBM Microelectronics Division.
9. Schmidt A. Analog Circuit Design in PD-SOI CMOS Technology for High Temperatures up to 400°C using Reverse Body Biasing (RBB). Duisburg: University of Duisburg-Essen, 2014.
10. Шелепин Н.А. Нано- и микросистемная техника. 2015. № 5. С. 9.