СИНТЕЗАТОР ЧАСТОТ ДЛЯ БАЗОВОГО КРИСТАЛЛА СЕРИИ 5521

FREQUENCY SYNTHESIZER FOR 5521 GATE ARRAY FAMILY

УДК 621.382, ВАК 05.09.00, DOI:10.22184/1993-8578.2017.71.1.42.49

П.Волобуев* / synopsis@bk.ru
P.Volobuev*

Рассмотрен сложно-функциональный блок синтезатора частот, который предназначен для применения в составе микросхем, разрабатываемых на основе базовых кристаллов серии 5521. Описана его структура, особенности отдельных функциональных блоков.

A frequency synthesizer IP core for 5521 gate array family is described. The functional structure of the IP core, the design and performance concepts of certain sub blocks are presented.

В настоящее время при разработке отечественных систем высокоскоростной обработки информации востребованной становится современная отечественная электронная компонентная база, включающая в себя как цифровые, так и аналоговые сложно-функциональные блоки (СФ-блоки), в том числе синтезаторы частот [1, 2]. Диапазон выходных рабочих частот синтезаторов в таких устройствах может составлять от десятков МГц до нескольких ГГц.

Разработкой СФ-блоков синтезаторов частот на основе автоподстройки частоты (ФАПЧ) для систем на кристалле в России занимаются такие компании, как "Модуль-В", "Микрон", НПЦ "ЭЛВИС" и др. В НПК "Технологический центр" выполняются разработки радиационно-стойких специализированных СБИС на основе базовых кристаллов (БК) серии 5521. Из-за конструктивно-технологических особенностей данной серии БК использование наработанных СФ-блоков синтезаторов частот сторонних компаний в готовом виде оказывается затруднительным. Поэтому возникла необходимость разработки СФ-блока синтезатора частот специально для БК серии 5521 [3, 4].

Для синтеза частот наиболее часто используются методы прямого и косвенного (активного) синтеза. В первом случае выходная частота формируется посредством операций смешения,

умножения / деления, фильтрации опорной частоты, во втором осуществляется косвенный синтез, когда выходная частота формируется без нелинейных преобразований с помощью перестраиваемого генератора. Основными преимуществами прямых методов являются быстрота и малый шаг перестройки частоты. В качестве преимуществ косвенных методов можно выделить низкий уровень побочных спектральных составляющих и более простую реализацию по сравнению с прямым синтезом.

В разработанном синтезаторе частот (СЧ) применена классическая схема ФАПЧ. Из многообразия систем на основе ФАПЧ выбрана однокольцевая импульсная структура с одним перестраиваемым генератором. Обобщенная структурная схема СЧ представлена на рис.1.

В состав синтезатора частот входят: внешний опорный генератор (ОГ); предделитель с фиксированным коэффициентом деления (ПДФКД); фазово-частотный детектор (ФЧД); зарядовая помпа (ЗП); пассивный фильтр низких частот (ФНЧ); генератор, управляемый напряжением (ГУН); делитель с переменным коэффициентом деления в цепи обратной связи (ДПКД).

ОГ является источником опорной частоты f_0 и строится на основе внешнего температурно-компенсированного кварцевого генератора. Стабильность выходной частоты синтезатора

* НПК "Технологический центр" / SMC "Technological Centre".

Рис.1. Структурная схема синтезатора частот: ОГ – опорный генератор; ПДФКД – предделитель с фиксированным коэффициентом деления; ФЧД – фазово-частотный детектор; ЗП – зарядовая помпа; ФНЧ – фильтр низкой частоты; ДПКД – делитель с переменным коэффициентом деления на N ; ГУН – генератор, управляемый напряжением
 Fig.1. Block diagram of frequency synthesizer: RG – reference generator; FDRP – fixed-division-ratio prescaler; PFD – phase-frequency detector; CP – charge pump; LFF – low-frequency filter; DVDR – divider with a variable division ratio N ; VCO – voltage-controlled oscillator

Currently, with the development of high-speed systems of information processing, a modern domestic electronic component base, which includes both digital and analog IP cores, including the frequency synthesizers, becomes in demand [1, 2]. The output frequencies of the synthesizers in such devices can range from tens of MHz to several GHz.

Such Russian companies as Module V, Mikron, ELVEES, etc. develop IP cores of frequency synthesizers based on phase-locked loop (PLL) for system-on-chip. SMC "Technological Centre" develops radiation-resistant specialized VLSI IC based on gate arrays of 5521 family. Due to structural and technological features of this gate arrays family, the use of IP cores of frequency synthesizers of third-party companies in a ready kind is difficult. So there is a need for the

development of IP core of frequency synthesizer especially for 5521 gate array family [3, 4].

Direct and indirect (active) synthesis are the most frequently used methods of frequency synthesis. In the first case the output frequency is generated by operations of mixing, multiplication/division, filtering the reference clock signals, in the second case the indirect synthesis is carried out, when the output frequency is formed without non-linear transformations by using the tunable oscillator. The main advantages of direct methods are the high speed and small step of frequency tuning. The advantages of indirect methods are a low level of side spectral components and easier implementation compared to direct synthesis.

In the developed frequency synthesizer (FS) the classical PLL circuit is used. From the diversity of the systems based on PLL,

a single-loop pulse structure with a single tunable oscillator was chosen. A generic block diagram of the FS is shown in Fig.1.

The structure of the frequency synthesizer includes: external reference generator (RG); fixed-division-ratio prescaler (FDRP); phase-frequency detector (PFD); charge pump (CP); passive low-frequency filter (LFF); voltage-controlled oscillator (VCO); divider with a variable division ratio in feedback loop (DVDR).

RG is a source of reference frequency f_0 and is based on an external temperature-compensated crystal oscillator. The stability of the output frequency ($f_{\text{вых}}$) of frequency synthesizer is largely determined by the stability of the frequency f_0 .

The main purpose of the prescaler is the determination of the permissible frequency range of the reference oscillator. For the described IP core, f_0 can take

Рис.2. Математическая модель схемы ФАПЧ (n+1)-го порядка с петлевым фильтром n-го порядка

Fig.2. Mathematical model of PLL of (n+1)-th order with loop filter of n-th order

частот $f_{\text{ВЫХ}}$ во многом определяется стабильностью частоты f_0 .

Основное предназначение предделителя – определение допустимого диапазона частот опорного

генератора. Для описываемого СФ-блока f_0 может принимать значения от 4 до 6 МГц. ПДФКД принимает частоту f_0 от ОГ и делит ее на фиксированный коэффициент "4" ($f_1 = f_0/4$), то есть частота f_1

values from 4 to 6 MHz. FDRP receives frequency f_0 from the RG and divides it by a fixed coefficient "4" ($f_1 = f_0/4$), that is, the frequency f_1 from the output of the prescaler takes the values from 1 to 1.5 MHz. In case of an alternative version of the f_0 frequency range from 1 to 1.5 MHz, the prescaler is not used.

PFD is a digital discriminator. To one input of PFD the signal of frequency f_1 is given and to the second input – of frequency f_d . Information about mismatch in phase between f_1 and f_d is presented in the form of pulses $v_{\text{ФЧД}}$, the duration of which is proportional to the phase error.

CP has current output and converts signals of the phase error into a sequence of current pulses

$i_{3П}$ of various directivity, which are proportional to the phase error $v_{\text{ФЧД}}$.

LFF is the loop filter and an integrator of current pulses $i_{3П}$ from the circuit of the charge pump.

VCO is a tunable generator. The frequency of the signal f_r on its output depends on the signal level $v_{\text{ФНЧ}}$ on the control input.

DVDR generates a frequency f_d by dividing the frequency f_r by integer factor N, which is set on external terminals MOD[5:0] of the synthesizer. The frequency f_d is then sent as feedback to one of inputs of PFD to determine the phase imbalance of signals f_1 and f_d . DVDR in conjunction with the VCO generates the frequency f_d so that during the operation of

the PLL it became equal to the reference frequency f_1 . The step change in the output frequency $f_{\text{ВЫХ}}$ is equal to the value of frequency f_1 .

Change of division ratio N at a constant reference frequency f_0 leads to a change of frequencies f_r , f_d and $f_{\text{ВЫХ}}$. An important parameter of the frequency synthesizer is the settling time of frequency $f_{\text{ВЫХ}}$ when changing the factor N.

In modern devices, the settling time of the output signal of FS is from 20 to 50 μs [5, 6]. Small tuning step between neighboring values of the frequency $f_{\text{ВЫХ}}$ requires low value of reference frequency f_1 on the input of FS. However, this leads to the necessity of increasing the ratio of N

Рис.3. Упрощенная схема ФЧД

Fig.3. Simplified diagram of PFD

с выхода делителя принимает значения от 1 до 1,5 МГц. Имеется альтернативный вариант диапазона частот f_0 от 1 до 1,5 МГц, при котором делитель не используется.

ФЧД является цифровым дискриминатором. На один вход ФЧД подается сигнал с частотой f_1 , а на второй – с частотой f_d . Информация о рас-
согласовании фаз между f_1 и f_d представляется

Рис.4. Дифференциальный элемент задержки и кольцевой генератор на его основе, входящие в состав схемы ГУН

Fig.4. Differential delay element and ring generator on its base in VCO circuit

and proportional to the maximum spectral density of the phase noise. However, this leads to the necessity of increasing the ratio of N and proportional increase of spectral density of the phase noise.

To reduce the spectral density of phase noise, the DPCD is divided into two counters (A and B) with a tunable splitting ratios. This solution allowed us to implement in the FS for the adjustment of the bandwidth a feedback loop, in which the settling time of the output signal ($f_{\text{вых}}$) does not exceed 50 μs .

The basis of IP core for SF is the linearized mathematical model (Fig.2) of the frequency synthesizer of $(n+1)$ -th order on the basis of the PLL with LFF of n -th order. For this mathematical model the transfer function $T(s)$ of closed circuit of FS [7] has the form:

$$T(s) = \frac{C(s)}{1 + H(s)G(s)} = \frac{\theta_r(s)}{\theta_0(s)} = \frac{\frac{K_{\text{ФЧД}} Z_{\text{ПФ}}(s) K_{\text{ГУН}}}{s}}{1 + \frac{K_{\text{ФЧД}} Z_{\text{ПФ}}(s) K_{\text{ГУН}}}{s} \frac{1}{N}} = \frac{K_{\text{ФЧД}} Z_{\text{ПФ}}(s) K_{\text{ГУН}}}{s + \frac{K_{\text{ФЧД}} Z_{\text{ПФ}}(s) K_{\text{ГУН}}}{N}}$$

в виде импульсов $v_{\text{ФЧД}}$, длительность которых пропорциональна величине фазовой ошибки.

ЗП имеет токовый выход и преобразует сигналы фазовой ошибки в последовательность импульсов тока $i_{\text{ЗП}}$ различной направленности, пропорциональных фазовой ошибке $v_{\text{ФЧД}}$.

ФНЧ является петлевым фильтром и служит интегратором импульсов тока $i_{\text{ЗП}}$ от схемы зарядовой помпы.

ГУН – перестраиваемый генератор. Частота сигнала f_r на его выходе зависит от уровня сигнала $v_{\text{ФНЧ}}$ на управляющем входе.

ДПКД формирует частоту f_d путем деления частоты f_r на целочисленный коэффициент N , устанавливаемый на внешних выводах MOD[5:0] синтезатора. Частота f_d поступает затем в качестве обратной связи на один из входов ФЧД для определения разбаланса фаз сигналов f_1 и f_d . Блок ДПКД в связке с ГУН формирует частоту f_d так, чтобы в процессе функционирования ФАПЧ она стала равной опорной частоте f_1 . Шаг изменения выходной частоты $f_{\text{ВЫХ}}$ равен величине частоты f_1 .

Смена коэффициента деления N при неизменной опорной частоте f_0 приводит к смене частот f_r , f_d , и $f_{\text{ВЫХ}}$. Важным параметром синтезатора частот является время установления частоты $f_{\text{ВЫХ}}$ при смене коэффициента N .

В современных устройствах время установления выходного сигнала СЧ составляет от 20 до 50 мкс [5, 6]. Малый шаг перестройки между соседними значениями частоты $f_{\text{ВЫХ}}$ требует наличия на входе СЧ низкой опорной частоты f_1 . Однако, это приводит к необходимости увеличения коэффициента N и пропорциональному возрастанию спектральной плотности фазового шума.

Для снижения уровня спектральной плотности фазовых шумов блок ДПКД разделен на два счетчика А и В с перестраиваемыми коэффициентами деления. Такое решение позволило реализовать в СЧ подстройки полосы пропускания петли обратной связи, при которой время установления выходного сигнала $f_{\text{ВЫХ}}$ не превышает 50 мкс.

В основе разработанного СФ-блока СЧ лежит линеаризованная математическая модель (рис.2) схемы синтезатора частот $(n+1)$ -го порядка на основе ФАПЧ с ФНЧ n -го порядка. Для данной математической модели передаточная функция $T(s)$ замкнутой цепи СЧ [7] имеет вид:

$$T(s) = \frac{G(s)}{1 + H(s)G(s)} = \frac{\theta_r(s)}{\theta_0(s)} = \frac{\frac{K_{\text{ФЧД}} Z_{\text{ПФ}}(s) K_{\text{ГУН}}}{s}}{1 + \frac{K_{\text{ФЧД}} Z_{\text{ПФ}}(s) K_{\text{ГУН}}}{s} \frac{1}{N}} = \frac{K_{\text{ФЧД}} Z_{\text{ПФ}}(s) K_{\text{ГУН}}}{s + \frac{K_{\text{ФЧД}} Z_{\text{ПФ}}(s) K_{\text{ГУН}}}{N}}$$

where $G(s)$ is the transfer function of the straight chain, $H(s)$ is the transfer function of the inverse chain, $\theta_r(s)$ is the output phase, $\theta_0(s)$ is the input reference phase, $K_{\text{ФЧД}}$ is the transfer coefficient of the discriminator, $Z_{\text{ПФ}}(s)$ is the impedance of the loop filter, $K_{\text{ГУН}}$ is the slope of the tuning characteristics of the VCO, s is the complex variable, N is the division ratio of the frequency of DVDR.

The definition and analysis of a linearized mathematical model, the substitution of the appropriate parameters of individual blocks allowed to reach in the feedback system the value of phase margin of about 50 degrees, relative short time of transients in the FS and

determination of the frequency $f_{\text{ВЫХ}}$.

In the PFD (Fig.3) the signal f_1 with input phase θ_0 is added to the feedback signal f_d with phase $\theta_{\text{ДПКД}}$, and the phase difference is multiplied by the ratio $K_{\text{ГУН}}$. The PFD circuit is based on the dynamic single-phase synchronous triggers that allows to enhance the performance of the detector and to reduce the settling time of the control voltage of VCO.

At operation of the CP the logic levels on the inputs UP and DN control the integration of current $i_{\text{ЗП}}$ on LFF. The pump has original design, includes two current sources with alignment of currents on the basis of an error amplifier in the

operational amplifier and pre-charge blocks to reduce the negative effects when switching current sources. If the current sources of the pump are disabled, the output (OUT) is in a high impedance state, which enables storage of the achieved level of the voltage of control signal $v_{\text{ФНЧ}}$. CP has an extended range of the output operating voltage through the use of a low-voltage current mirror and has a lower current leakage, which reduces the spurious components in the spectrum of $f_{\text{ВЫХ}}$.

The LFF (loop filter) is implemented in the form of the integrating chain of the 3-th order [8]. It determines the dynamic characteristics of the FS and adds additional poles and zeros

где $G(s)$ – передаточная функция прямой цепи, $H(s)$ – передаточная функция обратной цепи, $\theta_r(s)$ – выходная фаза, $\theta_0(s)$ – входная опорная фаза, $K_{\text{ФЧД}}$ – коэффициент передачи дискриминатора, $Z_{\text{ПФ}}(s)$ – импеданс петлевого фильтра, $K_{\text{ГУН}}$ – крутизна перестроенной характеристики ГУН, s – комплексная переменная, N – коэффициент деления частоты ДПКД.

Построение и анализ линеаризованной математической модели, подстановка в нее соответствующих параметров отдельных блоков позволили в системе с обратной связью достичь значения запаса по фазе около 50 градусов, относительно малого времени переходных процессов в СЧ и установления частоты $f_{\text{вых}}$.

В ФЧД (рис.3) происходит суммирование сигнала f_1 с входной фазой θ_0 с сигналом обратной связи f_d с фазой $\theta_{\text{ДПКД}}$ и умножение разницы фаз на коэффициент $K_{\text{ГУН}}$. Схема ФЧД построена на динамических однофазных синхронных триггерах, что позволяет повысить быстродействие детектора и уменьшить время установления управляющего напряжения ГУН.

При функционировании ЗП логические уровни на входах UP и DN управляют процессом интегрирования тока $i_{3\text{П}}$ на ФНЧ. Помпа имеет оригинальное исполнение, содержит два источника тока с выравниванием значе-

ний токов на основе усилителя ошибки на операционном усилителе и блоки предзаряда для уменьшения эффектов проброса остаточного заряда при переключении источников тока. Если источники тока помпы отключены, то выход OUT находится в высокоимпедансном состоянии, что обеспечивает хранение достигнутого уровня напряжения управляющего сигнала $v_{\text{ФНЧ}}$. ЗП обладает увеличенным диапазоном выходного рабочего напряжения за счет использования низковольтного токового зеркала, обладает пониженными токами утечек, что уменьшает уровень побочных компонентов в спектре $f_{\text{вых}}$.

ФНЧ (петлевой фильтр) реализован в виде интегрирующей цепочки 3-го порядка [8]. Он определяет динамические характеристики СЧ и добавляет на фазово-частотной характеристике дополнительные полюсы и нули. ФНЧ осуществляет подавление дискретных побочных составляющих (ДПСС) формируемых ЗП и от блока ГУН в спектре выходного сигнала. Импеданс фильтра третьего порядка определяется выражением в операторной биномиальной форме:

$$Z_{\text{ПФ}}(s) = \frac{(1 + sR_2C_2) \times (1 + sR_3C_3)}{s^3C_1R_2C_2R_3C_3 + s^2[(C_1 + C_2)R_3C_3 + R_2C_2(C_1 + C_3)] + s(C_1 + C_2 + C_3)}$$

to the phase-frequency characteristic. The LFF reduces the discrete side components that are formed by CP and VCO in the spectrum of the output signal. The impedance of the filter of the third order is manifested in binomial form:

$$Z_{\text{ПФ}}(s) = \frac{(1 + sR_2C_2) \times (1 + sR_3C_3)}{s^3C_1R_2C_2R_3C_3 + s^2[(C_1 + C_2)R_3C_3 + R_2C_2(C_1 + C_3)] + s(C_1 + C_2 + C_3)}$$

By changing the variable of impedance in the transfer function of the closed circuit of FS with PLL it is possible to determine the natural frequency of the jitter of the PLL, that is oscillations arising in case of $R_2 = 0$ and $R_3 = 0$. Frequency of the jitter decreases with the increase of the values of capacitors of LFF and decrease in operating current of CP.

The VCO is implemented using differential delay elements (Fig.4), which have better noise performance at frequencies up to 1 GHz compared to in-phase elements. Special attention during development was paid to such parameters of the VCO, as the linearity of the transfer characteristic, frequency tuning range and power consumption (Fig.5).

Рис.5. Зависимости от уровня управляющего напряжения $v_{\text{ФНЧ}}$ на ГУН от крутизны передаточной характеристики ГУН (а) и частоты выходного сигнала СЧ (б)

Fig.5. Dependences of control voltage $v_{\text{ФНЧ}}$ on slope of transfer characteristic of VCO (a) and frequency of output signal of FS (b)

Характеристики СФ-блока синтезатора частот

Features of frequency synthesizer IP core

Технологические нормы, нм Node size, nm	180
Напряжение питания, В Voltage, V	$3,3 \pm 10\%$
Температура, °C Temperature, °C	-60...85
Диапазоны входных частот, МГц Input frequencies ranges, MHz	1-1,5; 4-6
Диапазон выходных частот (по результатам моделирования с учетом топологии), МГц Output frequency range (according to modeling subject to the topology), MHz	4-384
Время установления выходной частоты, мкс Settling time of output frequency, μ s	≤ 50
Средний потребляемый ток в активном режиме, мА Average current consumption in active mode, mA	≤ 10
Занимаемая площадь на кристалле, мкм ² Occupied area on chip, μ m ²	112 590

Путем замены переменной импеданса в передаточной функции замкнутой цепи СЧ с ФАПЧ определяется собственная частота джиттера ФАПЧ, то есть колебания, возникающие при $R_2 = 0$ и $R_3 = 0$. Частота джиттера уменьшается с увеличением номиналов конденсаторов ФНЧ и снижением рабочего тока ЗП.

ГУН реализован с использованием дифференциальных элементов задержки (рис.4), которые обладают лучшими шумовыми характеристиками на частотах до 1 ГГц по сравнению с синфазными элементами. Особое внимание при разработке уделялось таким параметрами ГУН, как линейность передаточной характеристики, диапазон перестройки частоты и потребляемая мощность (рис.5).

СФ-блок синтезатора частоты имеет регистр MOD[5:0] установки коэффициента $N = A \cdot B$ и вывод PLL_MOD отключения петли ФАПЧ СЧ. Синтезатор может работать в трех режимах:

- при $N \geq 1$ и PLL_MOD = 1 частота выходного сигнала (рис.6) $F_{\text{ВЫХ}} = F_{\text{ВХ}} \cdot A / M$, где $F_{\text{ВХ}}$ – входная частота, M – коэффициент деления ПДФКД, A – коэффициент деления счетчика A , входящего в состав ДПКД;
- при $N = 0$ и PLL_MOD = 1 включена петля ФАПЧ, и частота выходного сигнала $F_{\text{ВЫХ}} = F_{\text{ВХ}}$;

Рис.6. Результат моделирования переходного процесса установления выходного сигнала СЧ на 384 МГц

Fig.6. Result of modeling of transient output signal of FS at 384 MHz

IP core of the frequency synthesizer has a register MOD[5:0] for adjustment of the factor $N = A \cdot B$ and output PLL_MOD for switch-off a loop of PLL FS. The synthesizer can operate in three modes:

- when $N \geq 1$ and PLL_MOD = 1, the output frequency (Fig.6) $F_{\text{ВЫХ}} = F_{\text{ВХ}} \cdot A / M$, where $F_{\text{ВХ}}$ is the input frequency, M is the division ratio of the FDRP, A is the division ratio of the counter in DVDR;
- when $N = 0$ and PLL_MOD = 1, the PLL loop is enabled and the output frequency $F_{\text{ВЫХ}} = F_{\text{ВХ}}$;
- when PLL_MOD = 0, the PLL loop is disabled, and the frequency of the output signal $F_{\text{ВЫХ}} = F_{\text{ВХ}}$.

General view of the topology of the designed IP core of FS is shown in Fig.7.

IP core of the frequency synthesizer is implemented on the base of 5521 gate array family for 0.18 μ m process [9] and has the characteristics presented in table.

This paper was created with the financial support of the Ministry of Education and Science of the Russian Federation. Unique identifier RFMEFI58015X0005..

Рис.7. Топология СФ-блока СЧ с ФАПЧ для БК серии 5521
Fig.7. Topology of IP core of FS PLL for 5521 gate array family

- при PLL_MOD=0 отключена петля ФАПЧ, и частота выходного сигнала $F_{\text{ВЫХ}} = F_{\text{ВХ}}$.

Общий вид топологии разработанного СФ-блока СЧ представлен на рис.7.

СФ-блок синтезатора частот реализован на БК серии 5521 с технологическими нормами 0,18 мкм [9] и имеет характеристики, представленные в таблице.

Статья подготовлена при финансовой поддержке Минобрнауки России. Уникальный идентификатор ПНИЭР RFMEFI58015X0005.

ЛИТЕРАТУРА

1. **Behzad Razavi**. Monolithic Phase-Locked Loops and Clock Recovery Circuits: Theory

and Design. Wiley IEEE Press. December 4, 2008.

2. **Best R. E.** Phase-Locked Loops. Design, Simulation, and Applications. McGraw Hill, 2003.
3. **Денисов А.Н., Коняхин В.В., Якунин А.Н., Бец В.П.** Разработка аппаратуры космического применения с использованием базовых матричных кристаллов // Вестник НПО им. С.А.Лавочкина. 2012. № 5. С. 67-73.
4. **Гаврилов С.В. Денисов А.Н. Коняхин В.В., Малашевич Н.И. Федоров Р.А.** Семейство серии базовых матричных кристаллов // Известия высших учебных заведений. Электроника. 2015. Т. 20. № 5. С. 497-504.
5. **Pozar D.M.** Microwave and RF Wireless Systems. Wiley. 2000.
6. **Calhoun B.H., Cao Y.** Digital Circuit Design Challenges and Opportunities in the Era of Nanoscale CMOS // In Proceeding of the IEEE. 2008. V. 96. № 2. URL: <http://www.ece.cmu.edu/~rutenbar/pdf/rutenbarprocieee08.pdf>
7. **Peiqing Zhu**. Design and characterization of phase locked loops for radiation-tolerant applications. PhD Dissertation. Department of Electrical Engineering, Southern Methodist University. Dallas, TX. 2008.
8. **Keese W.O.** An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump Phase-Locked Loops. National Semiconductor Application Note 1001. May 1996.
9. **Коняхин В.В., Денисов А.Н., Федоров Р.А., Вильсон А.Л., Бражников С.С., Коновалов В.С., Малашевич Н.И., Росляков А.С.** Микросхемы для аппаратуры космического назначения : Практич. пос. / Под. общ. ред. А.Н. Саурова. – М.: ТЕХНОСФЕРА, 2016. 388 с.