3D КМОП – МЕМРИСТОРНАЯ НАНОТЕХНОЛОГИЯ СОЗДАНИЯ ЛОГИЧЕСКОЙ И ЗАПОМИНАЮЩЕЙ МАТРИЦ НЕЙРОПРОЦЕССОРА

3D CMOS, MEMRISTOR NANOTECHNOLOGY FOR CREATING LOGICAL AND MEMORY MATRICES OF NEUROPROCESSOR

УДК 621.382, ВАК 05.27.01, DOI: 10.22184/1993-8578.2017.76.5.26.34

С.Удовиченко¹, д.ф.-м.н., А.Писарев¹, к.т.н., А.Бусыгин, О.Маевский², к.т.н. / udotgu@mail.ru
S.Udovichenko¹, D.Sc., A.Pisarev¹, Ph.D., A.Busygin, O.Maevsky², Ph.D.

Сверхбольшие многослойные логическая и запоминающая матрицы являются основными составными частями нейропроцессора – электронного устройства, которое обрабатывает информацию подобно головному мозгу. Представлена топология логической и запоминающей ячеек. Матрицы на основе этих ячеек можно изготавливать с помощью вакуумной нанотехнологии, в которой совмещены классические транзисторная КМОП (комплементарная металл – оксид – полупроводник) технология с технологией мемристорного кроссбара.

The super-large multi-layered logical and storage matrices are main components of the neuroprocessor, which is an electronic device that processes information like the brain. The topology of the logical and storage cells is presented. Matrices based on these cells can be manufactured using vacuum nanotechnology, which combines classical transistor CMOS (complementary metal-oxide-semiconductor) technology with a memristor crossbar technology.

Для создания электрической схемы нейропроцессора требуется разработка отдельных его узлов, таких как запоминающее устройство, коммутатор логических схем, драйверы и т.д. Исходя из большой архитектуры нейропроцессора и соответствующего большого количества элементов в электрической схеме к этим узлам предъявляются общие требования: высокая интеграция элементов при объединении их в сверхбольшую матрицу; минимизация площади, которую занимает ячейка матрицы на кристалле; высокие быстродействие и энергоэффективность. Монолитная трехмерная интеграция памяти на мемристорах и логических схем позволит значительно повысить производительность и энергоэффективность масштабируемых вычислительных систем и может служить основой для создания нейропроцессора.

В настоящее время разрабатываются нейроморфные КМОП-устройства. Например, процессор IBM TrueNorth [1] благодаря многоядерной архитектуре обеспечивает достаточную производительность для моделирования кортикальной колонки мозга. Интегрирование мемристорного кроссбара с КМОП-транзисторной логикой уже применяется при разработке аппаратной нейроморфной сети [2] и изготовлении планарной логической матрицы [3].

Разработка аппаратной базы нейропроцессора на основе мемристорной микросхемы, интегрированной с КМОП-логикой, начата в [4]. Современная транзисторная КМОП-логика предусматривает переключения элементов до нескольких миллиардов раз в секунду, в то время как ресурс переключения у мемристоров достаточно мал. По этой причине мемристоры не могут заменить классические КМОП-транзисторы, работающие

¹ Тюменский государственный университет / University of Tyumen.

² ООО "Нанодевайсес" / Nanodevices LTD.

в высокочастотных логических инверторах. Однако мемристорные матрицы эффективны при работе в качестве энергонезависимых конфигурационных элементов с малой скоростью переключения, предназначенных для создания программируемых соединений высокочастотных КМОП-транзисторных блоков.

Интеграция КМОП-транзисторов и мемристоров, выполненная в многослойной 3D-топологии, создает предпосылки для построения электронных схем с новыми возможностями, свойственными нейроморфным электронным системам и нейропроцессорам. В таких устройствах мемристоры могут играть роль синапсов – конфигурационных коммутаторов логических схем, которые формируют логику работы всего устройства путем программируемого послойного соединения логических блоков, находящихся на разных уровнях 3D-матрицы, устроенной по образу кортикальной колонки мозга. Кроме этого, монолитная трехмерная интеграция конфигурационной памяти и логических схем на мемристорах может значительно повысить производительность и энергоэффективность конфигурируемых вычислительных систем.

ЭЛЕКТРИЧЕСКИЕ СХЕМЫ МАТРИЦ

Элементарная ячейка многослойной логической матрицы (рис.1) отличается от описанной в работе [5] планарной логической матрицы: ячейка имеет

восемь входов I1-I8, коммутирующихся через мемристоры M1-M8, которые осуществляют реализацию логических функций при работе инверторов на напряжениях питания ниже напряжения туннельного пробоя. На напряжениях выше туннельного пробоя последовательно включенный диод Зенера позволяет программировать мемристор надпороговым напряжением, проводя ток в обоих направлениях. Нагрузочная способность КМОП-инвертора позволяет использовать до шести открытых мемристоров одновременно. Учитывая, что при программировании максимальное количество выходов дешифратора коммутирующего устройства определяется числом 2^n , где $n = 1, 2, 3...$, минимальное число мемристоров на один инвертор равно восьми.

Мемристоры подключены к соединенным затворам полевых транзисторов T1 и T2, включенных комплементарно по схеме КМОП-инвертора. Вход инвертора соединен с проводником P1, выходящим на периферию матрицы, при этом каждая ячейка имеет свой, не подключенный к другим ячейкам проводник, который является цепью программирования мемристоров. Расположенные рядом элементарные ячейки одного уровня соединены с шинами питания Vdd и Vss, через которые осуществляется управление режимами работы устройства. Напряжением питания управляют драйвера, подключенные к входным шинам, которые вынесены на периферию матрицы.

To create the electrical circuit of the neuroprocessor, it is necessary to develop its individual elements such as memory, logic switch, drivers, etc. Proceeding from the large architecture of the neuroprocessor and the corresponding large number of nodes in the electrical circuit, these elements are subject to general requirements: high integration of elements and combining them into an extremely large matrix; minimization of the area occupied by the cell of the matrix on the chip; high performance and energy efficiency. Monolithic three-dimensional integration of memory on memristors and logic circuits will significantly improve the performance

and energy efficiency of scalable computing systems and can serve as the basis for creating a neuroprocessor.

Currently, neuromorphic CMOS devices are being developed. For example, the IBM TrueNorth [1] processor, thanks to the multi-core architecture, provides sufficient performance for modeling the cortical column of the brain. Integration of a memristor crossbar with CMOS transistor logic is already used in the development of a hardware neuromorphic network [2] and the production of a planar logic matrix [3].

The development of the hardware base of a neuroprocessor based on a memristor chip integrated with CMOS logic is

described in [4]. Modern transistor CMOS logic assumes switching of elements up to several billion times per second, while the switching resource of memristors is quite small. Therefore, memristors can not replace classical CMOS transistors operating in high-frequency logic inverters. However, memristor matrices are effective when operating as non-volatile configuration elements with a low switching speed, designed to create programmable connections of high-frequency CMOS transistor blocks.

The integration of CMOS transistors and memristors, implemented in a multilayer 3D topology, creates the prerequisites for the creation of electronic circuits

Рис.1. Электрическая схема элементарной ячейки для многослойной логической матрицы

Fig.1. Circuit diagram of elementary cell for multilayered logical matrix

Электрическая схема элементарной ячейки многослойной запоминающей матрицы конструктивно идентична ячейке многослойной логической матрицы, но содержит большее число мемристоров. Основное отличие запоминающей матрицы из таких ячеек от логической матрицы заключается

в способе соединения ячеек между собой, обеспечивающем селективную запись и считывание отдельных мемристоров. Отметим, что ячейка многослойной запоминающей матрицы принципиально отличается от элементарной ячейки планарной запоминающей матрицы [6], построенной на комплементарных мемристорах и диоде Зенера. Отсутствие транзисторов в пассивной планарной запоминающей матрице ограничивает ее возможный размер. Для преодоления этих ограничений в ячейки многослойной запоминающей матрицы встроен активный элемент – инвертор на двух транзисторах.

Многослойная логическая матрица, состоящая из КМОП-инверторов и мемристоров, в основном режиме работы реализует булеву функцию, построенную на основе конъюнктивной многовходовой логики с отрицанием типа "И-НЕ", которая предварительно скоммутирована мемристорными переключателями в режиме обучения. Операция "И" производится в мемристорном кроссбаре, а операцию "НЕ" выполняет стоящий за ним инвертор. В многослойной матрице ячейки объединены в кластеры. В кластере содержится столько ячеек, сколько имеется входов в одной ячейке (рис.1). Электрическая схема кластера из трех ячеек на основе инверторов DD4-DD6 показана на рис.2. Инверторы DD1-DD3 являются частью другого кластера, находящегося в соседнем пласте.

Программирование мемристоров M1-M9 осуществляется по шинам P1-P3, являющихся проводниками мемристорного кроссбара и подключенным к входам соответствующих инверторов

with new capabilities inherent in neuromorphic electronic systems and neuroprocessors. In such devices, memristors can play the role of synapses – configuration switches of logic circuits that form the logic of the entire device by programmable layer-by-layer connection of logical blocks located at different levels of a 3D matrix arranged like a cortical column of the brain. In addition, the monolithic 3D integration of configuration memory and logic circuits on memristors can significantly improve the performance and energy efficiency of configurable computing systems.

CIRCUIT DIAGRAMS OF MATRICES

The elementary cell of the multilayered logical matrix (Fig.1) differs from the planar logical matrix described in [5]: the cell has eight inputs I1-I8, commutated through memristors M1-M8, which realize the logical functions when the inverters operate at voltages below the tunnel breakdown voltage. At voltages above tunnel breakdown, a series-connected Zener diode allows to program the memristor with an over-threshold voltage, conducting current in both directions. The load capacity of a CMOS inverter allows up to six open memristors to be used

simultaneously. Considering that in programming the maximum number of outputs of the decoder of the switching device is determined by the number 2^n , where $n = 1, 2, 3, \dots$, the minimum number of memristors per inverter is eight.

The memristors are connected to the connected gates of the field-effect transistors T1 and T2, which are complementarily connected in a manner of a CMOS-inverter. The input of the inverter is connected to the conductor P1, which leads to the periphery of the matrix, and each cell has its own conductor not connected to other cells, which is a programming circuit of

Рис.2. Электрическая схема кластера с тремя ячейками и межпластовое соединение ячеек в логической матрице
Fig.2. Circuit diagram of cluster with three cells and interlayer connection of cells in logical matrix

DD4-DD6. К противоположным контактам мемристоров напряжение прикладывается от инверторов DD1-DD3. Проблему взаимовлияния при программировании мемристоров решает алгоритм управления драйвером, расположенным на периферии кристалла.

Электрическая схема запоминающей матрицы (рис.3) образует мемристормый кроссбар,

Рис.3. Электрическая схема блока памяти из 8×8 ячеек
Fig.3. Circuit diagram of memory block of 8×8 cells

состоящий из 64 элементарных ячеек по 8×8 мемристоров. Выходные инверторы на рисунке (выходы Y) физически находятся внутри ячеек. Инвертор каждой ячейки обслуживает восемь мемристоров своей ячейки и 56 мемристоров из других ячеек, объединенных общей вертикальной шиной. Для удобства анализа работы матрицы в принципиальной электрической схеме инверторы

memristors. The adjacent elementary cells of the same level are connected to the power lines Vdd and Vss, through which the operating modes of the device are controlled. The supply voltage is controlled by the drivers connected to the input buses, which are placed on the periphery of the matrix.

The electrical circuit of the unit cell of the multilayer memory matrix is structurally identical to the cell of the multilayer logic matrix, but contains a larger number of memristors. The main difference of the memory matrix consisting of such cells from the logical matrix lies in the method

of connecting cells to each other, which ensures selective recording and reading of individual memristors. It should be noted that the cell of the multilayer memory matrix is fundamentally different from the unit cell of the planar memory matrix [6] built on complementary memristors and a Zener diode. The absence of transistors in a passive planar memory matrix limits its possible size. To overcome these limitations, an active element – an inverter on two transistors – is built into the cells of the multilayer memory matrix.

A multi-layered logical matrix consisting of CMOS inverters and

memristors, in the basic operation mode, implements a Boolean function built on the basis of conjunctive multi-input logic with negation of the AND-NOT type, which was previously switched by the memristor switches in the training mode. Operation AND is performed in the memristor crossbar, and the operation NOT is performed by the inverter located behind it. In a multilayer matrix, the cells are clustered. The cluster contains as many cells as there are inputs in one cell (Fig.1). The circuit diagram of a cluster of three cells based on inverters DD4-DD6 is shown in Fig.2. The inverters

Рис.4. Эпюры напряжения на входе и выходе пластов логической матрицы: а – вход верхнего пласта; б – выходы верхнего пласта / входы нижнего пласта; в – выход нижнего пласта; г – выход нижнего пласта

Fig.4. Diagrams of voltage at input and output of layers of logical matrix: а – input of upper layer; б – outputs of upper layer / inputs of lower layer; в – output of lower layer; г – output of lower layer

показаны на периферии. Изменение состояния мемристоров производится подачей на соответствующие горизонтальные и вертикальные шины разности потенциалов, превышающей порог открытия мемристоров. Считывание состояния происходит построчно: инвертор входа X требуемой строки подает напряжение на горизонтальную шину, остальные инверторы при этом находятся в противоположном состоянии. Состояние выходов Y в таком случае будет инвертированным отображением состояния мемристоров в выбранной строке.

Для тестирования работоспособности 3D логической матрицы было проведено SPICE-моделирование фрагмента, состоящего из двух пластов, которые содержат по две логические ячейки. Каждая ячейка фрагмента содержит два коммутирующих мемристора. Информация в мемристоры записывалась последовательно. Высокое сопротивление получили мемристоры $M1$ и $M5$, а остальные – низкое. В результате на верхнем слое реализовались логические функции $Y11 = V(\times111) = X1 \vee X2$ и $Y12 = V(\times112) = X2$, а на нижнем слое: $Y21 = HE(Y11) = HE(X1 \vee X2)$ и $Y22 = HE(Y12) = HE(X2)$.

На рис.4 показаны входные и выходные уровни напряжения матрицы, полученные в ходе моделирования. Из рисунка следует, что выходные сигналы матрицы, полученные в ходе моделирования, соответствуют запрограммированным функциям: сигнал $Y11$ отражает дизъюнкцию $X1$ и $X2$, а $Y12$ – инверсию $X2$. Выходные сигналы

DD1-DD3 are part of another cluster located in the adjacent layer.

Programming memristors $M1$ - $M9$ is carried out on the buses $P1$ - $P3$, which are conductors of the memristor crossbar and are connected to the inputs of the corresponding inverters DD4-DD6. Voltage is applied to opposite contacts of memristors from inverters DD1-DD3. The problem of interaction during the programming of memristors is solved by control algorithm of the driver located on the periphery of the chip.

The circuit diagram of the memory matrix (Fig.3) forms a memristor crossbar consisting of 64

elementary cells (8×8 memristors). The output inverters in the figure (outputs Y) are physically located inside the cells. The inverter of each cell serves eight memristors of its cell and 56 memristors from other cells, united by a common vertical bus. For the convenience of analyzing the operation of the matrix, inverters are shown on the periphery of the circuit diagram. The change in the state of the memristors is performed by supplying to the respective horizontal and vertical buses a potential difference exceeding the threshold for the opening of memristors. The status is read line-by-line: the

input inverter X of the required line supplies voltage to the horizontal bus, the other inverters at this time are in the opposite state. The state of the outputs Y in this case will be inverted with respect to the memristors state in the selected line.

To test the operation of the 3D logic matrix, a SPICE simulation of a fragment consisting of two layers, each of which contains two logical cells, was carried out. Each cell of the fragment contains two commutating memristors. Information was recorded in memristors serially. Memristors $M1$ and $M5$ have received high resistance,

Y21, Y22 стробированы импульсами, приходящими на питание выходных инверторов.

ТОПОЛОГИЯ И ТЕХНОЛОГИЯ ИЗГОТОВЛЕНИЯ МНОГОСЛОЙНЫХ МАТРИЦ

Основные этапы создания логической 3D-матрицы выполняются по существующим промышленным технологиям с применением методов литографии, магнетронного напыления, ионной имплантации, термической диффузии и плазменного травления.

Сначала в слое монокристаллического кремния создаются n-МОП и p-МОП транзисторы с объединенными затворами и стоками по стандартной КМОП-технологии. Затем методом вакуумного магнетронного напыления изготавливается нижняя часть проводников шин питания Vss и Vdd. Получившийся инвертор закрывается слоем диэлектрика с колодцем под металл, соединяющий сигнальный проводник с затворами транзисторов. Сверху на слой диэлектрика напыляются верхняя часть шин питания и восемь сигнальных проводников Iy1-Iy8, параллельно пронизывающих матрицу и выходящих на периферию. Они являются нижними проводниками мемристорного кроссбара, один из которых соединен с объединенными затворами транзисторов и служит входом инвертора. Свободное место между проводниками заполняется диэлектриком. Непосредственно на эти восемь проводников магнетронным способом напыляется мемристивный слой по ранее описанной технологии [7], на котором с помощью маски изготавливаются вертикально ориентированные диоды Зенера D1-D8 по технологии,

Рис.5. Топология двух соседних элементарных ячеек логической матрицы из пластов разного уровня

Fig.5. Topology of the two adjacent cells of the logical matrix that contains layers of different levels

приведенной в [8]. Анод диода изготавливается путем выращивания слоя кремния и его последующего низкотемпературного легирования p-примесью методом эпитаксии из твердой фазы. Таким же образом создается катод, легированный n-примесью.

Слой мемристоров соединяет пластиы разного уровня и является верхним слоем элементарной ячейки, топология которой показана на рис.5.

На кристалле создается один пласт, являющийся аналогом планарной двухслойной логической

while the rest – low. As a result, the logical functions $Y11 = V(x11) = X1 \vee X2$ and $Y12 = V(x12) = X2$ were realized on the upper layer, and on the lower layer: $Y21 = \text{NOT}(Y11) = \text{NOT}(X1 \vee X2)$ and $Y22 = \text{NOT}(Y12) = \text{NOT}(X2)$.

Fig.4 shows the input and output levels of the matrix voltage obtained during the simulation. It follows from the figure that the matrix output signals obtained during the simulation correspond to the programmed functions: the signal Y11 reflects the disjunction X1 and X2, and Y12 – the inverse X2. The output signals Y21, Y22 are gated by pulses arriving

at the power supply of the output inverters.

TOPOLOGY AND TECHNOLOGY FOR MANUFACTURING MULTILAYER MATRICES

The main stages of creating a logical 3D matrix are performed using existing industrial technologies: lithography, magnetron sputtering, ion implantation, thermal diffusion and plasma etching.

First, n-MOS and p-MOS transistors with integrated gates and sinks are created in the monocrystalline silicon layer using standard CMOS technology. Then, by vacuum magnetron sputtering,

the lower part of the conductors of the power lines Vss and Vdd are made. The resulting inverter is closed with a dielectric layer with a metal well that connects the signal conductor to the gates of the transistors. On top of the dielectric layer, the upper part of the power lines and eight signal conductors Iy1-Iy8 are deposited, which pass through the matrix in parallel and exit to the periphery. They are the bottom conductors of the memristor crossbar, one of which is connected to the combined gates of the transistors and serves as the input of the inverter. The free space between

Рис. 6. Принцип пространственного расположения элементарных ячеек

Fig. 6. Principle of spatial arrangement of elementary cells

матрицы, содержащий в нижнем слое транзисторы, а в верхнем – мемристоры. Вышележащий пласт ориентирован накрест к нижнему, что является необходимым условием для образования коммутирующих кроссбаров между пластинами. Таким образом, получается конструкция, показанная на рис. 6.

Для обеспечения необходимых соединений в запоминающей матрице в топологии ячейки (рис. 7) добавлен слой диэлектрика, в котором проходят сквозные шины, обеспечивающие доступ к выходу каждого инвертора на периферии матрицы. К каждому такому проводнику вышележащей ячейки

Рис. 7. Топология элементарных ячеек запоминающей матрицы и принцип их соединения

Fig. 7. Topology of elementary cells of memory matrix and principle of their connection

подсоединены восемь мемристоров ячейки, находящейся снизу, таким образом в одной ячейке находятся $8 \times 8 = 64$ мемристора с последовательно включенными диодами Зенера. Число мемристоров

the conductors is filled with a dielectric. Directly on these eight conductors, a memristor layer is deposited by magnetron using the previously described technology [7], where vertically oriented Zener diodes D1-D8 are manufactured using a mask and the technology given in [8]. The anode of the diode is made by growing a silicon layer and its subsequent low-temperature doping with a p-impurity by solid phase epitaxy. The cathode doped with the n-impurity is also created in this way.

The layer of memristors connects layers of different levels and is the upper layer of the unit cell,

the topology of which is shown in Fig. 5.

A single layer is created on the chip, which is an analog of a planar two-layered logical matrix containing transistors in the lower layer, and memristors in the upper layer. The overlying layer is oriented crosswise to the bottom one, which is a prerequisite for the formation of commuting crossbars between the layers. Thus, the construction shown in Fig. 6 is obtained.

To provide the necessary connections in the memory matrix, a layer of dielectric is added in the cell topology (Fig. 7), in which

pass-through buses providing access to the output of each inverter at the periphery of the matrix. To each such conductor of the overlying cell eight memristors of the cell are connected, which is located at the bottom, thus in one cell there are $8 \times 8 = 64$ memristors with series-connected Zener diodes. The number of memristors in the cell is determined by the area of the CMOS inverter. Further increase in the number of memristors implies an increase in the size of transistors.

The creation of 3D super-large logical matrix is possible by the technology of manufacturing

в ячейке определяется площадью КМОП-инвертора. Дальнейшее увеличение числа мемристоров предполагает увеличение размеров транзисторов.

Создание 3D сверхбольшой логической матрицы возможно по технологии изготовления многослойных чипов, содержащих КМОП-структуры в верхних слоях [9].

Объединение планарных двухслойных логических матриц в 3D-структуру обеспечивает высокую интеграцию элементов за счет того, что элементы ячейки и сами ячейки расположены компактно друг над другом, при этом значительное уменьшение длины соединительных шин по вертикальным и горизонтальным направлениям увеличивает быстродействие и снижает энергопотребление.

Для введения примеси в полупроводниковую подложку при изготовлении транзисторов в нижнем пласте используется быстрое термическое легирование при 1050 °С. КМОП-транзисторы в верхних пластах необходимо изготавливать при температуре 600 °С, чтобы избежать перегрева всей структуры и, в первую очередь, расплавления проводников. Для легирования используется метод эпитаксии из твердой фазы.

Для сглаживания неровности пластов при их сращивании на нижний пласт необходимо нанести межпластовой диэлектрик толщиной около 100 нм. После изготовления межпластового диэлектрика его верхний слой выравнивается методом химико-механической планаризации (Chemical Mechanical Planarization – CMP) [10]. Применение CMP позволяет достичь среднеквадратичной шероховатости

подложки, равной 0,2 нм, что намного лучше требований для высококачественного склеивания.

Полированная верхняя поверхность пласта сращивается по технологии низкотемпературного (200 °С) молекулярного склеивания, разработанного для КНИ-подложек [9]. Верхняя подложка гидрофильно приклеивается при комнатной температуре к межпластовому диэлектрику и затем производится управляемое скалывание верхнего слоя кремния по линии имплантированного водорода. После полировки поверхности скола остается тонкий слой монокристаллического кремния, который служит основой для транзисторов следующего пласта. В полученном слое монокристаллического кремния по технологии межкремниевого соединения TSV (Through-Silicon Via) вытравливаются сквозные колодцы, которые заполняются металлом для верхних проводников мемристормного кроссбара. Эти проводники являются выходами инверторов верхних ячеек и объединяют катоды диодов нижележащей ячейки.

ЗАКЛЮЧЕНИЕ

Представлена топология логической и запоминающей матриц на основе КМОП-мемристормных ячеек, а также вакуумная нанотехнология их изготовления, совмещающая классическую кремниевую КМОП-технология, а также технологии мемристормного кроссбара, монокристаллической 3D-интеграции и изготовления вертикально ориентированных диодов Зенера. Топология многослойных матриц образована из одинаковых пластов, состоящих из слоев, наносимых в последовательных технологических

multilayer chips containing CMOS structures in the upper layers [9].

The integration of planar two-layered logical matrices into a 3D structure provides a high integration of the elements due to the fact that the cell elements and the cells themselves are compactly stacked one above the other, while a significant reduction in the length of the connecting buses along the vertical and horizontal directions increases the performance and reduces power consumption.

To introduce an impurity into the semiconductor substrate, the

rapid thermal alloying at 1050 °C is used in the manufacture of transistors in the lower layer. CMOS transistors in the upper layers must be made at a temperature of 600 °C to avoid overheating of the entire structure and, first of all, melting of the conductors. For doping, a solid phase epitaxy is used.

To smooth the unevenness of the layers when they are spliced into the lower layer, an interlayer dielectric with a thickness of about 100 nm should be applied. After the obtaining of the interlayer dielectric, its top layer is leveled by chemical mechanical

planarization (CMP) [10]. The use of CMP allows to achieve a RMS roughness of the substrate of 0.2 nm, which is much better than the requirements for high-quality gluing.

The polished upper surface of the layer is spliced by low-temperature (200 °C) molecular bonding, developed for SOI substrates [9]. The upper substrate is hydrophilically adhered at room temperature to the interlayer dielectric and then the controlled cleavage of the upper silicon layer is performed along the line of implanted hydrogen. After polishing the surface of the chip, a

операциях так, что каждый вышележащий пласт ориентирован перпендикулярно к нижележащему пласти. При этом образуется трехмерная конструкция из элементарных ячеек, состоящих из двух транзисторов, диода Зенера и нескольких мемристоров, где мемристоры выполняют функцию коммутации электрических сигналов между слоями.

Рассмотренная в работе вакуумная нанотехнология совместима с современным высокотехнологичным оборудованием, на котором реализуется классическая КМОП-технология, и не требует использования дополнительного оборудования.

Представленная топология позволяет изготавливать сверхбольшие многослойные запоминающие и программируемые логические матрицы с высокой степенью интеграции элементов, которые необходимы для создания нейроморфного процессора.

ЛИТЕРАТУРА

1. Merolla P.A., Arthur J.V., Alvarez-Icaza R., Cassidy A.S. et al. A million spiking-neuron integrated circuit with a scalable communication network and interface // *Science*. 2014. 345. P. 668–672.
2. Prezioso M., Merrih-Bayat F., Hoskins B.D., Adam G.C., Likharev K.K., Strukov D.B. Training and operation of an integrated neuromorphic network based on metal-oxide memristors // *Nature*. 2015. 521. P. 61–64.
3. Xia O., Robinett W., Cumbie M.W., Banerjee N. et al. Memristor-CMOS hybrid integrated circuits for configurable logic // *Nano Letters*. 2009. 9 (10). P. 3640–3645.
4. Bobylev A.N., Busygin A.N., Pisarev A.D., Udovichenko S.Yu., Filippov V.A. Neuromorphic coprocessor prototype based on mixed metal oxide memristors // *International journal of nanotechnology*. 2017. Vol. 14. Iss. 7/8. P. 698–704.
5. Маевский О.В., Писарев А.Д., Бусыгин А.Н., Удовиченко С.Ю. Логический коммутатор и запоминающее устройство на основе мемристорных ячеек для электрической схемы нейропроцессора // *Вестник ТюмГУ. Физико-математическое моделирование. Нефть, газ, энергетика*. 2016. № 4. С. 100–111.
6. Удовиченко С.Ю., Маевский О.В., Писарев А.Д., Бусыгин А.Н. Комплементарная мемристорно-диодная ячейка для запоминающей матрицы нейроморфного процессора // *Сборник тезисов VIII конференции Нанотехнологического общества России*. 2017. С. 37–40.
7. Bobylev A.N., Udovichenko S.Yu. The electrical properties of memristor devices $\text{TiN/Ti}_x\text{Al}_{1-x}\text{O}_y$ / TiN produced by magnetron sputtering // *Russian Microelectronics*. 2016. 45. № 6. P. 396–401.
8. Chen W., Lin X., Parris P.M. Zener diode device and fabrication – Patent US 0061715 A1. 06.03.2014.
9. Vinet M., Batude P., Tabone C. et al. 3D monolithic integration: Technological challenges and electrical results // *Microelectronic Engineering*. 2011. 88. P. 331–335.
10. Zantye P.B., Kumar A., Sikder A.K. Chemical mechanical planarization for microelectronics applications // *Materials Science and Engineering*. 2004. 45. No. 3–6. P. 89–220.

thin layer of monocrystalline silicon remains, which serves as the basis for the transistors of the next layer. In the resulting layer of monocrystalline silicon, the wells are etched using the TSV (Through-Silicon Via) technology, which are filled with metal for the upper conductors of the memristor crossbar. These conductors are the outputs of the inverters of the upper cells and combine the cathodes of the diodes of the underlying cell.

CONCLUSION

The topology of the logical and memory matrices based on CMOS

memristor cells is presented, as well as vacuum nanotechnology for their manufacture, which combines classical silicon CMOS technology, as well as memristor crossbar technology, monolithic 3D integration and fabrication of vertically oriented Zener diodes. The topology of multilayer matrices is formed from identical layers consisting of layers created in successive technological operations so that each overlying layer is oriented perpendicularly to the underlying one. In this case, a three-dimensional structure is formed from elementary cells consisting of two transistors, a Zener

diode and several memristors, where memristors perform switching electrical signals between layers.

The vacuum nanotechnology considered in this paper is compatible with up-to-date high-tech equipment for implementation of classical CMOS technology and does not require the use of additional equipment.

The presented topology allows to produce superlarge multi-layer memory and programmable logic matrices with a high degree of integration of elements that are necessary for creating a neuromorphic processor. ■