ОСОБЕННОСТИ МАРШРУТА СХЕМОТЕХНИЧЕСКОГО СИНТЕЗА И ТОПОЛОГИЧЕСКОГО ПРОЕКТИРОВАНИЯ СБИС ПО ТЕХНОЛОГИЧЕСКИМ НОРМАМ 28 НМ

FEATURES OF 28NM TSMC PHYSICAL AND LOGICAL VLSI DESIGN FLOW

УДК 621.382.2/3

БОБКОВ СЕРГЕЙ ГЕННАДЬЕВИЧ^{1,2}

BOBKOV SERGEY G.^{1,2}

ВЛАСОВ АЛЕКСАНДР ОЛЕГОВИЧ²

VLASOV ALEXANDER O.²

ГОРЕЛОВ АНДРЕЙ АЛЕКСЕЕВИЧ^{1,2}

GORELOV ANDREY A.^{1,2}

gorelov@cs.niisi.ras.ru

gorelov@cs.niisi.ras.ru

ЭМИН ЕВГЕНИЙ КОНСТАНТИНОВИЧ^{1,2}

EMIN EVGENIY K.^{1,2}

¹ Национальный исследовательский университет «МИФИ»
Москва, Россия

¹ National Research University "MEPhI"
Moscow, Russia

² ФГУ ФНЦ НИИСИ РАН

² SRISA RAS

117218, г. Москва, Нахимовский просп., 36, к. 1

36/1 Nakhimoskiy Ave., Moscow, 117218

В данной работе проводится исследование свойств библиотечных ячеек TSMC, выполненных по технологическому процессу 28 нм. Рассматривается маршрут физической имплементации RTL_to_GDS с учетом данных свойств и дальнейшей реализации топологического размещения и трассировки межсоединений.

Ключевые слова: TSMC 28nm; CADENCE; схемотехнический синтез; топологическое проектирование; маршрут проектирования СБИС.

The paper analyzes the properties of the TSMC library cells performed by the 28nm technological process. Logic and physical design flows have been considered with respect to the results obtained.

Keywords: 28nm TSMC; CADENCE; circuit synthesis; topological layout design; VLSI design flow.

ВВЕДЕНИЕ

По мере уменьшения технологических норм проектирования рассматриваются проблемы, связанные с оптимизацией и улучшением уже существующих маршрутов разработки СБИС. Прямым следствием уменьшения норм технологического процесса является уменьшение площади библиотечных ячеек, а следовательно, увеличение степени интеграции компонентов ИС и увеличение быстродействия транзисторов. Однако стоит учесть, что при разработке проекта по технологическим нормам ниже 65 нм, растет вклад статической мощности, обусловленной токами утечки, в общую мощность потребления [1]. Данный параметр является таким же критичным, как и быстродействие, также оказывая значительное влияние на маршрут физической имплементации.

ИССЛЕДОВАНИЕ СВОЙСТВ БИБЛИОТЕЧНЫХ ЯЧЕЕК TSMC 28 НМ НРС+

Основной принцип построения библиотек основан на PVT (process/voltage/temperature) моделировании в крайних углах: макс/мин быстродействие, максимальная мощность, а также в типичных углах эксплуатации.

Исходной точкой для данного исследования служил разработанный под технологический процесс TSMC65 маршрут физической имплементации. Его особенностью была возможность оптимизации статической мощности проекта, используя библиотечные ячейки, построенные на транзисторах с различными пороговыми значениями напряжения (рис. 1).

На данном рисунке можно увидеть, что основная структура библиотеки заключается в разбиении ячеек на подгруппы,

Рис. 1. Сравнение структуры данных библиотек для технологических процессов TSMC 28 нм и TSMC 65 нм

Fig. 1. Comparing the data structure of the workflow libraries for 28nm TSMC and for 65nm TSMC

Рис. 2. Использование второго слоя металлизации для трассировки межсоединений внутри ячеек, выполненных по технологическому процессу TSMC28HPC+; приведена топология ячейки *soeffqs01x2* и *soeffqs01optax2*

Fig. 2. Using second metallization layer for the routing within the cells performed by the technological process TSMC28HPC+; *soeffqs01x2* and *soeffqs01optax2* cell's layout

которые реализуются при помощи транзисторов с разными пороговыми значениями напряжения, а именно:

HVT (High Voltage Threshold) — ячейки, построенные на транзисторах с высоким пороговым значением напряжения. Обладают низкой потребляемой мощностью и низким быстродействием. Оптимизация данными ячейками происходит в некритических по быстродействию путях проекта для понижения статической мощности.

RVT (Standard Voltage Threshold) — ячейки, построенные на транзисторах со стандартным значением порогового напряжения. Являются компромиссом между HVT и LVT ячейками. Сбалансированы по быстродействию и по потребляемой мощности.

LVT (Low Voltage Threshold) — ячейки, построенные на транзисторах с низким значением порогового напряжения. Обладают высоким быстродействием, меньшими задержками по сравнению с HVT и RVT, но более затратны по потребляемой мощности. Используются для обеспечения хорошего результата в критических путях проекта.

Исследование библиотечных ячеек, выполненных по технологическому процессу TSMC 28 нм HPC+, показало, что в отличие от TSMC65, в структуре библиотеки добавляется классификация по длине канала транзисторов (L). Пользователю доступно 3 варианта: (L30) — длина канала 30 нм, (L35) — длина канала 35 нм и (L40) — длина канала 40 нм (рис. 1). Данная вариация позволяет

уменьшить потребляемую мощность не только в режиме переключения функциональных ячеек, но и в режиме «ожидания». Использование ячеек с меньшей длиной канала позволяет достигнуть наибольшего быстродействия, поэтому их используют для оптимизации критических путей, в то время как ячейки с более длинным каналом способны значительно понизить мощность утечки в путях, которые некритичны по быстродействию.

Для дальнейшей реализации топологии исследуемого блока был произведен дополнительный анализ библиотечных ячеек для улучшения результатов топологического проектирования по технологии 28 нм. Так, в данном техпроцессе в составе одной библиотеки возможно наличие дополнительных реализаций ячеек, выделяемых в отдельные группы и отмеченных индексами:

P (performance category) — характеризуются меньшими задержками и увеличенной площадью по сравнению с базовыми ячейками. Могут применяться в критических путях.

HP (high performance category) — характеризуются еще более меньшими задержками и еще большей площадью по сравнению с базовыми ячейками. Могут применяться в критических путях.

M (maximum category) — все транзисторы в данных ячейках имеют максимальные размеры. Таким образом, возможно уменьшение внутренних задержек. Площадь ячеек совпадает с площадью базовых.

INTRODUCTION

As feature size standards decrease, problems related to the optimization and improvement of existing VLSI development routes are being dealt with. A direct consequence of feature size reduction is library cells area reduction, which results in higher degree of IC components integration and performance improvement. However, it should be taken into account that when developing a project for technological standards below 65nm, the contribution of static power to total power consumption increases due to leakage currents. This parameter is just as critical as performance, and also has a huge impact on the physical implementation flow.

ANALYZING 28NM TSMC HPC+ LIBRARY CELLS PROPERTIES

The basic principle of building libraries is based on PVT (process / voltage / temperature) modeling, reflecting the performance of cells built on n- and p-channel transistors.

In this process, simulation occurs at the extreme corners in order to simulate expected results under various conditions and to make sure circuits operate correctly in all cases: ss (slow-slow), having the low performance, best ff (fast-fast) high-performance corner and tt typical corner.

The starting point of the current research was the physical implementation flow developed for the TSMC65 process. Its feature was an ability to optimize the static power of the project, using library cells built on transistors with different threshold voltages (Fig. 1).

Fig. 1 shows that the basic structure of the library is to break up the library cells into subgroups that are implemented using transistors with different threshold voltage values, namely:

HVT (High Voltage Threshold) — cells built on transistors with a high voltage threshold. They have low power consumption and low speed. Optimization by these cells occurs in non-critical ways of the project to reduce the static power.

RVT/SVT (Regular/Standard Voltage Threshold) — cells built on transistors with a standard value of the threshold voltage. It is a compromise between HVT and LVT cells. They are balanced on performance and power consumption.

LVT (Low Voltage Threshold) — cells built on transistors with a low threshold voltage value. They have higher speed and smaller delays compared to HVT and RVT, but consume more power. They are used for achieving a good result in the project's critical paths.

The analysis of 28nm TSMC HPC+ library cells has shown that unlike TSMC65, a new transistor channel length (L) classification is added to the library structure. The user has 3 options: (L30) — channel length of 30nm, (L35) — channel length of 35nm and (L40) — channel length of 40nm (Fig. 1). This variation allows you to reduce not only the dynamic power consumption, but also the leakage power. The application of cells with a shorter channel

RE (reversed category) — вариант ячеек с измененным порядком пинов, благодаря чему возможно уменьшение задержек на определенных входах за счет увеличения их на других.

REM — вариант ячеек с максимально возможной шириной транзисторов и измененным порядком пинов. Эффект сходен с вариантом **M**.

REP — вариант **P** категории с измененным порядком пинов.

REHP — вариант **HP** категории с измененным порядком пинов.

OPT (option category) — вариант ячейки с минимально возможным использованием металла M2 для трассировки соединений внутри самой ячейки.

Также характерная особенность использования TSMC 28nm HPC+ заключается в том, что невозможно провести полную трассировку топологии всех ячеек в первом слое металлизации (M1). Соединительные линии, при помощи которых осуществляется подключение контактов ячеек к сетке земли/питания, как правило, расположены непосредственно над соответствующими контактами и выполняются в слое M1. Согласно документации библиотек [3] стандартных элементов технологического процесса 28 nm, сопротивление M1 по сравнению с остальными металлами значительно больше; следовательно, для исключения возникновения ситуации нарушения заданного допустимого максимального

Рис. 3. Пример ячейки *soeffqs01x2*, выполненной по технологическому процессу TSMC 65 nm, трассировка межсоединений внутри ячейки выполнена только в M1

Fig. 3. An example of the cell *soeffqs01x2* layout performed by the 65nm TSMC process, the routing within the cell is performed only in M1

length allows achieving the maximum performance; therefore they are used to optimize critical paths, while cells with a longer channel can significantly reduce the leakage power in paths that are not critical by performance.

An additional analysis of library cells has been performed to improve the results of the physical design flow for the 28nm technology. So, in the given technological process within one library there may be additional cells implementation combined in separate groups and marked by the following indexes:

P (performance category) — are characterized by smaller delays and an increased area in comparison with the basic cells. This set could be used in critical locations.

P (high performance category) — are characterized by even smaller delays and an even larger area compared to the basic cells. This set has to be used in critical locations.

M (maximum category) — all the transistors in these cells have a maximum size.

Thus, it is possible to reduce internal delays. The area of cells is the same as that of the basic cells.

RE (reversed category) — cells with a reversed stack order, so that it is possible to reduce delays at certain inputs. The effect is similar to that of **M** category.

REM — a variant of cells with maximum transistors sizes and reversed stack order.

REP — reversed stack order with performance option (similar to **P** category).

REP — reversed stack order with high performance option (similar to **HP** category)

OPT (option category) — cell variant with minimal possible use of M2 metal for trace connections inside the cell.

Another feature of 28nm TSMC HPC+ is that it is not possible to complete routing of all cells in the first metallization layer (M1). The interconnections that link the cells contacts to the power/ground grid are usually located directly above the corresponding

падения напряжения питания следует размещать сопровождающие контакты элементов линии не только в M1, но и в M2, соответственно, в слое M2 уменьшается количество вариантов для трассировки межсоединений. Следовательно, в случае невозможности проведения этапа трассировки при заданном значении плотности расположения элементов, целесообразно использовать ячейки **OPT** (рис. 2, рис. 3).

ВЫБОР ОПТИМАЛЬНОГО НАБОРА СТАНДАРТНЫХ ЯЧЕЕК ПРИ СХЕМОТЕХНИЧЕСКОМ СИНТЕЗЕ ПРОЕКТА

Разработка подходов к оптимизации происходила на примере блока целочисленных операций *int_mult_div*, входящего в состав микропроцессорного ядра, разрабатываемого НИИСИ РАН. Данный блок был выбран из соображений, что в нем отсутствуют макроблоки, элементы памяти, и его структура достаточно неоднородна. Данное обстоятельство позволяет адекватно выявить свойства библиотечных ячеек. Весь маршрут разработки интегральной схемы проводился в программном обеспечении компании CADENCE. Схемотехнический синтез выполнялся в САПР GENUS^[2].

Первым этапом в оптимизации уже имеющегося маршрута стояло определение основных качественных характеристик, в соответствии с которыми будет происходить оценка и дальнейшая оптимизация:

- частота тактового сигнала;
- площадь блока;
- статическая мощность;
- суммарная потребляемая мощность.

Для наиболее точной оценки воспользовались некоторыми ограничениями, а именно:

- использование одинаковых функциональных логических ячеек комбинационной и последовательной логики во всех вариациях проекта;
- одинаковые ограничения, наложенные на блок, в рамках одного и того же маршрута.

contacts and are performed in the M1 layer. According to the documentation, the resistance of M1 is much larger than that of the rest of the metal layers. Therefore, in order to avoid a maximum IR drop, it is necessary to place the accompanying contacts of the line elements not only in M1, but also in M2, thus reducing the number of options for interconnections routing. Therefore, if it is impossible to complete full routing at a fixed placement density, it is reasonable to use **OPT** cells (Figs. 2–3).

CHOOSING THE OPTIMAL SET OF STANDARD CELLS IN THE LOGIC DESIGN FLOW

The development of optimization methods has been implemented on the test block of integer operations *int_mult_div*, which is part of the microprocessor core developed by SRISA RAS. This block has been chosen because it contains neither macro-blocks, nor memory blocks, and

Оптимизация происходила до достижения максимального быстродействия.

Рассмотрим влияние различных технологических ячеек на определенные ранее характеристики. В качестве базовой реализации проекта был выбран вариант, содержащий ячейки, построенные на транзисторах с длиной канала **L**, равной 35 нм, и со стандартным значением порогового напряжения **RVT**. Для дальнейшего исследования и более наглядной визуализации полученных данных все значения характеристик, полученных при реализации различных вариаций блока **int_mult_div**, были нормированы на базовую реализацию проекта.

Из табл. 1 видно, что в данном сравнении, при уменьшении длины канала транзистора **L** наблюдается увеличение производительности на 12 %, но для достижения таких результатов необходимо пожертвовать потребляемой мощностью. В данном случае мощность утечки возрастает на 105 %. В варианте проекта, основанном на ячейках с длиной канала **L**, равной 40 нм, наблюдается ухудшение производительности на 9 %, но также понижается мощность утечки на 42 % относительно референсного варианта. Исходя из этого были сделаны следующие выводы:

- при уменьшении длины канала **L** происходит увеличение быстродействия;
- с увеличением длины канала **L** достигается наименьшее значение мощности утечки;
- исходя из области применения интегральных схем, а именно устройства, требующие повышенной производительности, или устройства, главным критерием которых является пониженное энергопотребление, можно сказать, что основным преимуществом вариации проекта по длине канала является снижение статической мощности (наблюдается существенный разброс значений относительно референсного варианта +105 % и –42 % соответствующим **L30** и **L40** нм).

Следующим этапом было выявлено, какой эффект оказывает оптимизация проекта ячейками, имеющими разные длины каналов и разные пороговые значения напряжения (табл. 2 и 3).

Таблица 1. Вариации блока **int_mult_div**, построенного на библиотечных ячейках с разной длиной канала **L**

Table 1. Variants of **int_mult_div** block built up using library cells with different channel length **L**

	L30	L35	L40
F	112 %	100 %	91 %
Leakage power	205 %	100 %	58 %
Dynamic power	113 %	100 %	96 %
Total power	115 %	100 %	95 %

В ходе проведенного исследования видно, что в случае оптимизации дизайна ячейками, построенными на транзисторах с длиной канала 30 нм и имеющими следующие значения порогового напряжения **LVT**, повышается производительность на 18 %, но проигрыш в мощности составляет почти 4 раза (396 % относительно базовой реализации проекта); при оптимизации **HVT** ячейками с той же длиной канала наблюдается ухудшение производительности и мощности утечки соответственно на 1 % и 3 %.

При использовании в ходе оптимизации проекта ячеек, построенных на транзисторах с длиной канала 40 нм и имеющими разные значения порогового напряжения, было выявлено, что оптимизация проекта **LVT** ячейками почти не дает прирост по производительности и по потребляемой мощности, так же как и в случае с **HVT** ячейками. Это объясняется малым процентным соотношением используемых ячеек при оптимизации проекта.

Резюмируя полученные данные, можно сделать следующие выводы:

- наиболее кардинальные изменения параметров проекта при оптимизации **LVT** и **HVT** ячейками будут наблюдаться, если в процессе синтеза доля ячеек будет превышать 20 % от общего числа, иначе использование **LVT** и **HVT** ячеек не дает существенных преимуществ;

its structure is rather heterogeneous, which makes it possible to adequately reveal the properties of library cells. The whole flow of integral circuit development has been carried out using CADENCE software. Logic synthesis has been performed in EDA GENUS [2].

The first step in optimizing the already existing route was to determine the main qualitative characteristics, which will be used for evaluation and further optimization, namely:

- clock frequency;
- the block area;
- static power consumption;
- total power consumption.

For more accurate evaluation some constraints were used, namely:

- the same set of combinational and sequential functional logic cells in all project variants;
- identical constraints used for every project variant.

Optimization was carried out up to maximum performance achievement.

As a basic implementation of the project, we have chosen a variant containing cells built on transistors with a channel length **L** of 35nm and with a standard value of the threshold voltage **RVT**. For further study and more intuitive visualization of the data, all values of characteristics obtained by implementing different variations of **int_mult_div** block have been normalized to the reference project.

Table 1 shows that for the given comparison with a decrease of transistor channel length **L** performance increases by 12 %. But in order to achieve these results, it is necessary to sacrifice power efficiency. In this case, leakage power increases by 105 %. For the project variation based on cells with a channel length **L** of 40nm, a 9 % degradation of performance is observed, but the leakage capacity is also reduced by 42 % relative to the reference case.

From these considerations, the following conclusions have been made:

- the reduction of the channel length **L** increases the performance;
- with an increase in the length of the channel **L**, the lowest value of the leakage power is achieved;
- considering the application field of the integrated circuits, namely devices that require making trade-offs between improving power and improving delays, it can be said that the main advantage of the project variant with different channel length is a decrease of the static power consumption. There is a significant scatter in values compared to the reference version: +105 % and –42 % corresponding to **L30** and **L40**nm.

Further analysis has shown how optimization by cells with different channel length and different threshold voltage values affects the design (see Tables 2 and 3).

Таблица 2. Оптимизация проекта ячейками, имеющими разные значения порогового напряжения, при длине канала L 30nm

Table 2. Project optimization by cells with channel length L 30nm and different values of threshold voltage

	L30_LVT	L30_RVT	L30_HVT
F	118 %	105 %	99 %
Leakage power	369 %	121 %	97 %
Dynamic power	116 %	102 %	99 %
Total power	122 %	103 %	99 %

- оптимизация проекта ячейками, содержащими только транзисторы со стандартным значением порогового напряжения, но с различными длинами каналов экономически эффективна, так как для внедрения в проект HVT и LVT ячеек требует создания дополнительных фотошаблонов, стоимость которых составляет большой процент от затрат на весь маршрут разработки интегральной схемы.

Для более точного анализа всех полученных данных необходимо получить три критичных по производительности и потребляемой мощности варианта дизайна. Для этого проанализируем варианты, построенные на ячейках с L30 LVT и L40 HVT, и вариант, построенный на L30 LVT и L40 HVT (табл. 4)

In case of design optimization by cells built on transistors with 30nm channel length and a low threshold voltage, the performance is increased by 18 %, whereas the power is greater almost by 4 fold (396 % relative to the basic implementation of the project). However, optimization by HVT cells within the same channel length leads to performance degradation by 1 % and leakage power increase by 3 %. During the project optimization by cells built on transistors with a channel of 40nm and having different threshold voltage values, it has been revealed that optimizing the LVT project with cells almost does not increase the performance and power consumption, just like the case of HVT cells. It may be explained by small percentage of the cells used when optimizing the project.

Summarizing obtained data, it is possible to make the following conclusions:

- the most dramatic changes of the project parameters for the optimization by LVT and HVT cells will occur, if the percentage

of cells during the synthesis flow exceeds 20 % of the total. Otherwise, the use of LVT and HVT cells does not provide significant advantages;

- the project optimization by cells, containing only transistors with standard value of threshold voltage, but with different channel lengths is economically effective. The implementation of HVT and LVT cells requires additional photolithographic mask creation, which can significantly increase the cost of the whole IC development flow.

For a more precise analysis, it is necessary to obtain three design options critical for performance and power consumption. For this purpose, let us analyse all the variants built up on L30 LVT and L40 HVT cells and the variant built up on L30 LVT and L40 HVT cells (Table 4).

According to the data obtained, the project based on the L30 LVT has the highest

Таблица 3. Оптимизация проекта ячейками, имеющими разные значения порогового напряжения, при длине канала L 40nm

Table 3. Project optimization by cells with channel length L 40nm and different values of threshold voltage

	L40_LVT	L40_RVT	L40_HVT
F	102 %	99 %	99 %
Leakage power	116 %	97 %	97 %
Dynamic power	108 %	99 %	99 %
Total power	108 %	98 %	99 %

Исходя из полученных данных, наибольшей производительностью обладает проект, построенный на L30 LVT (+30 % по сравнению с L35 RVT), но значительно ухудшается энергопотребление на 746 %. Наилучшим энергопотреблением обладает проект, построенный на L40 HVT, а именно, уменьшение мощности утечки на 82 % по сравнению с L35 RVT, но также наблюдается ухудшение производительности на 17 %. Наилучшим решением в плане производительности и энергопотребления является вариант, построенный на L30 LVT и L40 HVT ячеек. В данном случае идет повышение производительности на 26 % и снижение энергопотребления на 18 %.

Обобщая вышесказанное, можно сделать вывод, что для кардинального изменения параметров производительности

performance (+30 % compared to the L35 RVT), but the power consumption is significantly increased (by 746 %). The lowest energy consumption has the project built on the L40 HVT — leakage power reduced by 82 % as compared to the L35 RVT. But there is also the performance degradation by 17 %. The best solution for performance and power consumption is a design built on L30 LVT and L40 HVT cells. In this case performance improves by 26 % and power consumption is reduced by 18 %.

Summarizing the above, in order to change parameters of productivity and power consumption radically it is necessary to use LVT cells to optimize delays on critical paths, and HVT cells to optimize performance on non-critical paths to reduce static power, since the use of cells built on transistors with different channel lengths does not provide significant advantages for important parameters of the circuit. In adapting the existing design flow

и энергопотребления необходимо использовать LVT ячейки, для оптимизации критичных по быстродействию путей и HVT ячейки для оптимизации некритичных, в плане быстродействия, путей, для уменьшения статической мощности, так как использование ячеек, построенных на транзисторах с различной длиной канала, не дает значительных преимуществ при оценке наиболее важных параметров схемы. При адаптации уже имеющегося маршрута проектирования под технологический процесс TSMC28HPC+, учитывался тот факт, что изначально необходимо предоставить инженеру возможность реализации 3-х основных вариантов дизайна (табл. 5), а именно:

- референсный, обладающий компромиссом между энергопотреблением и производительностью;
- сверхэкономичный вариант, обладающий низким энергопотреблением с наименьшей потерей быстродействия;
- высокопроизводительный, обладающий наилучшей производительностью, при этом оптимизированный по статической мощности.

Самый производительный вариант не учитывался по причине несоразмерного роста производительности и потребляемой мощности.

Данные вариации позволяют пользователю выбирать нужную имплементацию в зависимости от технического задания, учитывая область использования интегральной схемы и исходя из экономической реализации проекта.

ТОПОЛОГИЧЕСКОЕ РАЗМЕЩЕНИЕ ЯЧЕЕК И ТРАССИРОВКА МЕЖСОЕДИНЕНИЙ

Согласно технической документации производителя [3], в рамках одной библиотеки стандартных элементов существует несколько вариаций одной ячейки, отличающихся технологическими параметрами. Таким образом, в рамках уже разработанного маршрута топологического проектирования есть дополнительные возможности для влияния на соотношение производительность/энергопотребление, а также ряд подходов, позволяющих уменьшить количество возможных DRC нарушений и общее время синтеза

Таблица 4. Сравнительная характеристика критичных по производительности и энергопотреблению вариантов блока `int_mult_div`
Table 4. Comparative characteristics of critical options for the `int_mult_div` block performance and power consumption

	L30_LVT	L30_LVT OPT_L40_ HVT	L40_LVT
F	130 %	126 %	83 %
Leakage power	846 %	82 %	19 %
Dynamic power	160 %	158 %	100 %
Total power	175 %	172 %	99 %

Таблица 5. Реализация основных вариантов дизайна, обладающих наилучшими соотношениями производительность/энергопотребление
Table 5. Implementation of main design options with best performance/power efficiency ratio

	L35_RVT	L30_LVT L40_HVT	L40_HVT
F	100 %	126 %	83 %
Leakage power	100 %	82 %	19 %

топологии. Синтез проводился в САПР INNOVUS^[4]. Для проверки влияния вышеупомянутых опций техпроцесса на реализацию заданного блока `int_mult_div` все вариации стандартных ячеек были разбиты на 5 условных групп:

1. Базовая реализация без использования специальных вариантов логических элементов, на которую в дальнейшем будет производиться нормировка полученных результатов.
2. Реализация с использованием ячеек **OPT**. Из описания, приведенного в документации [3], можно сделать предположение, что применение группы данных ячеек позволит сократить

for the TSMC28HPC+ process, we have considered the fact that it was necessary to provide the engineer with a possibility of implementing three main design variants (Table 5), namely:

- reference variant providing trade-off between power consumption and performance;
- super-economical variant providing low power consumption with minimal performance loss;
- high-performance variant providing best performance and optimized by static power.

Maximum performance variant has not been considered due to disproportionate growth of power consumption.

These variants allow the user to choose the required implementation variant depending on the technical design specification, considering the integrated circuit purpose and economic implementation of the project.

STANDARD CELLS PLACEMENT AND ROUTING FLOWS

According to manufacturer's technical documentation^[3], within the standard cells library, there exist several variations of one cell, differing in technological parameters. So, within already developed topological design flow there are additional possibilities of influencing the performance/power consumption ratio. Also there is a number of approaches that allow reducing the number of possible DRC violations and total physical synthesis runtime. Physical synthesis has been performed in EDA Innovus^[4]. To test the influence of above mentioned technological process options on the implementation of the `int_mult_div` block, all standard cells variations were divided into 5 conditional groups:

1. Reference implementation without special variations of standard cells, which will be used to normalize the obtained results.

2. Implementation using **OPT** cells. According to the manufacturer's description [3], it is possible to assume that application of this group of cells will reduce the number of DRC violations associated with impossibility of routing cells interconnections.
3. Implementation using **P**, **HP** and **M** cells. According to the technical documentation, the use of these elements leads to a timing performance improvement by reducing inputs delays.
4. Implementation using all available cells (**OPT**, **P**, **HP**, **M**, all variations of **R**). It is possible to assume that this variation of the block will provide best timing performance, as well as minimal cell's placement density. In addition, the reduction of the total number of cells used in the physical synthesis flow can significantly reduce the static power consumption of the entire design. A major disadvantage of this

количество возникающих DRC нарушений, связанных с невозможностью трассировки элементов и увеличить общую плотность расположения ячеек.

3. Реализация с использованием **Р, НР и М** ячеек. Согласно технической документации [3], использование данных элементов ведет к улучшению временных характеристик, путем уменьшения задержек по некоторым входам.

4. Реализация с использованием всех доступных ячеек (**ОПТ, Р, НР, М, все вариации R**). В соответствии с описанием данных библиотек [3] можно сделать предположение, что данная вариация топологии блока будет обладать лучшими временными характеристиками, а также наименьшей плотностью размещения элементов. Кроме того, уменьшение общего числа ячеек, использованных при синтезе топологии, может

значительно уменьшить статическую потребляемую мощность всего блока в целом. Существенным недостатком данной вариации является значительное увеличение времени синтеза.

5. Реализация с использованием всех ячеек, кроме **ОПТ (Р, НР, М, все вариации R)**. Предполагается, что данная вариация будет обладать преимуществами варианта 4, т.е. улучшенными временными характеристиками, уменьшенной статической мощностью потребления по сравнению с базовым вариантом. И в то же время возможно увеличение количества возникающих DRC нарушений и времени выполнения топологического синтеза.

Для более полного анализа введем ограничение на площадь блока: это необходимо для наблюдения изменений в плотности размещения ячеек.

Проанализируем полученные результаты. Для всех пяти реализаций были наложены довольно жесткие ограничения

Таблица 6. Сравнение относительного изменения параметров вариантов реализации *int_mult_div*

Table 6. Comparing relative changes in parameters of *int_mult_div* implementation variants

	2	3	4	5
Плотность Density	4 %	0 %	–2 %	–2 %
Количество DRC нарушений Number of DRC violations	–14 %	3 %	79 %	53 %
Минимальный период CLK Minimal CLK period	–2 %	–5 %	–22 %	–12 %
Статическая мощность потребления Static power consumption	6 %	–4 %	1 %	2 %
Полная потребляемая мощность Total power consumption	12 %	0 %	1 %	1 %
Время выполнения синтеза Synthesis runtime	9 %	18 %	241 %	214 %
Память, использованная САПР Memory used by CAD	0 %	1 %	4 %	6 %

на временные характеристики. Таким образом, можно считать, что данный маршрут проектирования был ориентирован именно на частотные характеристики. Следует отметить, что базовая реализация блока имеет наибольшее количество элементов и обладает практически наибольшей плотностью размещения ячеек внутри заданной площади блока. Примечательно, что реализация без ограничений выбора ячеек на 2% меньше базовой. Данный факт объясняется возможностью применения ячеек с наилучшими временными характеристиками и соответственно уменьшением общего количества элементов, в то время как в базовой реализации появляется необходимость постановки дополнительных буферов для обеспечения необходимых задержек нарастания сигналов.

Кроме того, учитывалось количество нарушений DRC. Так, можно отметить существенное увеличение количества ошибок для 4-го варианта, т.е. увеличение составило 79% по сравнению

variation is a significant increase in the physical synthesis runtime.

5. Implementation using all cells except **ОПТ (Р, НР, М, all variations of R)**. It is assumed that this variation will have the advantages over variant 4, i.e. improved timing, reduced static power consumption compared to the reference variant. Besides, there may be an increase in DRC violations and in the runtime of physical synthesis.

For more complete analysis, additional constraints on block area should be added — to observe changes in the cells placement density.

For all five implementations, strict timing constraints ($T_{clk} = 0.4ns$) have been imposed. Thus, it can be assumed that the design flow has been focused precisely on the timing performance. It should be noted that the basic implementation of the block has the largest number of elements and has almost the

biggest cell placement density within a given block area. It is noteworthy that the block area of implementation without constraints is 2% less than the reference one. This fact can be explained by a possibility of using cells with the best timing performance and as a result the total elements number has been reduced, while in the reference implementation it is necessary to add additional buffers for improving STA (Static Timing Analysis).

Besides, the number of DRC violations has also been taken into account. So, a significant increase in the number of errors for the 4th variant is observed, i.e. a 79% increase in violations compared to the reference variant. Moreover, the number of DRC errors for block variation with **ОПТ** cells is reduced by 14% compared to the reference variant, just like it has been predicted. A larger number of DRC violations do not necessarily lead to a degradation of the design properties, but it results in the

need to correct such errors, which can result in significant time costs during the design flow. Power consumption for all the variants except the second one has remained without notable changes. For the second variation, static power consumption increased by 6% which leads to an increase in total power consumption by 12%. Besides, for the third variant, an insignificant reduction of static power consumption by 4% can be observed.

In addition, the synthesis runtime of each block has been analyzed. A significant increase in execution time should be noted for the fourth variation (by 241%), as well as for variation not using **ОПТ** cells (by 214%).

To sum up, the following conclusions should be made:

- The previously made conclusion has been confirmed, the use of **ОПТ** cells resulted in a reduction of DRC-related violations by 14% due to wires routing in the first

с базовой вариацией. Кроме того, для вариации с **ОПТ** ячейками отмечается уменьшение количества DRC ошибок на 14 % по сравнению с базовым вариантом, что согласуется с выдвинутым утверждением. Увеличение числа нарушений DRC необязательно ведет к ухудшению характеристик дизайна, но приводит к необходимости исправлять возникающие ошибки, что ведет к значительным временным затратам в процессе проектирования.

Потребляемая мощность для всех вариаций кроме 2-й практически не изменилась. Для второй вариации общая потребляемая мощность увеличилась на 12 %, а статическая составляющая потребления — на 6 %. Помимо того, для третьего варианта можно отметить незначительное уменьшение статической мощности потребления на 4 %.

Дополнительно было проанализировано время синтеза каждого из блоков. Следует отметить существенное увеличение времени выполнения — для вариации без ограничения выбора ячеек 241 %, а также вариации без использования **ОПТ** ячеек 214 %.

Полученные данные позволяют сделать следующие выводы:

- выдвинутое выше предположение подтвердилось, использование **ОПТ** ячеек привело к снижению количества возникающих DRC нарушений на 14 %, связанных с трассировкой в первых двух слоях металлов. С другой стороны, это привело к увеличению потребляемой мощности на 12 %. Целесообразность применения данного подхода зависит от задач, поставленных перед маршрутом проектирования.
- в критичных, с точки зрения временных характеристик, случаях САПР может использовать различные вариации ячеек **P**, **HP**, **M**, **RE**, что в конечном итоге позволяет существенно сократить плотность и потребляемую мощность, в том числе мощность статического потребления. Все это можно объяснить отсутствием необходимости постановки дополнительных буферов и, следовательно, оптимизацией размеров ячеек, что в конечном итоге позволяет обеспечить заданные временные характеристики. Главным недостатком применения данных вариаций является существенное увеличение времени синтеза топологии блока и количества DRC нарушений, что при разработке сложных блоков может весомо увеличить время проектирования.

- Таким образом, по сравнению с технологическими нормами топологического проектирования TSMC65nm можно отметить появление еще большего количества опций для изменения характеристик как в сторону улучшения энергопотребления, так и в сторону улучшения временных характеристик, а также уменьшения площади блока.
- Использование всех возможных наборов ячеек ведет к существенному увеличению времени выполнения синтеза и количества DRC нарушений, что, в свою очередь, ведет к значительному увеличению времени выполнения маршрута топологического проектирования. При синтезе следует внимательно подходить к вопросу о целесообразности применения тех или иных элементов.

ЗАКЛЮЧЕНИЕ

В данной статье были рассмотрены основные ключевые моменты схемотехнического и топологического проектирования по технологическим нормам TSMC28nm. Анализ библиотечных ячеек позволил интегрировать в разработанный ранее маршрут проектирования СБИС новые аспекты, направленные на оптимизацию таких критичных параметров, как быстродействие и энергопотребление, при минимальном количестве DRC нарушений и отсутствии ошибок по времени предустановки и удержания тактового сигнала в ходе статистического временного анализа в регистровых элементах комбинационной логики. Полученные данные актуальны в свете будущих работ НИИСИ РАН.

ЛИТЕРАТУРА

1. Власов А. О. «Оптимизация потребляемой мощности микросхем с использованием транзисторов с разным пороговым напряжением» 13-я Российская научно-техническая конференция «Электроника, микро- и нанoeлектроника» Сборник научных трудов, 2011. — С. 65–68.
2. Genus User Guide for Legacy UI. Product Version 16.2. April 2017, Cadence Design Systems, Inc.
3. Dolphin Technology Standard Cell Usage Document, September 2012, Dolphin Technology, Inc.

two metal layers. On the other hand, total power consumption has increased by 12 %. The expediency of applying this variation depends on the requirements for the design flow.

- In performance-critical cases, EDA can use different variations of **P**, **HP**, **M**, **RE** cells, which ultimately makes it possible to significantly reduce the placement density and power consumption, including the static power. It can be explained by the absence of the need to place additional buffers and, consequently, by optimizing the cell sizes, which ultimately allows one to provide the specified performance. The main disadvantage of using these variations is a significant increase in the synthesis runtime and the number of DRC violations, which can significantly increase the total design flow time when developing complex blocks.

- Thus, as compared to the TSMC65nm design rules, there are even more options for optimizing the design in two ways: towards improving power consumption and towards timing performance.
- Using all possible sets of cells leads to a significant increase in the synthesis runtime and the number of DRC violations, which leads to a significant increase in the design flow total development time. The appropriateness of using certain elements in the synthesis should be most carefully considered.

CONCLUSIONS

The article highlights the main key features of 28nmTSMC logic and physical design flow technology. The library cells analysis allowed implementing into the VLSI design flow new options aimed at optimizing such critical parameters as performance and

power consumption, with a minimum number of DRC violations and no errors in setup and hold time during the static time analysis in register elements of combinational logic. The obtained data are especially relevant in the light of future researches of the SRISA RAS.

REFERENCES

1. Vlasov A. O. "Optimizatsiya potrebyaemoi moshchnosti mikroskhem s ispol'zovaniem tranzistorov s raznym porogovym napryazheniem" 13-ya Rossiiskaya nauchno-tekhnicheskaya konferentsiya "Elektronika, mikro- i nanoelektronika" Sbornik nauchnykh trudov, 2011. P. 65–68.
2. Genus User Guide for Legacy UI. Product Version 16.2. April 2017, Cadence Design Systems, Inc.
3. Dolphin Technology Standard Cell Usage Document, September 2012, Dolphin Technology, Inc.