ОСОБЕННОСТИ РАЗРАБОТКИ МАЛОПОТРЕБЛЯЮЩИХ АЦП ПОСЛЕДОВАТЕЛЬНОГО ПРИБЛИЖЕНИЯ

PECULIARITIES OF DEVELOPING LOW-POWER ADC WITH SUCCESSIVE APPROXIMATION REGISTER

УДК 621.3.087.92

МАТВЕЕВ ДМИТРИЙ ВАЛЕРЬЕВИЧ

Проект-инженер

АО «НИИМА «Прогресс»

125183, г. Москва, проезд Черепановых, 54

d.matveev@mri-progress.ru

MATVEEV DMITRIY V.

Project engineer

JSC "PROGRESS MRI"

54 Cherepanovikh Lane, Moscow 125183, Russia

d.matveev@mri-progress.ru

В данной статье рассматривается подход к проектированию малопотребляющих аналого-цифровых преобразователей последовательного приближения. Предложена реализация регистра последовательного приближения для АЦП с максимальной разрядностью 12 бит по технологии 65 нм компании TSMC.

Ключевые слова: АЦП последовательного приближения; проектирование малопотребляющих схем.

This work examines an approach for designing low-power analog-to-digital converters with successive approximation register, as well as offers the implementation of successive approximation register for ADC with maximal digital capacity of 12 bits using 65nm TSMC technology.

Keywords: ADC with successive approximation register; designing low-power circuits.

ВВЕДЕНИЕ

Несмотря на современный тренд цифровизации практически всех сфер человеческой деятельности, между аналоговым и цифровым миром всегда присутствует барьер. Поэтому аналого-цифровые преобразователи (АЦП) являются неотъемлемой частью практически любой цифровой системы, взаимодействующей с окружающей средой при помощи различных сенсоров. Зачастую для сенсоров, таких как температурные датчики, не требуется высокая скорость преобразования. Это дает возможность выбора архитектуры АЦП для применения в каждом конкретном случае.

АРХИТЕКТУРА

В данной работе сложно-функциональный блок АЦП является составной частью сверхбольшой интегральной схемы (СБИС) класса Система-на-Кристалле (СнК). К нему предъявляются требования по максимальной потребляемой мощности, возможности выбора режима потребления и максимальной занимаемой площади. Так как не требуется высокая скорость и точность преобразования, таким требованиям отвечает архитектура преобразователя последовательного приближения. Она является одной из самых популярных используемых архитектур на сегодняшний день. В отличие от параллельных и конвейерных АЦП, преобразователь последовательного приближения имеет всего один компаратор, что определяет значительно меньшую потребляемую мощность и более простую реализацию по сравнению с сигма-дельта АЦП [1].

В основе работы данного преобразователя лежит принцип последовательного сравнения измеряемой величины с $1/2$, $1/4$, $1/8$ и т. д. от максимального значения опорного напряжения. Это позволяет для N-разрядного АЦП последовательного приближения выполнить весь процесс преобразования за N последовательных шагов. Стандартная архитектура преобразователя последовательного приближения, называемого в литературе также АЦП с поразрядным уравниванием, включает в себя

устройство выборки и хранения, компаратор, цифро-аналоговый преобразователь (ЦАП) и регистр последовательного приближения.

Устройство выборки и хранения практически во всех модификациях содержит буфер на основе операционного усилителя для поддержания точного значения сигнала, который вносит свой вклад в общее потребление преобразователя. Одним из способов снижения потребляемой мощности является использование схемы цифро-аналогового преобразователя со встроенным устройством выборки и хранения [2]. Упрощенная структура АЦП с ЦАП, выполняющим также роль устройства выборки и хранения, показана на рис. 1. В этом случае не потенциал выхода ЦАП пошагово приближается к значению сохраненного входного потенциала, а сам сохраненный потенциал приближается к значению половины опорного напряжения («виртуальный ноль»).

Рис. 1. Структура АЦП

Fig. 1. ADC structure

На практике, занимаемая площадь определяется самым большим элементом устройства — матрицей двоично-взвешенных конденсаторов. Так как дифференциальная структура имеет в два раза большую площадь, чем однополярная, для обеспечения минимальной занимаемой площади была выбрана именно однополярная.

Регистр последовательного приближения (РПП) выполняет функции управления аналоговыми ключами, обработки сигнала компаратора и выдачи цифрового кода по завершении цикла преобразования. Так как используется однополярная система питания, серединой диапазона измерений является положительный потенциал. В связи с этим, значения, полученные в «отрицательной» области, должны быть инвертированы. В данной работе регистр последовательного приближения позволяет управлять числом разрядов выходного слова, тем самым изменяя количество тактов, необходимых для одного преобразования. Дополнительной особенностью является также возможность задания длительности выборки.

Важно предоставить пользователю возможность управления режимами работы. СнК должна обладать гибкостью в настройках энергопотребления. Наиболее распространенными методами, позволяющими сократить потребление, являются методы стробирования синхросигнала и построение системы отключаемых доменов питания. Необходимо предусматривать несколько режимов работы каждого блока в СнК для нахождения компромисса между сэкономленными микроваттами и временем включения/отключения

a | a

б | b

Рис. 2. Результаты моделирования
Fig. 2. Results of modelling

INTRODUCTION

Despite modern digitalization trend in almost all the spheres of human activity, there always exists a certain barrier between analogue and digital worlds. That is why analog-to-digital converters (ADC) constitute integral part of virtually any digital system, interacting with environment by means of different sensors. Frequently such sensors like temperature-sensitive element do not require high conversion rate. This enables one to select convenient ADC architecture for application in each specific case.

ARCHITECTURE

In this work complex functional ADC block is a constituent part of a very large scale

integration circuit (VLSI) belonging to System-on-Crystal (SoC) class. Requirements for maximum admissible power consumption, capability to select a mode of power consumption and maximum admissible occupied area have been imposed on this block. Since high rate and accuracy of conversion are not required, those requirements are met by the converter architecture with successive approximation. It is one of the most popular architectures used today. As opposed to flash and pipelined ADCs, the converter with successive approximation has only one parameter, which results in significantly less power consumption and simpler implementation as compared with sigma-delta ADC converter [1].

Its operation is based on sequential comparison of measured value with $1/2$, $1/4$, $1/8$ etc. parts of maximum reference voltage value. This enables N-bit ADC with successive approximation to perform the whole conversion process in N successive steps. The standard architecture of converter with successive approximation register, also called as ADC with bitwise balancing, comprises a sampling and holding device, comparator, digital-to-analog converter (DAC) and successive approximation register.

The sampling and holding device virtually in all modifications contains a buffer based on operational amplifier for maintaining accurate signal value, which contributes to the converter total power consumption. One of the

блоков. Во всех современных устройствах метод стробирования синхросигнала применяется по умолчанию.

Отключение питания незадействованных блоков крайне эффективный способ снижения потребления как статической, так и динамической мощности. В системе создаются дополнительные внутренние шины питания и земли. Между внутренними и внешними шинами вставляются выключатели. Таким образом, по сигналу внутренние шины отсоединяются и питание до блока не доходит. Если блок нужен в рабочем состоянии, его питание возвращается снятием сигнала с выключателя [3]. Конструкции Common Power Format, в основе которых лежит синтаксис языка TCL, позволяют описать многодоменные системы с различными напряжениями питания и режимами работы.

Данный преобразователь разработан для работы в двух доменах питания: 3,3 В для аналоговых блоков и 1,2 В для цифровых, с тремя режимами работы: номинальный рабочий, отключение цифрового питания, режим сна (полное отключение питания). В моменты,

когда питание блоков отсутствует, сигналы на выходах этих блоков находятся в неопределенном состоянии, поэтому в момент отключения питания необходимо зафиксировать какое-либо значение с помощью изоляционных ячеек. Таким образом, процесс отключения питания включает в себя следующие последовательные шаги: остановка тактирования, фиксация выходных шин отключаемых блоков (например, всех в состояние «0») изолирующими ячейками и отключение внутренних шин питания доменов. Необходимо также при планировании стробирования синхросигнала применять его и для тактируемых аналоговых блоков. При использовании данного метода сокращение потребления может составить до 95% мощности в неактивном режиме [4].

МОДЕЛИРОВАНИЕ

Полученные в ходе моделирования данные представлены на рис. 2–3. На рис. 2а видно, как выходное напряжение матрицы конденсаторов приближается к половине опорного напряже-

ния. Поэтапное отключение питания представлено на рис. 3. Сначала отключается цифровое питание, затем питание аналоговых блоков. В момент отключения цифрового питания возникает скачок на графике потребляемой мощности до 100 нВт, для более наглядного отображения остальной части графика этот пик обрезан. Результаты моделирования наглядно демонстрируют возможности методов снижения потребляемой мощности. В данном случае потребляемая мощность ЦАП сокращается на 3 порядка (с $\approx 1,2$ мкВт до ≈ 8 нВт), цифровой логики — в 5–7 раз (с $\approx 6,8$ нВт до $\approx 1,1$ нВт).

ЗАКЛЮЧЕНИЕ

В ходе данной работы был спроектирован регистр последовательного приближения для АЦП с максимальной разрядностью 12 бит по технологии 65 нм компании TSMC. Проведено моделирование на транзисторном уровне. Средняя потребляемая

Рис. 3. График стадийного отключения доменов питания

Fig. 3. Diagram of stage by stage power domains disconnection

ways of power consumption reduction is application of digital-to-analog converter circuit with embedded sampling and holding device [2]. Fig. 1 shows the simplified ADC structure with DAC, also performing functions of sampling and holding device. In this case not DAC output potential approaches the stored input potential step by step, but the stored potential approaches half of the reference voltage value ("virtual zero").

In practice, the occupied area is determined by the device biggest element, in our case it is binary weighted capacitor array. As differential structure has twice as large area compared to single pole area, the single pole area has been chosen for providing minimal possible occupied area.

The successive approximation register (SAR) performs control functions (using analogue switches), processes comparator signal and issues digital code upon converting the cycle termination. As single pole power supply is used, a positive potential is the middle point of the measuring range. So the values obtained in the "negative" range have to be inverted. In this research the successive approximation register enables controlling the bits number in output words, thus changing the number of cycles necessary for one conversion. An additional peculiarity is a possibility of setting the duration of sampling.

It is important to provide the user with opportunity to control the mode of operation. The SoC must possess versatility in power

consumption settings. Most commonly used methods for reducing power consumption are gating techniques for clock signal and building the system of disconnecting power domains. It is necessary to provide several modes for each block operation within SoC to reveal trade-off between saved power and time necessary for switching on and off respective blocks. Gating technique for clock signal is used in all modern devices by default.

Another efficient way to reduce power consumption for static and dynamic power is shutting down power supply to spare blocks. Additional internal power and ground buses are created in the system. A connection between internal and external buses is provided through switches. In such a way, upon receiving signal

регистром и конечным автоматом мощность в активном режиме составляет 4,5 мкВт.

ЛИТЕРАТУРА

1. Paul G.A. "Jespers Integrated Converters D to A and A to D ARCHITECTURES, ANALYSIS AND SIMULATION" / 2001. Oxford University Press Inc. — 2004. — С. 76–87.
2. Ravi Kumar K. "A 12 bit 50MSPS Low Power SAR ADC in UMC 65nm Technology" / 2017. Signal Processing, Communication, Power and Embedded System (SCOPEs), 2016.
3. Panda P.R. "Basic Low Power Digital Design" / 2010. Springer US — 2010. — С. 11–39.
4. Rakesh Chadha, Bhasker J. "An ASIC Low Power Primer" / 2013. Springer US — 2013. — С. 134–135.

internal buses become disconnected and power supply does not reach the respective block. If this block is required in operating condition, its power supply returns back by signal removal from the respective switch [3]. Structures Common Power Format based on TCL language syntax enables describing multi-domain systems with various supply voltages and modes of operation.

This converter has been developed for operating in two power domains: 3.3V for analogue blocks and 1.2V for digital blocks with three modes of operation: nominal operative mode, shutting down digital block of power supply, sleep mode (full power supply shutting down). At the moments when the blocks power supply is switched off, output signals of these blocks reside in undefined state, because at the moment of power supply being switched off it is necessary to fixate some value by means of insulating cells. So, the process of switching off power includes the following steps: the locking is stopped, output buses of switched off blocks (for example, all in "zero" state) are fixed using insulating cells and shutting down internal buses supplying power to domains.

While planning the clock signal gating it is also necessary to use clock signal for gating analogue blocks. Due to this technique, the reduction of power consumption may attain 95 % of power value in inactive mode [4].

MODELLING

Figures 2–3 show the data obtained by modelling. In Fig. 2a one can see how the output voltage of capacitors array comes closer to half of the reference voltage value. Fig. 3 shows the process of stage by stage switching power supply off. First of all, digital blocks power supply is switched off, and then power supply of analogue blocks is switched off. When power supply of digital blocks is switched off, there is a jump attaining 100nW on the diagram of consumed power, but for better visualization of the rest of the diagram this spike has been truncated. The results of modelling clearly demonstrate the opportunities of methods for reducing power consumption. In the considered case power consumed by DAC is reduced by 3 orders of magnitude (from $\approx 1.2\mu\text{W}$ down to $\approx 8\text{nW}$), digital logic is reduced by a factor of 5–7 (from $\approx 6.8\text{nW}$ down to $\approx 1.1\text{nW}$).

CONCLUSION

The research deals with developing the successive approximation register for ADC with maximal digital capacity 12 bit using 65nm TSMC technology, as well as modelling at transistor level. Average power consumed by the register and finite state machine in active mode constitutes 4.5microW.

REFERENCES

1. Paul G.A. "Jespers Integrated Converters D to A and A to D ARCHITECTURES, ANALYSIS AND SIMULATION" / 2001. Oxford University Press Inc. 2004. P. 76–87.
2. Ravi Kumar K. "A 12 bit 50MSPS Low Power SAR ADC in UMC 65nm Technology" / 2017. Signal Processing, Communication, Power and Embedded System (SCOPEs), 2016.
3. Panda P.R. "Basic Low Power Digital Design" / 2010. Springer US — 2010. P. 11–39.
4. Rakesh Chadha, Bhasker J. "An ASIC Low Power Primer" / 2013. Springer US — 2013. P. 134–135.

КНИГИ ИЗДАТЕЛЬСТВА "ТЕХНОСФЕРА"

Цена 1188 руб.

СЛУЧАЙНЫЕ ДАННЫЕ: СТРУКТУРА И АНАЛИЗ

В. И. Хименко

М: ТЕХНОСФЕРА, 2017. – 424 с.
ISBN 978-5-94836-497-1

Книга посвящена одной из наиболее общих проблем физики и техники, биологии и естествознания – проблеме извлечения информации из случайных данных (наблюдений, измерений, экспериментальных исследований).

Эта проблема включает в себя этапы сбора данных, построения моделей реальных процессов и систем, анализ и интерпретацию получающихся результатов.

В книге даются описание и детальный анализ структуры наиболее важных с точки зрения приложений моделей временных рядов, непрерывных случайных процессов, случайных потоков событий, случайных полей и изображений. Представлено большое количество новых результатов по вероятностному анализу неоднородных данных, отображениям случайных процессов на фазовой плоскости, характеристикам выбросов и характеристикам превышений заданных уровней. Показывается широкое разнообразие практических задач, которые решаются (или могут решаться) на основе рассмотренных моделей случайных функций.

Для широкого круга специалистов, аспирантов и студентов, для тех, кто изучает, исследует и применяет на практике модели и методы анализа различных по своей физической природе случайных данных.

КАК ЗАКАЗАТЬ НАШИ КНИГИ?

☎ 125319, Москва, а/я 91; ☎ +7 (495) 234-0110; ☎ +7 (495) 956-3346; knigi@technosphera.ru, sales@technosphera.ru