ИССЛЕДОВАНИЕ СБОЕУСТОЙЧИВОСТИ СОЗУ С ФУНКЦИЕЙ ИСПРАВЛЕНИЯ ОДИНОЧНЫХ СБОЕВ ПРИ ВОЗДЕЙСТВИИ ТЗЧ

STUDYING THE FAULT TOLERANCE OF SRAM WITH THE FUNCTION OF CORRECTING SINGLE EVENT UPSETS CAUSED BY HEAVY IONS

УДК 621.382

КРАСНИКОВ ГЕННАДИЙ ЯКОВЛЕВИЧ¹

KRASNIKOV GENNADIY YA.¹

ЛУШНИКОВ АЛЕКСАНДР СЕРГЕЕВИЧ²

LUSHNIKOV ALEXANDER S.²

МЕЩАНОВ ВЛАДИМИР ДМИТРИЕВИЧ²

MESCHANOV VLADIMIR D.²

РЫБАЛКО ЕГОР СЕРГЕЕВИЧ²

RYBALKO EGOR S.²

ФОМИЧЕВА НАДЕЖДА НИКОЛАЕВНА²

FOMICHEVA NADEZHDA N.²

ШЕЛЕПИН НИКОЛАЙ АЛЕКСЕЕВИЧ¹

SHELEPIN NIKOLAI A.¹

¹ АО «НИИМЭ»

124460, г. Москва, г. Зеленоград,

1-й Западный проезд, 12, стр. 1

² ООО «СИТРОНИКС-микродизайн»

124527, г. Москва, г. Зеленоград, Солнечная аллея, 6

Тел.: +7 (499) 720-69-84

sitmd11@smd-001.ru

¹ Molecular Electronics Research Institute JSC

12/1 1st Zapadny Lane, Zelenograd,

Moscow, 124460, Russia

² SITRONICS-microdesign LLC

6 Solnechnaya Alley, Zelenograd, Moscow, 124527

Tel.: +7 (499) 720-69-84

sitmd11@smd-001.ru

Представлены результаты исследования сбоеустойчивости СОЗУ с функцией исправления одиночных сбоев при воздействии ТЗЧ. Приведены модельные и экспериментальные зависимости сбоеустойчивости пилотных образцов СОЗУ емкостью 4 Мбит при воздействии ТЗЧ от частоты исправления информации. Показано соответствие модели и эксперимента.

Ключевые слова: СОЗУ; тяжелые заряженные частицы; однократные сбои; множественные сбои; обнаружение и коррекция ошибок в СОЗУ.

The report presents results of a study of the fault tolerance of SRAM with the function of correcting single event upsets caused by heavy ions. It shows model and experimental dependencies of the fault tolerance of SRAM samples on the information correction frequency. The correspondence between the model and the experiment has been demonstrated.

Keywords: SRAM; heavy ion; single event upset (SEU); multiple bit upset (MBU); error detection and correction (EDAC) in SRAM.

Сбоеустойчивость при воздействии ТЗЧ является важнейшим свойством элементной базы электронных устройств космических аппаратов, для обеспечения которой применяются различные технические решения. Одним из способов обеспечения сбоеустойчивости СОЗУ является включение в состав микросхемы функции периодического исправления одиночных сбоев (ОС), возникающих в многозарядных словах СОЗУ при воздействии ТЗЧ [1, 2, 3]. При этом частота восстановления достоверной информации должна выбираться таким образом, чтобы поддерживать на требуемом минимальном уровне вероятность возникновения в многозарядных словах неисправимых множественных сбоев (МС) кратности 2 и более.

В работе представлены модельные и экспериментальные результаты исследований сбоеустойчивости СОЗУ с функцией исправления ОС в зависимости от трех групп параметров: параметров микросхемы, временных параметров ее работы и параметров действующего на микросхему потока частиц.

МОДЕЛЬ СБОЕУСТОЙЧИВОСТИ СОЗУ

Модель определяет частоту возникновения МС в зависимости от следующих параметров.

Параметры микросхемы:

N — количество слов в микросхеме СОЗУ;

σ [см²] — сечение одиночного сбоя микросхемы.

Временные параметры работы микросхемы:

T_r — длительность одного цикла исправления (регенерации) информации во всех N словах микросхемы.

Параметры действующего на микросхему потока частиц:

V [см⁻²] — поток частиц (флюенс), действующий на микросхему;

G [см⁻²сек⁻¹] — плотность действующего на микросхему потока частиц.

Сбоеустойчивость микросхемы СОЗУ с функцией исправления ОС, содержащей N слов, может быть охарактеризована количеством неисправимых МС, возникающих при регистрации

в микросхеме m ОС за время одного цикла регенерации информации T_r .

Количество возникающих в микросхеме МС кратности 2 и более определяется выражением

$$M_r = N \cdot \left[\sum_{k=2}^m (C_k^m) (1/N)^k \left(1 - \frac{1}{N} \right)^{m-k} \right]. \quad (1)$$

При $M_r m \ll N$ это выражение приводится к виду

$$M_r = m(m-1)/2N, \quad (2)$$

где m — количество зарегистрированных в микросхеме ОС [2].

Выражение (2) определяет количество M_r МС кратности 2, возникающих в микросхеме за время T_r одного цикла исправления информации.

Для СОЗУ информационной емкостью 4 Мбит с организацией 131072 слова по 32 разряда погрешность выражения (2) по сравнению с исходным выражением (1) при $m < 1000$ не превышает 0,5%.

Возникновение МС в каждом цикле регенерации является независимым событием, поэтому общее количество M_s МС за несколько циклов регенерации пропорционально количеству циклов регенерации.

При $m \ll N$ количество множественных сбоев M_s , которое возникает в СОЗУ с сечением одиночного сбоя σ и количеством информационных слов N , регенерируемых с временем цикла регенерации T_r , при воздействии на СОЗУ потока частиц плотностью G до величины флюенса V определяется выражением

$$M_s = \frac{VG\sigma^2}{2N} \cdot T_r (1 - T_1/T_r), \quad (3)$$

где $T_1 = 1/(G \cdot \sigma)$, T_1 — время, в течение которого в микросхеме при воздействии на нее потока частиц плотностью G возникает один ОС, $T_1 \ll T_r$ [2].

ПИЛОТНЫЙ ОБРАЗЕЦ ДЛЯ ЭКСПЕРИМЕНТАЛЬНОЙ АПРОБАЦИИ МОДЕЛИ СБЕОУСТОЙЧИВОСТИ СОЗУ

Апробация модели проведена на пилотных образцах микросхемы СОЗУ информационной емкостью 4 Мбит (СОЗУ4М, СОЗУ), в которой реализована функция исправления ОС при воздействии ТЗЧ.

Микросхемы изготовлены по 0,24 мкм КМОП КНИ-технологии и имеют доступный пользователю объем памяти 4 Мбит с организацией 131072 слова по 32 бита.

Устойчивость СОЗУ к ОС достигается наличием в составе микросхемы встроенной функции регенерации (восстановления)

информации на основе кода Хэя [4], которая обеспечивает исправление в 32-разрядных информационных словах одиночных ошибок (сбоев) и обнаружение двойных ошибок.

Для реализации этой функции каждое записываемое и хранимое в памяти 32-разрядное информационное слово при его записи дополняется в микросхеме семью контрольными разрядами, при этом внутренний объем памяти СОЗУ составляет 4,875 Мбит с организацией 131072 слова по 39 бит.

Питание микросхемы осуществляется от источника с напряжением $3,3 \text{ В} \pm 10\%$.

Функциональная схема образцов микросхемы наряду с традиционными элементами содержит специальные элементы, выполняющие функцию исправления ОС, табл. 1.

Управление микросхемой осуществляется с использованием семи основных управляющих сигналов — EN_MASTER, RFN, BUSY, CS, CEN, CE, OEN, WEN, поступающих на соответствующие выводы микросхемы, в соответствии с таблицей истинности (табл. 2, 3) и трех дополнительных управляющих сигналов EC_BYPASS, TEST0 и TEST1, используемых для начальных установок регистров и счетчиков СОЗУ и для ее тестирования.

Выводы EN_MASTER, CS, CEN, CE, OEN, WEN, EC_BYPASS, TEST0 и TEST1 являются входами. Назначение выводов RFN и BUSY определяется логическим уровнем напряжения на входе EN_MASTER, который определяет один из двух возможных вариантов регенерации информации, вариант MASTER или вариант SLAVE. Регенерация информации в обоих вариантах (режимах) осуществляется периодически по одному из адресов, задаваемых внутренним счетчиком адреса, путем приостановки (прерывания) работы микросхемы в других режимах (записи или чтения).

Интервалы времени, через которые выполняются циклы регенерации, устанавливаются в зависимости от интенсивности воздействующего на микросхему потока частиц. При этом различие вариантов регенерации MASTER или SLAVE состоит в том, откуда формируется команда на прерывание и выполнение цикла регенерации по очередному адресу — из самой микросхемы или извне.

В варианте регенерации MASTER (при высоком уровне напряжения на входе EN_MASTER, табл. 2) частота регенерации задается программируемым генератором частоты, входящим в состав СОЗУ. Выводы BUSY и RFN в режиме регенерации MASTER являются выходами.

В варианте регенерации SLAVE (при низком уровне напряжения на входе EN_MASTER, табл. 2) частота регенерации задается извне микросхемы процессором или другой микросхемой СОЗУ, установленной в состояние MASTER. В режиме регенерации SLAVE вывод RFN является входом, вывод BUSY не используется и находится в состоянии высокого импеданса.

Таблица 1. Элементы функциональной схемы СОЗУ с функцией исправления ОС

1. Традиционные элементы функциональной схемы СОЗУ:

матрица ячеек памяти с организацией 131072×39, дешифраторы строк и столбцов, усилители считывания, детектор смены адреса, буферы сигналов управления, адреса и данных, устройство формирования традиционных для СОЗУ управляющих сигналов: CS, CEN, CE, OEN, WEN.

2. Элементы функциональной схемы СОЗУ, реализующие функции исправления одиночных сбоев.

2.1. Устройство помехоустойчивого кодирования и декодирования информации на основе кода Хэя.

2.2. Система регенерации информации в режиме MASTER (ведущий) или в режиме SLAVE (ведомый):

счетчик адреса регенерации, генератор частоты регенерации в режиме MASTER, блок формирования в режиме регенерации MASTER временной диаграммы сигналов BUSY и RFN, программируемый контрольный регистр, определяющий параметры сигналов BUSY и RFN при регенерации в режиме MASTER, счетчик однократных сбоев, устройство формирования сигнала MERR обнаружения несправильного сбоя кратности 2.

2.3. Устройство управления при регенерации информации и тестировании СОЗУ. Устройство управления использует внешние управляющие сигналы: EN_MASTER, BUSY, RFN, TEST0, TEST1, EC_BYPASS.

Таблица 2. Таблица истинности микросхемы в режимах регенерации или чтения, записи и хранения

EN_MASTER	MASTER/SLAVE	RFN		BUSY	Режим
		лог. сост.	Режим вывода		
H	MASTER	L	выход	L	Режим регенерации
L	SLAVE	L	вход	hiZ	Режим регенерации
H	MASTER	H	выход	H	Режим чтения, записи или хранения определяется состоянием сигналов CS, CEN, CE, OEN, WEN (табл. 3)
L	SLAVE	H	вход	hiZ	

TEST0 = TEST1 = EC_BYPASS = 0

Таблица 3. Таблица истинности микросхемы в режимах чтения, записи и хранения

CS	CE	CEN	OEN	WEN	DQ0—DQ31	Режим
H	X	X	X	X	Высокий импеданс	Хранение данных
X	L	X	X	X	Высокий импеданс	Хранение данных
X	X	H	X	X	Высокий импеданс	Хранение данных
L	H	L	H	H	Высокий импеданс	Считывание данных в выходной буфер
L	H	L	L	H	Выходные данные	Считывание данных
L	H	L	X	L	Входные данные	Запись данных

TEST0 = TEST1 = EC_BYPASS = 0

СООТВЕТСТВИЕ МОДЕЛИ И ЭКСПЕРИМЕНТАЛЬНЫХ РЕЗУЛЬТАТОВ ИССЛЕДОВАНИЯ СБОЕУСТОЙЧИВОСТИ СОЗУ

Экспериментальные данные испытаний СОЗУ4М на сбоеустойчивость получены НПО «СПЭЛС» с использованием испытательного стенда «ИС ОИ 400-Н» на базе циклотрона «У-400» (лаборатория ядерных реакций ОИЯИ, г. Дубна Московской области). Испытания проводились путем воздействия на микросхему потока ионов ксенона (Xe) и криптона (Kr) с различными значениями ЛПЭ.

Сравнение количества МС ($M_{сэ}$), зарегистрированных экспериментально в процессе испытаний, с количеством МС ($M_{сп}$), рассчитанным с использованием модели (3), показывает их соответствие с погрешностью, оцениваемой погрешностью определения экспериментальных данных. Графическое представление результатов расчета и эксперимента представляет собой при $T_i \ll T_r$ в соответствии с (3) прямую линию (рис. 1). Экспериментальные и расчетные данные (рис. 1) приведены для процесса

облучения ионами Xe со следующими значениями параметров: ЛПЭ = 69 МэВсм²/мг, $V = 10^5$ см⁻², $G = 500$ см⁻²сек⁻¹, $\sigma = 0,051$ см⁻².

Выражение (3) получено в предположении, что сбои в микросхеме возникают только в ячейках памяти. Соответствие экспериментальных данных и модели означает, что в реальной микросхеме сбои возникают также только в ячейках памяти.

В случае если все или отдельные экспериментальные результаты отклоняются от модельных, это может свидетельствовать либо об ошибках эксперимента, либо о сбоях в микросхеме за пределами ячеек памяти, которые требуют отдельного изучения.

Выражение (3) предсказывает, что для вышеуказанных параметров процесса при времени цикла регенерации информации по адресам всех N слов $T_r \leq T_i = 0,04$ сек в микросхеме не возникнет МС кратности 2, поскольку каждый ОС будет восстановлен до того, как в микросхеме произойдет второй ОС. Такому отсутствию МС соответствует период регенерации информации по каждому отдельному адресу микросхемы, равный $T_i/N = 300$ нс.

ЛИТЕРАТУРА

1. Hafer C., Marba J., Slocum D., Farris T., Jordan A. *SEE and TID Results for a RadHard-by-Design 16Mbit SRAM with Embedded EDAC*. 2006 IEEE.
2. Мещанов В.Д., Лушников А.С., Рыбалко Е.С., Фомичева Н.Н. Модель сбоеустойчивости СОЗУ с функцией исправления одиночных сбоев при воздействии тяжелых заряженных частиц // Электронная техника. Серия 3. Микроэлектроника. Вып. 2(162).
3. Peter Milliken, Radu Dumitru, Craig Hafer, Wu T.W., Rominger R., Bruno K., Farris T. *Single Event Effects of Commercial and Hardened by Design SRAM*. RADECS 2011 Proceedings-DW-23.
4. Петров К.А., Стенин В.Я. Помехоустойчивое кодирование в КМОП ОЗУ, устойчивых к одиночным воздействиям ядерных частиц // Микроэлектроника, 2015. — Т. 44. — № 5. — С. 359–367.

Рис. 1. Экспериментальное ($M_{сэ}$) и расчетное ($M_{сп}$) количество МС кратности 2 в зависимости от периода регенерации T_r