



ИССЛЕДОВАНИЕ И ОПТИМИЗАЦИЯ ПО КРИТЕРИЮ СБОЕУСТОЙЧИВОСТИ ЯЧЕЙКИ ПАМЯТИ ДЛЯ ТЕХНОЛОГИИ КНИ КМОП 0,25 МКМ ПРИ ОБЛУЧЕНИИ БЫСТРЫМИ НЕЙТРОНАМИ

RESEARCH AND OPTIMIZATION BY RADIATION HARDNESS CRITERION OF MEMORY CELLS FOR 0.25 μ m SOI CMOS TECHNOLOGY IN THE COURSE OF IRRADIATION BY FLUX OF FAST NEUTRONS

УДК 621.382, ББК 32.85

ЧИСТЯКОВ МИХАИЛ ГЕННАДЬЕВИЧ

Mikhail_Chistyakov@srisa.ru

CHISTYAKOV MIKHAIL G.

Mikhail_Chistyakov@srisa.ru

ФГУ ФНЦ НИИСИ РАН

117218, Москва, Нахимовский просп., 36, к. 1

SRISA RAS

36/1 Nakhimovskiy Ave., Moscow, 117218

В статье исследована устойчивость к сбоям ячейки памяти, спроектированной по технологии КНИ 0,25 мкм. Рассмотрены возможные ситуации сбоев при попадании в ячейку памяти быстрых нейтронов. Также рассмотрены основные методы повышения сбоеустойчивости ячеек памяти. Приведены рекомендации по повышению устойчивости к сбоям ячеек памяти.

Ключевые слова: СОЗУ; ячейка памяти; КНИ; стойкость к заряженным частицам.

This paper presents the results of fault resistance researches performed for memory cells designed by 0.25 μ m SOI CMOS technology. Possible faults caused by hitting memory cell by fast neutrons are considered. The main approaches to memory cells hardening are also examined. Recommendations for memory cells hardening are provided.

Keywords: SRAM; memory cells; SOI; resistance to charged particles impact.

При воздействии быстрых нейтронов на микросхемы статического оперативного запоминающего устройства (далее — СОЗУ) наиболее уязвимым к сбою является массив запоминающих элементов, состоящий из ячеек памяти (далее — ЯП). При взаимодействии нейтрона с кремнием образуются первично выбитые атомы, энергия которых достигает 960 кэВ [1]. Линейные потери энергии (ЛПЭ) атомов кремния достигают величины ~6 МэВ·мг/см². Для микросхем СОЗУ, изготовленных по технологии КНИ, наибольшие воздействия возникают при пролете атома кремния через тело транзистора [2].

При воздействии потока быстрых нейтронов количество сбоев зависит от количества частиц, воздействующих на СОЗУ, причем наблюдается характерный порог, при котором начинаются сбои. Исследования одиночных сбоев, вызванных воздействием заряженных частиц, подробно описаны в работах [2–4]. Поскольку в этих работах акцент сделан на воздействия одиночных частиц, в настоящей работе выполнено исследование как сбоя ЯП от одной порожденной частицы, так и сбоя ЯП от двух частиц. Также выполнена оптимизация ЯП по критерию достижения стойкости к частицам ограниченного спектра энергий (ЛПЭ

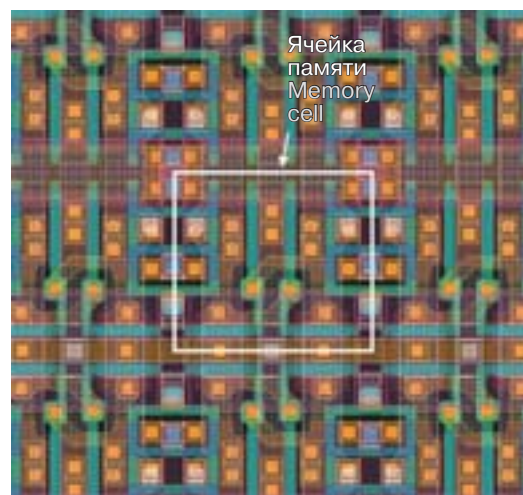
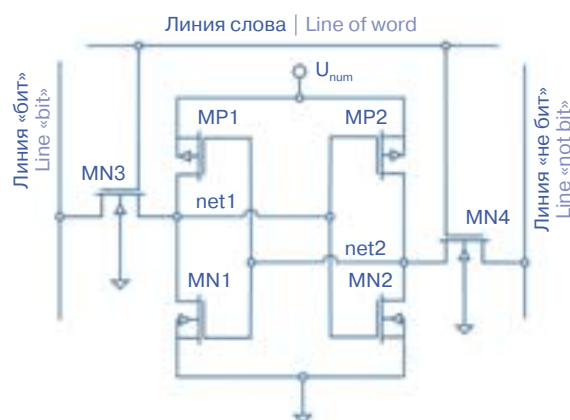


Рис. 1. Электрическая схема и топология ЯП, выбранной для исследования

Fig. 1. Electrical diagram and MC layout selected for investigation

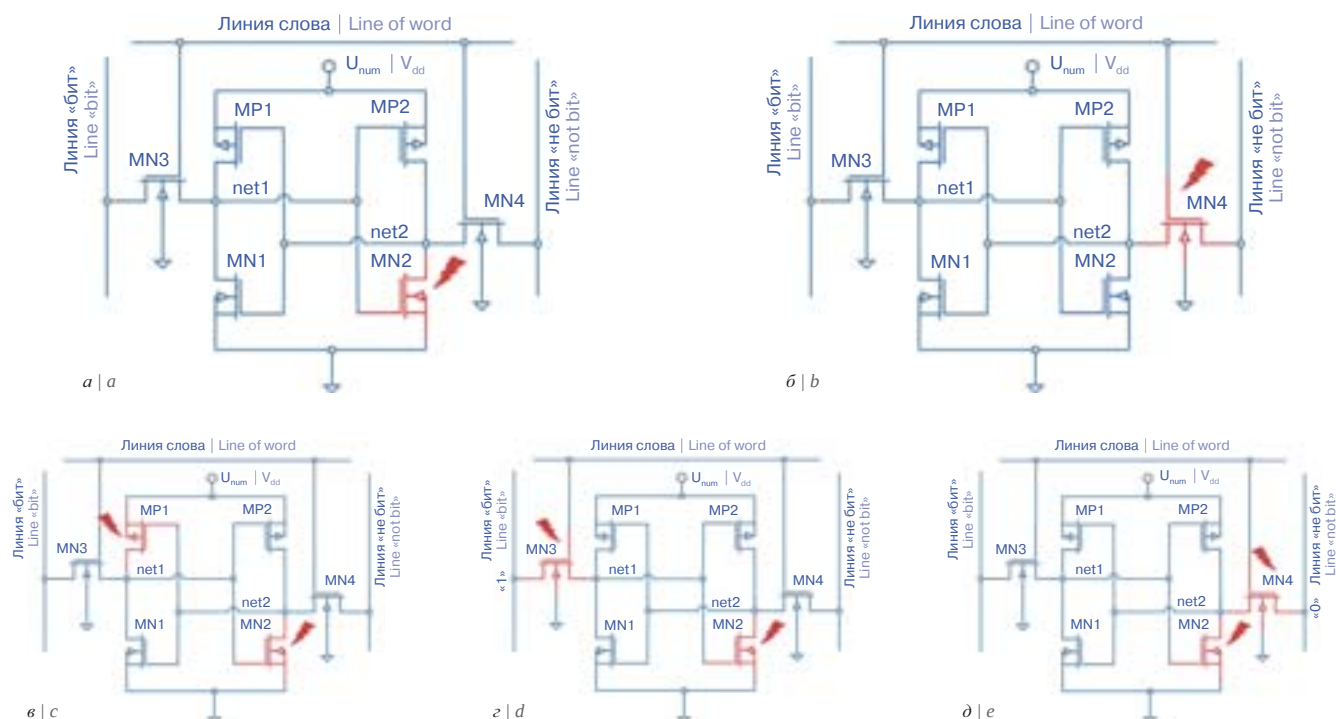


Рис. 2. Места порождения сбоя ЯП
Fig. 2. Locations of faults arising in MC

не более $7 \text{ МэВ} \cdot \text{мг}/\text{см}^2$) при минимально возможном увеличении размеров ЯП. Выбор частиц с энергией $7 \text{ МэВ} \cdot \text{мг}/\text{см}^2$ для оптимизации оправдан для достижения гарантированного уровня устойчивости схемы и обеспечения запаса параметров изделия при изготовлении. При оптимизации размера ЯП оценивались площадь, время чтения и записи в составе блока СОЗУ и статический запас помехоустойчивости (Static Noise Margin, SNM) ЯП.

Для исследования выбрана 6-транзисторная ЯП как наиболее распространенная. Электрическая схема и топология ЯП представлены на рис. 1. Исходная ЯП спроектирована таким образом, чтобы иметь минимально возможную площадь для достижения

высокой плотности компоновки массива запоминающих элементов. Исследование проводилось на основе моделирования электрической схемы ЯП с применением модели электрического возмущения, вызванного заряженной частицей [5].

Основные режимы функционирования ЯП — это запись, хранение и чтение данных. Наибольшим по продолжительности, если рассматривать каждую ячейку памяти, является режим хранения, поэтому сбой в режиме хранения является наиболее вероятным.

Моделирование показало, что сбой при воздействии одной частицы возможен при следующих воздействиях на ЯП (рис. 2а, б):

Memory cell array (MC) is the most vulnerable to fault element in static random-access memory (SRAM) microcircuits when irradiated by fast neutrons. In the course of interaction between neutron and silicon primary knocked-on atoms are formed with energy attaining 960 keV [1]. Linear energy transfer (LET) exhibited by silicon atoms reaches $\sim 6 \text{ MeV} \cdot \text{mg}/\text{cm}^2$ values. In case of SRAM microcircuits manufactured using SOI technology maximal impact is observed during silicon atom fly-over transistor's body [2].

The faults number in the course of SRAM irradiation by fast neutrons depends on the amount of particles impacting on SRAM, with a characteristic threshold causing faults. Single faults caused by charged particles impact are described in detail in [2–4]. Since the

indicated above works were focused on single particles impact, the present work investigates MC faults caused both by single particles and by two particles. In addition, memory cells were optimized by the criterion of resistance to the impact of particles in restricted energy spectrum (LET being not more than $7 \text{ MeV} \cdot \text{mg}/\text{cm}^2$) at a minimal possible memory cell size increase. The selection of particles with $7 \text{ MeV} \cdot \text{mg}/\text{cm}^2$ energy used for optimization is fully justified for providing guaranteed level of circuit stability and the device parameters margin in the course of its production. The area, time required for reading and writing operations within SRAM module as well as static noise margin (SNM) were estimated in the course of MC size optimization.

To perform the research we have selected six-transistor memory cell as most commonly

used. Fig. 1 shows electrical diagram and memory cell topology. The original cell was designed in such a way as to occupy minimal area for achieving high density arrangement of memory cell array. The research was performed basing on MC electric circuit modelling using a model of electric perturbation caused by a charged particle impact [5].

The main modes of memory cell operation are data read, storage and write modes. Storage mode is most prolonged, if one considers each memory cell, and that is why a fault in storage mode is most probable.

The results of modelling indicate that the fault caused by a single particle impact is possible in the following kinds of impacts on memory cell (Fig. 2a, b):

- hitting n -channel transistor of memory cell inverter (Fig. 2a);

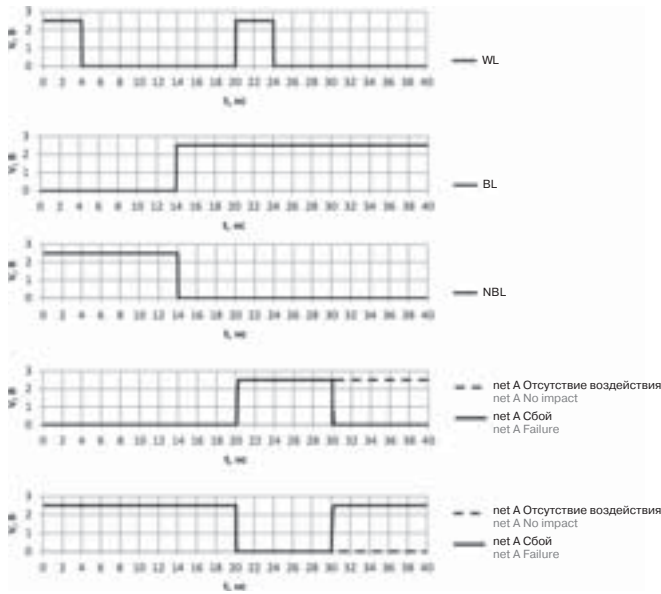


Рис. 3. Временная диаграмма сбоя ЯП в режиме хранения
Fig. 3. Timing diagram of fault in memory cell arising in storage mode

- попадании в n -канальный транзистор инвертора ЯП (рис. 2а);
 - попадании в проходной n -канальный транзистор ЯП (рис. 2б)).
- Моделирование показало, что сбой при воздействии двух частиц возможен при следующих воздействиях на ЯП (рис. 2, в–д):
- одновременном попадании в p -канальный транзистор и n -канальный транзистор, принадлежащие разным инверторам ЯП, (рис. 2в);
 - одновременном попадании в n -канальный проходной транзистор ЯП и n -канальный транзистор инвертора ЯП (рис. 2г);
 - одновременном попадании в n -канальный проходной транзистор ЯП и n -канальный транзистор инвертора ЯП (рис. 2д)).
- Следует отметить, что, как показали расчеты, при одиночных воздействиях частиц (рис. 2а, б) с ЛПЭ $7 \text{ МэВ} \cdot \text{мг/см}^2$ сбоя не происходит. Установлено, что сбой происходит при воздействии частицы с ЛПЭ $16 \text{ МэВ} \cdot \text{мг/см}^2$. Временная диаграмма сбоя

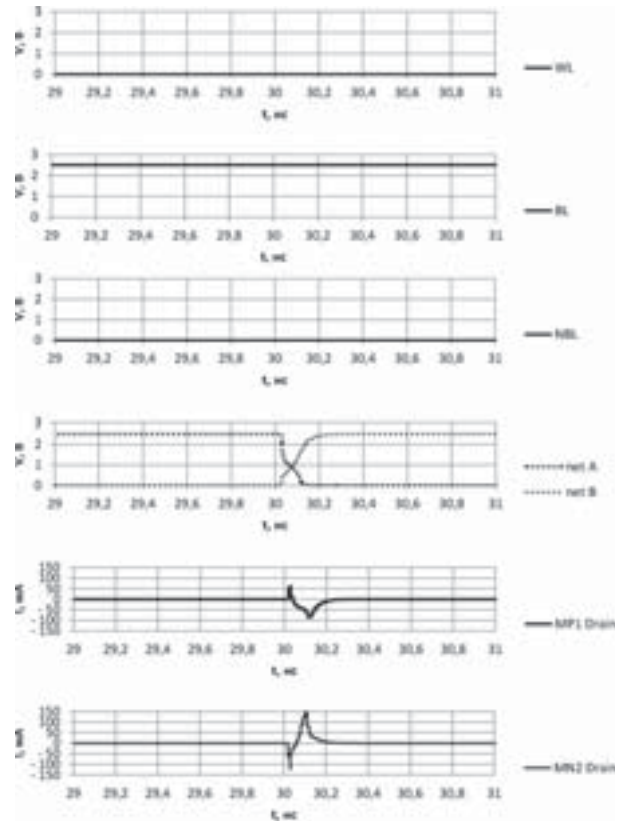


Рис. 4. Временные диаграммы сбоя при одновременном воздействии двух частиц
Fig. 4. Timing diagrams of fault caused by simultaneous impact produced by two particles

в режиме хранения при воздействии частицы с ЛПЭ $16 \text{ МэВ} \cdot \text{мг/см}^2$ на транзисторы приведена на рис. 3. В случае одновременного воздействия двух частиц (рис. 2в, г, д)) сбой происходит при ЛПЭ частиц, равной $7 \text{ МэВ} \cdot \text{мг/см}^2$. Однако сбои могут возникать и при различных значениях ЛПЭ частиц. Пример сбоя при одновременном воздействии двух частиц показан на рис. 4.

- hitting n -channel pass transistor of memory cell inverter (Fig. 2b);
- The results of modelling show that the fault caused by the impact of two particles is possible in the following impacts on memory cell (Figs. 2c, d, e):
- simultaneously hitting p -channel transistor and n -channel transistor belonging to different MC inverters (Fig. 2c);
 - simultaneously hitting n -channel MC pass-transistor and n -channel transistor of MC inverter (Fig. 2d);
 - simultaneously hitting n -channel MC pass-transistor and n -channel transistor of MC inverter (Fig. 2e).
- It should be noted that, according to the results of calculations, in case of a single particle impact (Fig. 2a, b) with LET equal to $7 \text{ MeV} \cdot \text{mg/cm}^2$ no fault arises. It was found

that a fault takes place at the impact of a particle with LET equal to $16 \text{ MeV} \cdot \text{mg/cm}^2$. Fig. 3 presents the fault timing diagram in storage mode in case of impact with LET equal to $16 \text{ MeV} \cdot \text{mg/cm}^2$ produced by a particle in transistor. In case of simultaneous impact produced by two particles (Figs. 2c, d, e) the fault is caused by a particle with LET equal to $7 \text{ MeV} \cdot \text{mg/cm}^2$. Nevertheless, faults may arise at various values of particle LET. An example of fault caused by simultaneous impact produced by two particles is presented in Fig. 4.

Faults due to simultaneous impact produced by three particles have not been considered in this paper, because their probability is several orders of magnitude lower than in case of simultaneous impact of two particles [3].

There are several approaches that can be used for reducing faults: an approach using redundant information and an approach based on electric diagram optimization in memory cells [6].

The approach using redundant information consists in correcting codes utilization, for example, Hamming code or majority voters requiring additional storage bits, as well as error-correcting schemes. Besides, an increase in digits per word, stored in memory, and in time of information storage results in double errors probability in the stored word. It should also be noted that in case of increasing logical elements number used for bits restoration, the usage rate of SRAM also increases.

The approach based on electric diagram optimization consists in the optimization

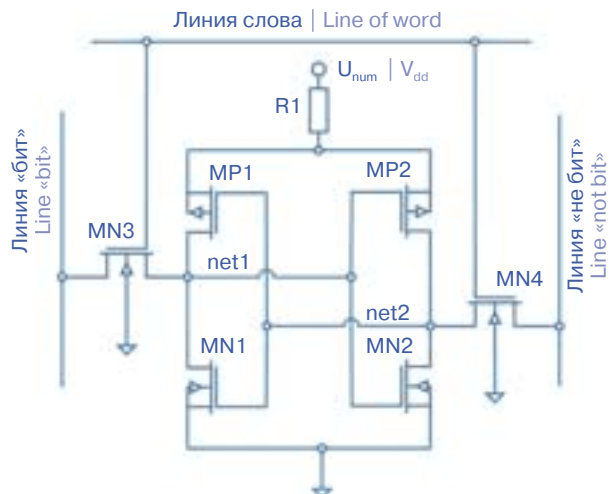


Рис. 5. Модификация ЯП с применением резистора

Fig. 5. Memory cell modification with application of additional resistor

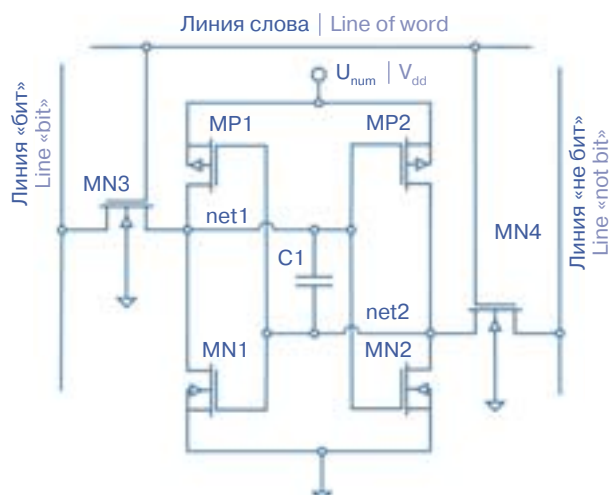
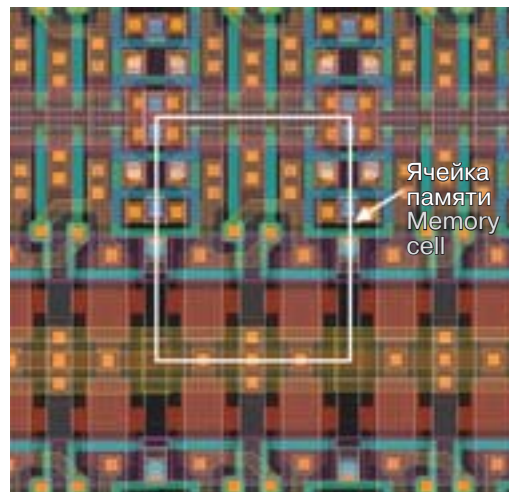


Рис. 6. Модификация ЯП с применением конденсатора

Fig. 6. Memory cell modification with application of additional capacitor

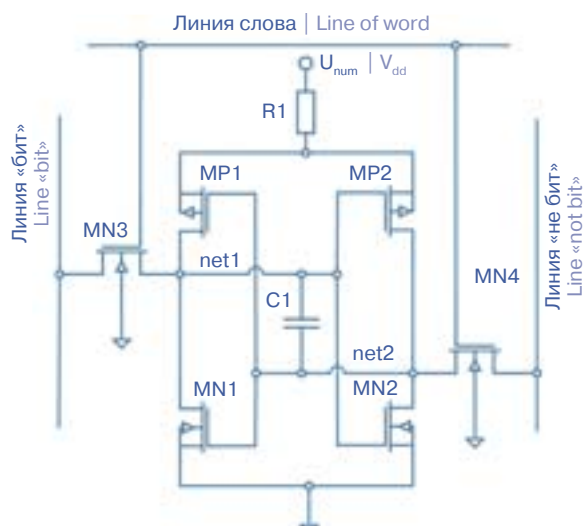
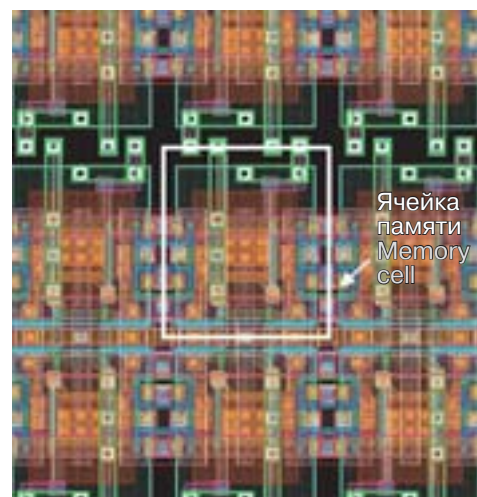
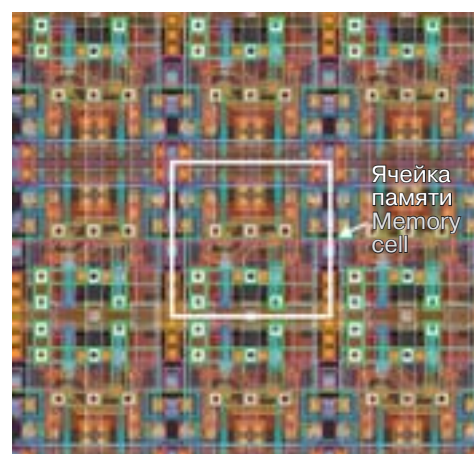


Рис. 7. Модификация ЯП с резистором и конденсатором

Fig. 7. Modification of memory cell by means of resistor and capacitor





Сбои, связанные с одновременным воздействием трех частиц, не рассматривались, так как их вероятность на несколько порядков ниже, чем при одновременном воздействии двух частиц [3].

Существует несколько подходов к борьбе со сбоями: подход с использованием избыточности информации и подход, основанный на оптимизации электрических схем ЯП [6].

Подход с использованием избыточности информации заключается в использовании корректирующихся кодов, например, кода Хемминга или мажоритарных схем, требующих дополнительных разрядов памяти, а также схем для корректировки. При этом с увеличением разрядности слова, хранящегося в памяти, и времени хранения информации вероятность возникновения двойной ошибки в слове увеличивается. Также стоит отметить, что при увеличении числа логических элементов, используемых для восстановления битов, увеличивается потребление СОЗУ.

Подход, основанный на оптимизации электрических схем, заключается в оптимизации размеров активных элементов и добавлении пассивных элементов в ЯП [4]. Существуют и другие подходы к защите от сбоя, например, использование ЯП DICE,

Таблица 1. Сравнение площади ячеек памяти

Table 1. Comparison of memory cells area

Тип ячейки Cell type	Площадь ЯП, мкм ² Memory cell area, micron ²	Разница от исходной ЯП, % Difference from original MC, %
Исходная ЯП Original MC	22,67	0
ЯП с резистором MC with resistor	31,72	29
ЯП с конденсатором MC with capacitor	45,24	50
ЯП с резистором и конденсатором MC with resistor and capacitor	37,02	39

Таблица 2. Сравнение ячеек памяти по времени записи

Table 2. Comparison of memory cells by read time

Тип ячейки Cell type	Запись «1», нс Write of "1", ns	Разница от исходной ЯП, % Difference from original MC, %	Запись «0», нс Write of "0", ns	Разница от исходной ЯП, % Difference from original MC, %
Исходная ЯП Original MC	1,996	0	1,992	0
ЯП с резистором MC with resistor	1,990	0	1,975	-1
ЯП с конденсатором MC with capacitor	2,167	9	2,089	5
ЯП с резистором и конденсатором MC with resistor and capacitor	2,081	4	2,034	2

of active elements size and in the addition of some passive elements into memory cells [4]. There exist other approaches towards fault protection, based, for example, on using memory cell DICE, but the area of such memory cell is approximately twice as large as the area of convenient 6-transistor MC, and for this reason is excessive for fault reflecting in case of impact produced by particles with restricted energy spectrum.

For attaining MC stability under the impact of silicon atom with LTE less than 7MeV·mg/cm² and for minimizing the area occupied by MC the following passive elements were added:

1. Additional resistance in transistors circuit of MC inverters (Fig. 5).
2. Capacitor between feedback circuits of memory cell inverters (Fig. 6).

An additional resistor reduces the value of current impulse arising in transistors, and results in an increase in MC area

approximately by 30 % if compared with the original memory cell. An additional capacitor smoothes current impulse and results in an increase in MC area approximately by 50 % if compared with the original memory cell.

It is also worth considering the use of two presented above modifications (Fig. 7).

In this case, an increase in memory cell size does not exceed 40 %.

The rating of passive elements was selected so as to attain resistance to impact of particles with LET equal to 7MeV·mg/cm² and to provide minimal area. For comparison of all modifications we will use the following categories: area, operation speed, switching threshold and static noise margin (SNM).

Comparison of memory cells area is given in Table 1.

As can be seen in Table 1, memory cell with resistor occupies less area. Memory cell with resistor and capacitor has average area value. The highest area is occupied by memory cell with capacitor.

Time of read and write operations will be estimated within SRAM module with 1Kx32 architecture. Tables 2 and 3 contain the results of comparison of memory cells characteristics.

As is seen from Table 2, memory cell with resistor time to write "1" is 1 % less than required for original MC; as well as time for reading "1" and "0" does not differ from original MC. In case of memory cells with capacitor, time to write "1" and "0" is 9 % and 5 % greater than in case of original MC. Time to read "1" and "0" also does not differ. In case of memory cells with resistor and capacitor time for writing "1" and "0" increases by 4 % and 2 %, while time for reading does not alter. On the basis of comparison using time characteristics it is possible to single out memory cells with resistor, because their time parameters to write and to read are closest to the original memory cell.

For the purpose of analyzing the stability of writing operation, let us examine



Таблица 3. Сравнение ячеек памяти по времени чтения

Table 3. Comparison of memory cells by read time

Тип ячейки Cell type	Чтение «1», нс Read of "1", ns	Разница от исходной ЯП, % Difference from original MC, %	Чтение «0», нс Read of "0", ns	Разница от исходной ЯП, % Difference from original MC, %
Исходная ЯП Original MC	2,759	0	2,484	0
ЯП с резистором MC with resistor	2,761	0	2,488	0
ЯП с конденсатором MC with capacitor	2,757	0	2,482	0
ЯП с резистором и конденсатором MC with resistor and capacitor	2,758	0	2,484	0

Таблица 4. Сравнения SNM ячеек памяти

Table 4. Comparison of memory cells SNM

Тип ячейки Cell type	Порог переключения, В Switching threshold, V	Разница от исходной ЯП, % Difference from original MC, %	SNM, В SNM, V	Разница от исходной ЯП, % Difference from original MC, %
Исходная ЯП Original MC	0,918	0	0,788	0
ЯП с резистором MC with resistor	0,877	−5	0,763	−3
ЯП с конденсатором MC with capacitor	0,918	0	0,788	0
ЯП с резистором и конденсатором MC with resistor and capacitor	0,895	−3	0,774	−2

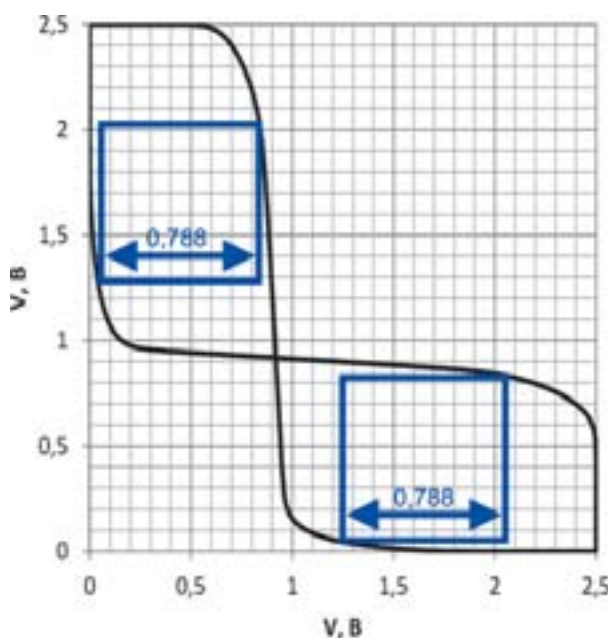


Рис. 8. Передаточная характеристика исходной ЯП

Fig. 8. Transfer characteristics of original memory cells

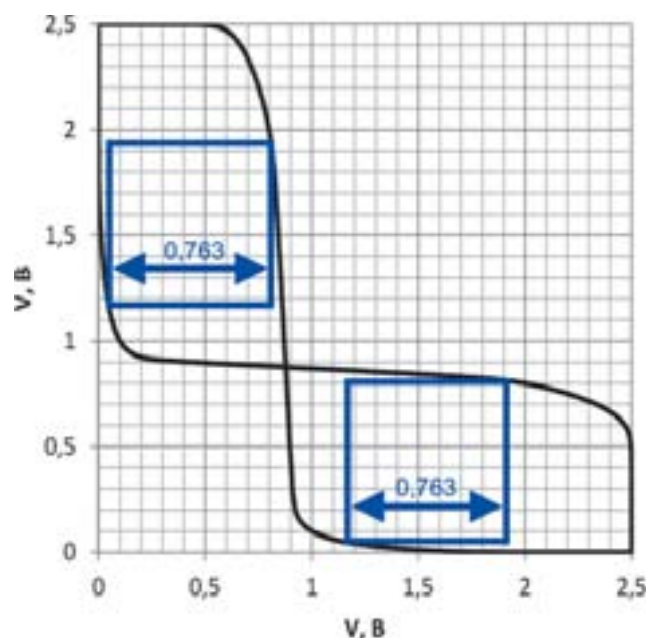


Рис. 9. Передаточная характеристика ЯП с резистором

Fig. 9. Transfer characteristics of memory cells with resistor

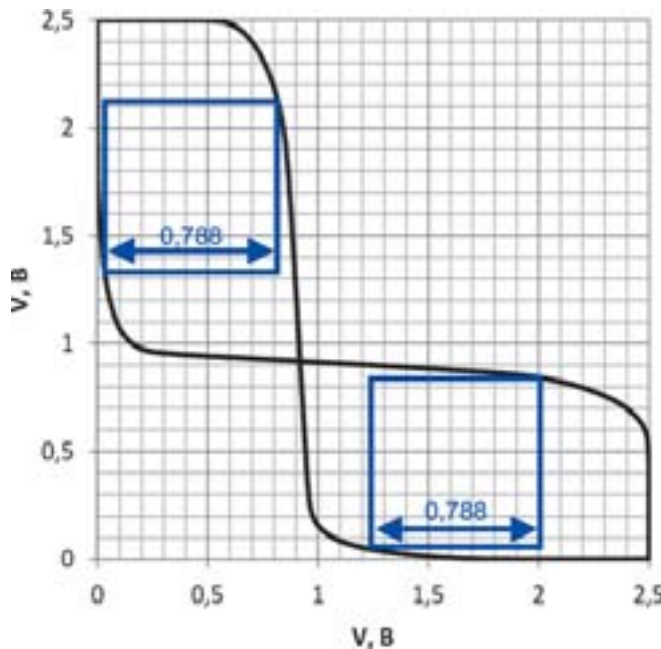


Рис. 10. Передаточная характеристика ЯП с конденсатором
Fig. 10. Transfer characteristics of memory cells with capacitor

но площадь такой ЯП примерно в два раза больше площади классической 6-транзисторной ЯП и поэтому избыточна для парирования сбоя при воздействии частиц с ограниченным спектром энергий.

Для достижения устойчивости ЯП при воздействии атома кремния с ЛПЭ не более $7 \text{ МэВ} \cdot \text{мг/см}^2$ и для минимизации занимаемой ЯП площади были добавлены следующие пассивные элементы:

1. Дополнительное сопротивление в цепь транзисторов инверторов ЯП (рис. 5).
2. Конденсатор между цепями обратной связи инверторов ЯП (рис. 6).

Добавление резистора уменьшает величину токового импульса, возникающего в транзисторах, и приводит к увеличению площади ЯП примерно на 30 % по сравнению с исходной ЯП. Добавление конденсатора «сглаживает» токовый импульс

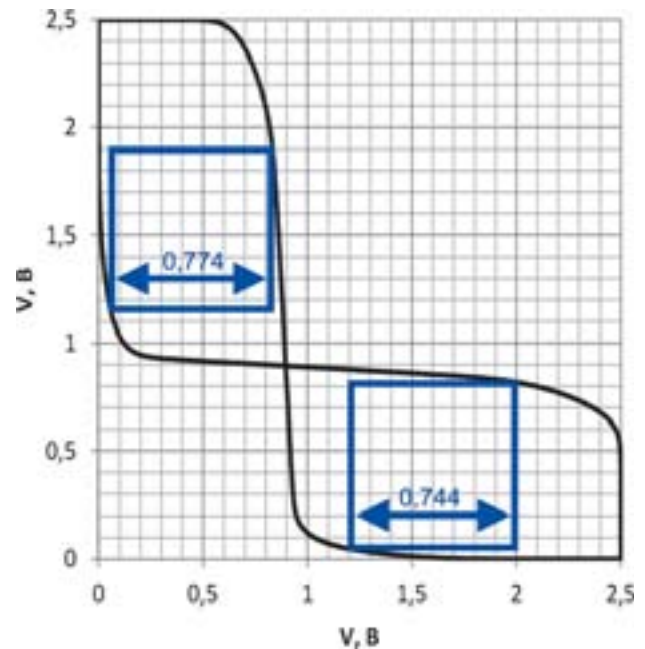


Рис. 11. Передаточная характеристика ЯП с резистором и конденсатором
Fig. 11. Transfer characteristics of memory cells with resistor and capacitor

и приводит к увеличению площади ЯП примерно на 50 % по сравнению с исходной ЯП.

Также стоит рассмотреть совместное использование приведенных выше модификаций (рис. 7).

В этом случае размер ЯП увеличивается не более чем на 40 %.

Номинал пассивных элементов выбирался таким образом, чтобы достичь стойкости к частицам с ЛПЭ $7 \text{ МэВ} \cdot \text{мг/см}^2$ и обеспечить минимальную площадь. Для сравнения всех модификаций будем использовать следующие критерии: площадь, быстродействие, порог переключения и статический запас помехоустойчивости (SNM).

Сравнение площадей ЯП приведено в табл. 1.

Как видно из табл. 1, использование ЯП с резистором имеет меньшую площадь. Среднее значение площади имеет ЯП с резистором и конденсатором. Наибольшую площадь имеет ЯП с конденсатором.

transfer characteristics of MC inverters. Using transfer characteristics, it is possible to determine MC switching threshold and SNM value. The switching threshold is defined as minimal voltage on internal MC node necessary for switching a cell into opposite state. SNM value is determined on the basis of transfer characteristics by maximum inscribed square and stands for maximum voltage value on internal node, at which MC does not flip into opposite state [6]. Transfer inverters characteristics of examined memory cells are presented on Fig. 8–11.

Table 4 contains values of switching threshold and SNM.

According to the obtained results of comparison (Table 4), memory cell with capacitor possesses the best characteristics, its values completely matching those of the original memory cell. Next goes memory cell with resistor and capacitor, which differs from original MC by 3 % in the switching threshold value and by 2 % in SNM value. The greatest difference from original MC is typical for memory cell with resistor: by 5 % in the switching threshold value and by 3 % in SNM value.

To summarize, we have researched the impact of charged particles with restricted energy spectrum (LET less than $7 \text{ MeV} \cdot \text{мг/см}^2$) on memory cell. A new method

of memory cell research in case of simultaneous impact of two charged particles has been offered. Comparison of memory cells fault protection by means of different passive elements application has been conducted. For all investigated cases time to read and time to write, switching thresholds, as well as SNM values altered insignificantly (less than by 9 %). Memory cells with additional resistor provide the smallest difference in area as compared with original MC, and MC with capacitor occupies the largest area.

The proposed method can also be used for solving similar tasks with particles of another energy spectrum, as well as for analyzing neutrons impact.



Оценку времени записи и чтения будем рассматривать в составе блока СОЗУ с архитектурой 1Кх32. В таблицах 2 и 3 приведено сравнение временных характеристик ЯП.

Как видно из табл. 2, у ЯП с резистором время записи «1» меньше, чем у исходной ЯП, на 1%, время записи «0», а также время чтения «1» и «0» не отличаются от исходной ЯП. У ЯП памяти с конденсатором время записи «1» и «0» на 9% и 5% больше, чем у исходной ЯП. При этом время чтения «1» и «0» также не отличаются. У ЯП с резистором и конденсатором время записи «1» и «0» увеличилось на 4% и 2%, при этом время чтения не изменилось. На основании сравнения по временным характеристикам можно выделить ЯП с резистором, так как параметры времени записи и времени чтения являются наиболее близкими к исходной ЯП.

Для анализа устойчивости процесса записи рассмотрим передаточные характеристики инверторов ЯП. По передаточным характеристикам можно определить порог переключения ЯП и SNM. Порог переключения определяется как минимальное напряжение на внутреннем узле ЯП, необходимое для переключения ячейки в противоположное состояние. Величина SNM определяется на основе передаточных характеристик по максимальному вписанному квадрату и означает максимальное значение напряжения на внутреннем узле, при котором ЯП не перебрасывается в противоположное состояние [6]. Передаточные характеристики инверторов, рассматриваемых ЯП, приведены на рис. 8–11.

В табл. 4 приведены значения порога переключения и SNM.

По результатам сравнения (табл. 4) лучшими показателями обладает ЯП с конденсатором, полностью совпадая по значениям с исходной ЯП. Далее идет ЯП с резистором и конденсатором, которая отличается от исходной ЯП на 3% по значению порога переключения и на 2% по значению SNM. Наибольшее отличие имеет ЯП с резистором, отличающаяся от исходной ЯП на 5% по порогу переключения и на 3% по значению SNM.

Таким образом, проведено исследование ЯП при воздействии заряженных частиц с ограниченным спектром энергии (ЛПЭ не более 7 МэВ·мг/см²). Предложена методика исследования ЯП при одновременном воздействии двух заряженных частиц. Проведено сравнение ячеек памяти с различными вариантами защиты от сбоев с помощью пассивных элементов. Для всех случаев время

чтения и записи, пороги переключения, а также значения SNM изменились незначительно (не более чем на 9%). ЯП с резистором имеет меньшее различие по площади по сравнению с исходной ЯП, ЯП с конденсатором занимает наибольшую площадь.

Предложенная методика может быть применена и для решения аналогичных задач с частицами другого энергетического спектра, а также для анализа воздействия нейтронов.

ЛИТЕРАТУРА

1. Степовик А. П., Шукайло В. П., Шамаев Е. Ю.: Эффект ОС при воздействии нейтронов с энергией 14 МэВ на КНИ СБИС статического ОЗУ: Тезисы докладов Девятого международного уральского семинара «Радиационная физика металлов и сплавов», Кыштым, 2011 — С. 107–108.
2. James R. Schwank, Marty R. Shaneyfelt, and Paul E. Dodd: *Radiation Hardness Assurance Testing of Microelectronic Devices and Integrated Circuits: Radiation Environments, Physical Mechanisms, and Foundations for Hardness Assurance*: Sandia National Laboratories Document Sand, 2008 — 59 p.
3. Gorbunov M. S., Dolotov P. S., Antonov A. A., Zebrev G. I., Emelianov V. V., Boruzdina A. B., Petrov A. G., Ulanova A. V.: *Design of 65nm CMOS SRAM for Space Applications: a Comparative Study: Radiation and Its Effects on Components and Systems (RADECS)*, 2013 14th European Conference, IEEE, 2013 — 1–7 p.
4. Shah M. Jahinuzzaman, Mohammad Sharifkhani, Manoj Sachdev. *An Analytical Model for Soft Error Critical Charge of Nanometric SRAMs: IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 17, No. 9, September 2009 — pp. 1187–1195.
5. Дельцов И. Л., Морозов С. А., Чистяков М. Г., Синепупова Ю. Н. Методика моделирования уровня стойкости библиотеки стандартных элементов к воздействию тяжелой заряженной частицы для технологии КНИ 0,25 мкм // Наноиндустрия, 2017. — Спецвыпуск (74). Международный форум «Микроэлектроника-2016», 2-я научная конференция «Интегральные и микроэлектронные модули». Сборник докладов. — Москва: Техносфера — С. 327–332.
6. Морозов С. А., Соколов С. А.: Разработка радиационно-стойких микросхем и микромодулей статической памяти: Труды НИИСИ РАН том 4 № 1: Журнал — М.: НИИСИ РАН, 2014 — с. 25–31.
1. Stepovik A. P., Shukailo V. P., Shamaev E. Yu. *Effekt OS pri vozeistvii neitronov s energiei 14MeV na KNI SBIS staticheskogo OZU: Tezisy dokladov Devyatogo mezhdunarodnogo ural'skogo seminar "Radiatsionnaya fizika metallov i splavov"*, Kyshtym, 2011. P. 107–108. (In Russian).
2. James R. Schwank, Marty R. Shaneyfelt, and Paul E. Dodd: *Radiation Hardness Assurance Testing of Microelectronic Devices and Integrated Circuits: Radiation Environments, Physical Mechanisms, and Foundations for Hardness Assurance*, Sandia National Laboratories Document Sand, 2008 — 59 p.
3. Gorbunov M. S., Dolotov P. S., Antonov A. A., Zebrev G. I., Emelianov V. V., Boruzdina A. B., Petrov A. G., Ulanova A. V.: *Design of 65nm CMOS SRAM for Space Applications: a Comparative Study: Radiation and Its Effects on Components and Systems (RADECS)*, 2013 14th European Conference, IEEE, 2013. P. 1–7.
4. Shah M. Jahinuzzaman, Mohammad Sharifkhani, Manoj Sachdev. *An Analytical Model for Soft Error Critical Charge of Nanometric SRAMs: IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 17, No. 9, September 2009 — pp. 1187–1195.
5. Del'tsov I. L., Morozov S. A., Chistyakov M. G., Sinepupova Yu. N. *Metodika modelirovaniya urovnya stoikosti biblioteki standartnykh elementov k vozeistviyu tyazheloi zaryazhennoi chastitsy dlya tekhnologii KNI 0,25mkm*: Sbornik dokladov Mezhdunarodnogo foruma "Mikroelektronika 2016" 2-i nauchnoi konferentsii "Integral'nye skhemy i mikroelektronnye moduli", Respublika Krym, g. Alushta, 26–30 sentyabrya 2016, M., Izd-vo "Tekhnosfera". P. 327–332. (In Russian).
6. Morozov S. A., Sokolov S. A.: *Razrabotka radiatsionno-stoikikh mikroskhem i mikro-modulei staticheskoi pamyati*: Trudy NIISI RAN tom 4 № 1: Zhurnal — M.: NIISI RAN, 2014. P. 25–31. (In Russian).