ОСОБЕННОСТИ РАЗРАБОТКИ СЛОЖНО-ФУНКЦИОНАЛЬНЫХ БЛОКОВ SERDES ФИЗИЧЕСКОГО УРОВНЯ ИНТЕРФЕЙСОВ ПЕРЕДАЧИ ДАННЫХ PARTICULARITIES OF DESIGNING SERDES IP CORES OF PHYSICAL LAYER DATA TRANSFER INTERFACES

УДК 621.382.21/.3

МАЖУЛИН ВАДИМ ВЛАДИМИРОВИЧ¹

Modulew@modulew.ru

MAZHULIN VADIM V.¹

Modulew@modulew.ru

ШАМАЕВ ЕВГЕНИЙ АЛЕКСАНДРОВИЧ²

E.shamaev@modulew.ru

SHAMAEV EVGENY A.²

E.shamaev@modulew.ru

БАРАНОВСКИЙ АЛЕКСЕЙ ОЛЕГОВИЧ³

Alex@modulew.ru

BARANOVSKY ALEXEY O.³

Alex@modulew.ru

АО «Модуль-В»

394061, Россия, г. Воронеж, ул. Варейкиса, 9, офис 9

Тел.: +7 (473) 300-35-67, +7 (473) 232-41-25

“Module-W” JSC

9 Vareykisa St., Voronezh, 394061, Russia

Tel.: +7 (473) 300-35-67, +7 (473) 232-41-25

В настоящей работе рассматриваются особенности реализации блоков SERDES в двух популярных интерфейсах: PCI Express и SGMII. Описаны структуры и функционирование разработанных в АО «Модуль-В» преобразователя данных, из параллельного вида в последовательный, преобразователя данных из последовательного вида в параллельный и блока восстановления тактового сигнала.

Ключевые слова: последовательная передача данных; SERDES; SGMII; PCI Express; преобразователь данных из параллельного вида в последовательный; преобразователь данных из последовательного вида в параллельный; восстановление тактового сигнала.

This paper describes the particularities of the implementation of SERDES at two popular interfaces: PCI Express and SGMII. It describes the structure and the functioning of a parallel-to-serial data converter, serial-to-parallel data converter and clock signal recovery unit designed by “Module-W” JSC.

Keywords: serial data transmission; SERDES; SGMII; PCI Express; parallel-to-serial data converter; serial-to-parallel data converter; clock signal recovery.

Стандарты высокоскоростной последовательной передачи данных, такие как PCI Express Ethernet 10/100/1000, USB, SATA, RapidIO и др., в настоящее время занимают доминирующие позиции в организации передачи больших объемов информации между различными устройствами. Помимо достижения высоких скоростей обмена, использование последовательной передачи данных позволяет сократить число выводов микросхем, используемых для обмена данными. Это особенно важно вследствие увеличения степени интеграции и широкого распространения систем на кристалле (СнК). Кроме того, стоимость корпуса микросхемы с меньшим количеством выводов ниже, что положительно сказывается на стоимости конечного продукта.

Одной из важнейших задач при организации последовательного обмена данными является преобразование информации из параллельного вида в последовательный и наоборот. Данная функция выполняется устройствами, которые в зарубежной литературе называются serializer/deserializer или сокращенно SERDES. Данные блоки могут выпускаться в виде отдельных микросхем, однако наибольшее распространение они получили как составные части более сложных блоков, таких как, например, физические уровни интерфейсов последовательной передачи данных.

Стандарт SGMII (Serial Gigabit Media Independent Interface) [1] был разработан как дальнейшее развитие интерфейса GMII (Gigabit Media Independent Interface) [2] и позволил сократить

количество выводов микросхемы, необходимых для организации обмена данными между контроллером (MAC) и физическим уровнем (PHY) Ethernet 10/100/1000 с 22 до 8 (и до 6 в последних реализациях интерфейса). Средой для передачи данных является дифференциальная микрополосковая линия, чаще всего выполненная в виде пары дорожек на печатной плате. Скорость обмена данными при этом составляет 1,25 Гбит/с. Упрощенная структурная схема интерфейса SGMII приведена на рис. 1.

Блок SERDES можно условно разделить на три части: преобразователь данных из параллельного вида в последовательный, преобразователь данных из последовательного вида в параллельный и схема восстановления тактового сигнала. Иногда в состав блока включают также схему формирования тактовых сигналов. В разработанной в АО «Модуль-В» реализации блока преобразователи данных выполнены с применением последовательно-параллельных регистров и мультиплексоров. Это позволило упростить электрическую схему за счет использования в преобразовании данных из параллельного вида в последовательный двухфазного тактового сигнала. Также заметим, что в современных реализациях интерфейса на приемной стороне не используется тактовый сигнал для передаваемых данных, а применяются различные методы его восстановления, что позволяет сократить число выводов, используемых для организации обмена данными до 6.

Рис. 1. Структурная схема интерфейса SGMII

Рис. 2. Обобщенная структурная схема физического уровня интерфейса PCI Express для одной линии приема/передачи

Стандарт PCI Express (Peripheral Component Interconnect Express) [3, 4] был разработан как расширение интерфейса PCI, от которого во многом заимствует программную модель, но при этом имеет высокопроизводительную физическую. PCI Express позволяет организовать обмен данными без отдельной передачи тактового сигнала со скоростью до 8 Гбит/с (PCI Express 3.0) на одну линию. Средой передачи служит согласованная дифференциальная линия. Обобщенная структурная схема физического уровня интерфейса представлена на рис. 2. Организация обмена информацией также предполагает ее преобразование из параллельного вида в последовательный при передаче, обратное

преобразование при приеме, а также процедуру восстановления тактового сигнала на приемной стороне. При этом использование схемы SERDES, предложенной для интерфейса SGMII, затруднительно вследствие вдвое большей скорости. Поэтому в разработанной в АО «Модуль-В» реализации блока были применены базовые логические ячейки и триггеры, что позволило использовать десятифазовый тактовый сигнал с частотой лишь 1 ГГц для операций преобразования данных на скоростях до 5 Гбит/с.

На данный момент разработана электрическая принципиальная схема и топология блока SERDES для интерфейса SGMII с использованием технологического процесса CRN90LP от TSMC (минимальные проектные нормы 90 нм). В ближайших планах разработка универсальной реализации СФ-блока интерфейса с возможностью его переноса в базы других технологических процессов в короткие сроки.

Для SERDES PCI Express к настоящему времени завершено проектирование электрической принципиальной схемы и топологии блока SERDES для устройств физического уровня PCI Express 2.0 с использованием технологических процессов CLN28HPC от TSMC (минимальные проектные нормы 28 нм) и HCMOS10LP от ПАО «Микрон» (минимальные проектные нормы 90 нм). Планируется разработка СФ-блока SERDES, соответствующего требованиям PCI Express 3.0.

ЛИТЕРАТУРА

1. Serial-GMII Specification Revision 1.8 (ENG-46158), Cisco Systems.
2. IEEE Std 802.3z-1998 (Clauses 34–39, 41–42), Typ. 1000BASE-X MAC Parameters, Physical Layer, Repeater and Management Parameters for 1000 Mb/s Operation.
3. PCI Express Base Specification Revision 2.1, PCI-SIG, March 4, 2009.
4. PHY Interface for the PCI Express Architecture Version 2.00, Intel Corporation, 2007.

ТЕХНОСФЕРА
РЕКЛАМНО-ИЗДАТЕЛЬСКИЙ ЦЕНТР

ЭЛЕКТРОНИКА

НАНОИНДУСТРИЯ

ФОТОНИКА

ПЕРВАЯ МИЛЯ

АНАЛИТИКА

СТАНКОИНСТРУМЕНТ