



РАЗРАБОТКА НАБОРА ТРИГГЕРОВ В БАЗИСЕ КМОП КНИ С ПОВЫШЕННОЙ УСТОЙЧИВОСТЬЮ К ВОЗДЕЙСТВИЮ ТЗЧ

DEVELOPING A TRIGGER SET WITH ENHANCED MITIGATION TO HEAVY CHARGED PARTICLES IMPACT ON THE BASE OF SOI CMOS TECHNOLOGY

УДК 621.382+621.396.6

ФАТЕЕВ ИВАН АЛЕКСАНДРОВИЧ

Ведущий инженер

fateev@mri-progress.ru

FATEYEV IVAN A.

Lead engineer

fateev@mri-progress.ru

ШАЛАШОВА ЕЛЕНА СЕРГЕЕВНА

Проект-инженер

shalashova@mri-progress.ru

SHALASHOVA ELENA S.

Project engineer

shalashova@mri-progress.ru

АО «НИИМА «Прогресс»

125183, г. Москва, проезд Черепановых, 54

JSC "PROGRESS MRI"

54 Cherepanovikh Lane, Moscow 125183, Russia

Современные микросхемы, в силу масштабирования технологических размеров, уменьшения напряжения питания и внутренних емкостей, становятся все более чувствительными к воздействию ТЗЧ. Традиционные специализированные ячейки, устойчивые к воздействию ТЗЧ, теряют свое преимущество вследствие воздействия тяжелых частиц на несколько чувствительных областей. В данной работе представлен разработанный набор радиационно-стойких D триггеров с сигналами сброса, установки и без них на основе DICE элемента в технологическом базисе КНИ 200 нм.

Ключевые слова: ТЗЧ; DICE; одиночные сбои; SEU; сбоеустойчивость; радиационная стойкость; КНИ; SEE.

Modern microcircuits due to technological features size scaling, decrease of voltage supply and internal capacities, are becoming ever more sensitive to heavy particles impact. Conventional process-dedicated cells, resistant to heavy particles impact, lose their advantages because of heavy particles impact on a number of sensitive areas. This paper presents a radiation-hardened set of D-triggers with and without reset and set-up signals developed on the base of DICE element using 200nm SOI technology.

Keywords: heavy charged particle; DICE; single faults; SEU; fault tolerance; radiation resistance; SOI; SEE.

Бортовая аппаратура в течение срока эксплуатации подвергается воздействию различных факторов космического пространства, которые вызывают сбои и повреждения комплектующих бортовой аппаратуры. Поэтому для обеспечения длительного срока службы аппаратуры важную роль играет стойкость оборудования к воздействию ионизирующего излучения (ИИ). Основными источниками ИИ космического пространства являются солнечные космические лучи (СКЛ), галактические космические лучи (ГКЛ), естественные радиационные пояса Земли (ЕРПЗ) (табл. 1) [1, 2].

Радиационное излучение космического пространства может вызвать нежелательные эффекты в полупроводниковых

устройствах, которые можно условно разделить на локальные или одиночные и дозовые. С уменьшением проектных норм дозовые эффекты проявляются в меньшей степени. По мере увеличения степени интеграции на первый план выходят случайные одиночные события (Single Event Effect, SEE) [3, 4].

Одиночные эффекты возникают при попадании в полупроводник тяжелой заряженной частицы, могут происходить случайно и характеризуются вероятностью возникновения. Тяжелая заряженная частица (ТЗЧ) оставляет за собой ионизационный трек, диаметр которого увеличивается с увеличением энергии частицы. Чувствительной областью в ИС является обратно-смещенный p-n-переход [2]. Электронно-дырочные пары, высвобождаемые пролетающим ионом, вызывают импульс тока и напряжения, в результате могут возникнуть сбои или отказы.

Одиночные радиационные эффекты (ОРЭ) можно разделить на обратимые и необратимые. Вторая группа эффектов является более опасной, так как приводит к разрушающим последствиям. К ним относятся: одиночное защелкивание или тиристорный эффект (Single Event Latchup, SEL), пробой подзатворного диэлектрика (Single Event Gate Rupture, SEGR) и другие. Выделяют такие виды обратимых сбоев: инвертирование данных в элементе памяти без потери работоспособности (Single Event Upset, SEU), изменение логического состояния узла в комбинационной логике, которое дальше распространяется по схеме (Single Event Transient, SET), функциональное прерывание работы схемы (Single Event Functional Interrupt, SEFI). [1, 3, 4]. Значительная

Таблица 1. Характеристики ИИ космического пространства

Table 1. Parameters of ionizing radiation in cosmic space

Вид излучения Type of radiation	Состав излучения Composition of radiation	Энергия частиц, МэВ Particles energy, MeV
ГКЛ Galactic cosmic rays	ионы, протоны ions, protons	более 10^2 over 10^2
СКЛ Solar cosmic rays	ионы, протоны ions, protons	до 10^4 up to 10^4
ЕРПЗ Natural Earth Radiation Belt	протоны, электроны protons, electrons	до 500 up to 500

доля функциональных сбоя обусловлена одиночными эффектами в управляющих регистрах и в памяти, в то же время заметная доля функциональных отказов обусловлена тиристорными эффектами в КМОП интегральных схемах. Таким образом, SEU и SET являются наиболее критичными локальными эффектами для современных интегральных схем (ИС) с высокой степенью интеграции.

В конструктивных методах повышения стойкости СБИС обычно применяются специализированные ячейки памяти и триггера с повышенной устойчивостью к воздействию отдельных ядерных частиц (DICE, NASA, TMR и их модификации) [5]. В данной работе предпочтение отдано триггерам на базе ячейки DICE (Dual Interlocked Cell) [2]. DICE структура (рис. 1) представляет собой ячейку памяти, в которой используется дублирование данных. Таким образом, если частица поражает чувствительный узел 0 или 1, то особая схема соединения транзисторов предотвращает распространение сбоя во вторую копию данных 2 или 3, а пораженный узел по обратным связям восстанавливает свое первоначальное состояние спустя некоторое время.

С развитием технологий наблюдается тенденция уменьшения проектных норм, соответственно, расстояния между элементами сокращаются. Эффективный диаметр трека ТЗЧ — порядка микрона, например, при энергии протона в ИГЭВ диаметр трека более чем 0,9 мкм [6]. За счет сближения чувствительных областей растет вероятность воздействия ТЗЧ, падающей под пологим углом сразу на несколько узлов, что снижает эффективность применения DICE архитектуры. Принимая во внимание выше сказанное, повышению стойкости к одиночным сбоям от тяжелых заряженных частиц способствует увеличение расстояния между чувствительными стоками транзисторов, поскольку данные будут храниться одновременно в обоих узлах, разнесенных друг от друга, это поможет предотвратить изменение состояния ячейки [7, 8].

В целях защиты от случайных одиночных эффектов (SEE) в работе использовалась DICE ячейка, на основе которой

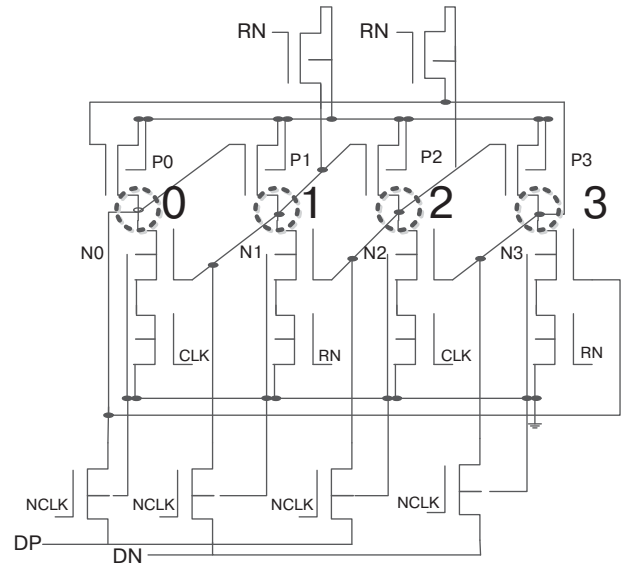


Рис. 1. DICE ячейка с сигналом сброса RN
Fig. 1. DICE-cell with reset signal RN

разработан набор D-триггеров с асинхронными сигналами установки, сброса и без них по технологии КНИ 200 нм. Чтобы предотвратить распространение переходного процесса, на выходе триггера стоит С-элемент, который меняет выходное значение при одинаковых сигналах на входах. При дифференциальных сигналах переходит в Z и на нагрузочной емкости хранится предыдущее состояние [8]. На рис. 2 изображена схема триггера с сигналом сброса RN и выходом Q.

Проанализировав схему, изображенную на рис. 1, выделены наборы чувствительных узлов: при Q = 1, стоки транзисторов N₀, N₂, P₁, P₃, RN являются чувствительными областями, взаимное расположение между которыми необходимо учитывать на этапе проектирования топологии, при Q = 0, чувствительными областями будут стоки транзисторов N₁, N₃, P₀, P₂.

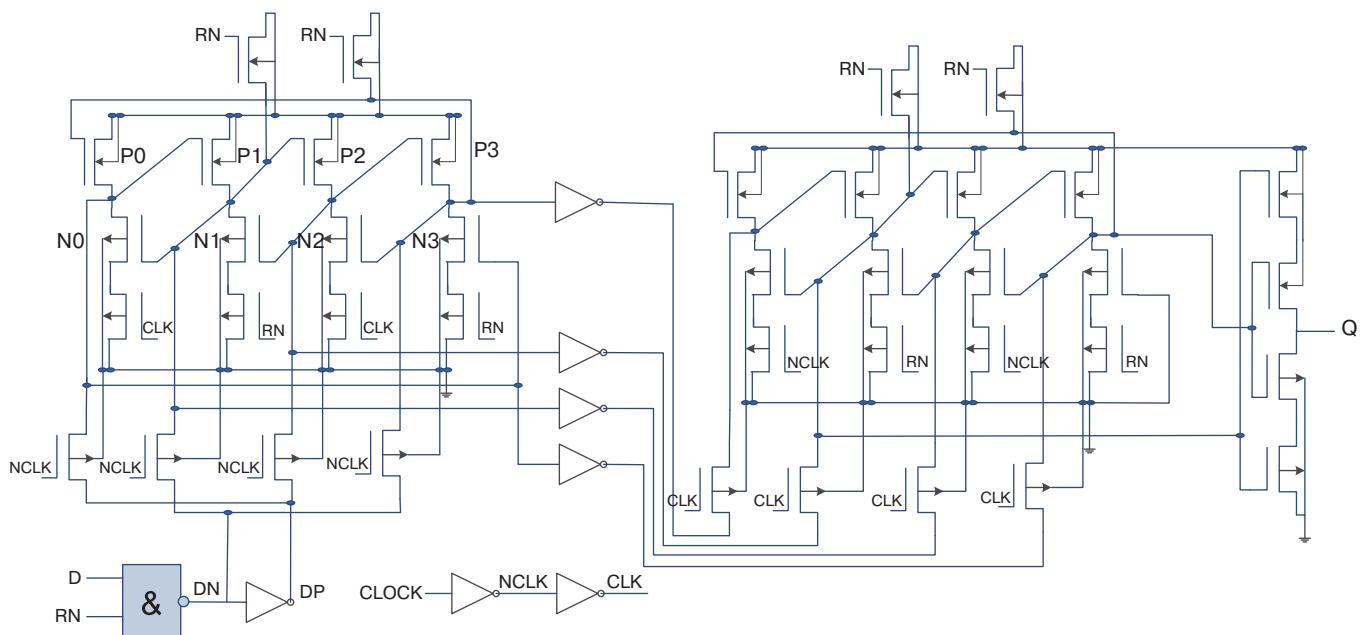


Рис. 2. Схема D-триггера на основе DICE архитектуры с сигналом сброса
Fig. 2. D-trigger circuit on the base of DICE architecture with reset signal

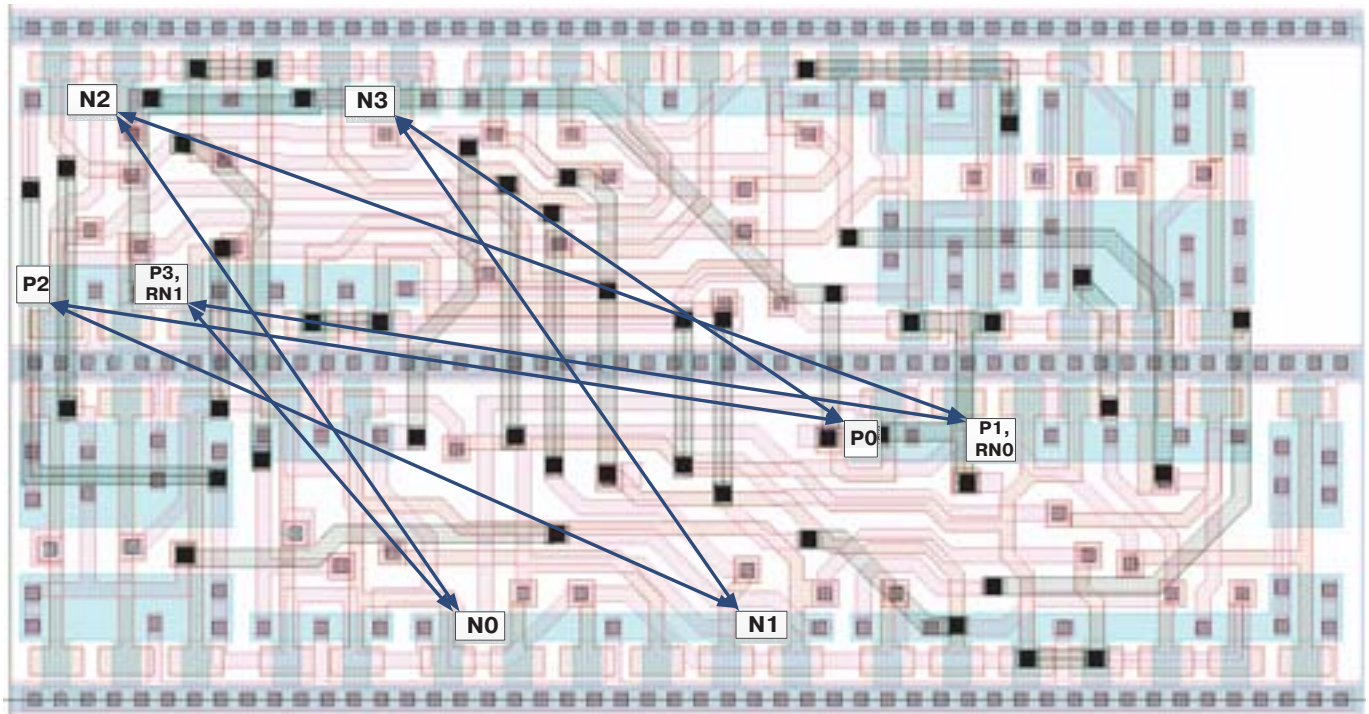


Рис. 3. Топология D-триггера на основе DICE архитектуры с сигналом сброса

Fig. 3. Topology of D-trigger circuit on the base of DICE architecture with reset signal

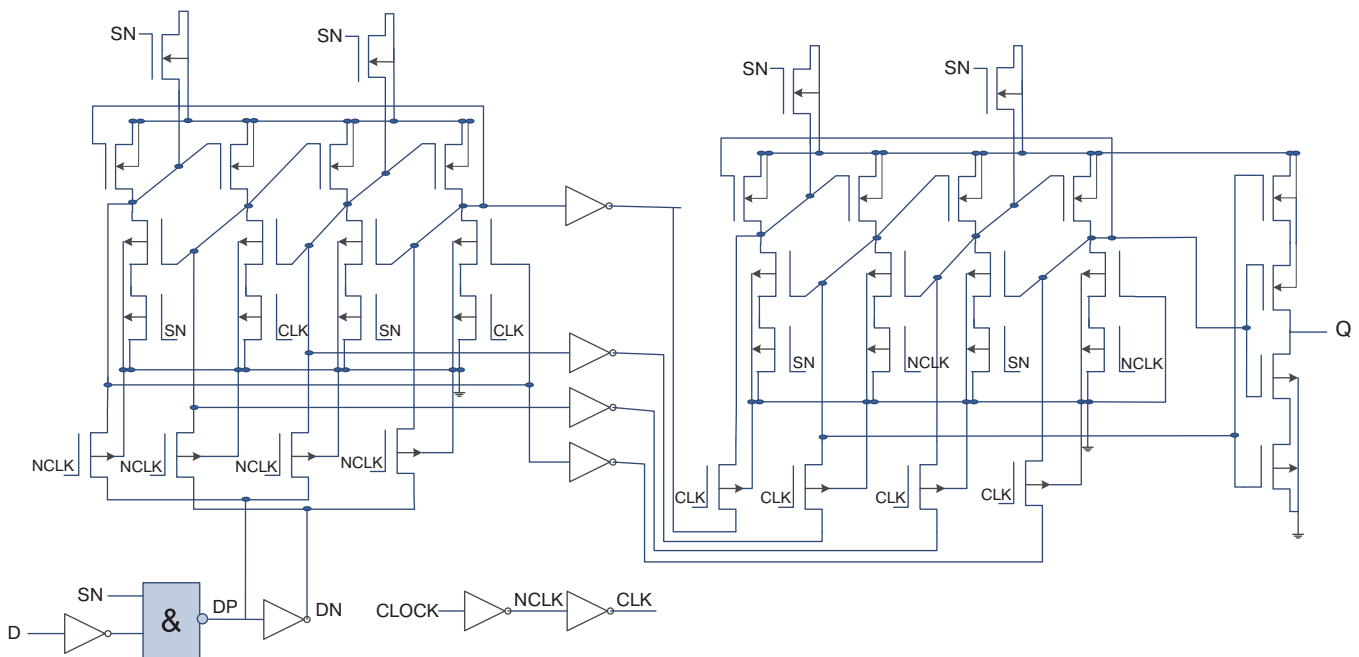


Рис. 4. Схема D-триггера на основе DICE архитектуры с сигналом предустановки

Fig. 4. D-trigger circuit on the base of DICE architecture with set signal

На рис. 3 представлена топология D-триггера с сигналом асинхронного сброса RN, отмечены расстояния между чувствительными парами p-n-переходов, находящихся при обратном смещении в одном из логических состояний. Для эффективного использования площади и обеспечения максимальных расстояний между чувствительными наборами, транзисторы из двух зашек были перемешаны между собой, при этом искусственно площадь не увеличивалась.

На рис. 4 представлена схема D-триггера с сигналом предустановки SN. В чувствительные области добавляются стоки транзисторов с сигналом SN. Топология схемы показана на рис. 5.

В табл. 2 и 3 приведены расстояния между стоками транзисторов, находящихся при обратном смещении, которые могут привести к сбою при одновременном воздействии на них ТЗЧ. Таким образом, увеличение расстояния между чувствительными областями транзисторов уменьшает сектор воздействия ТЗЧ

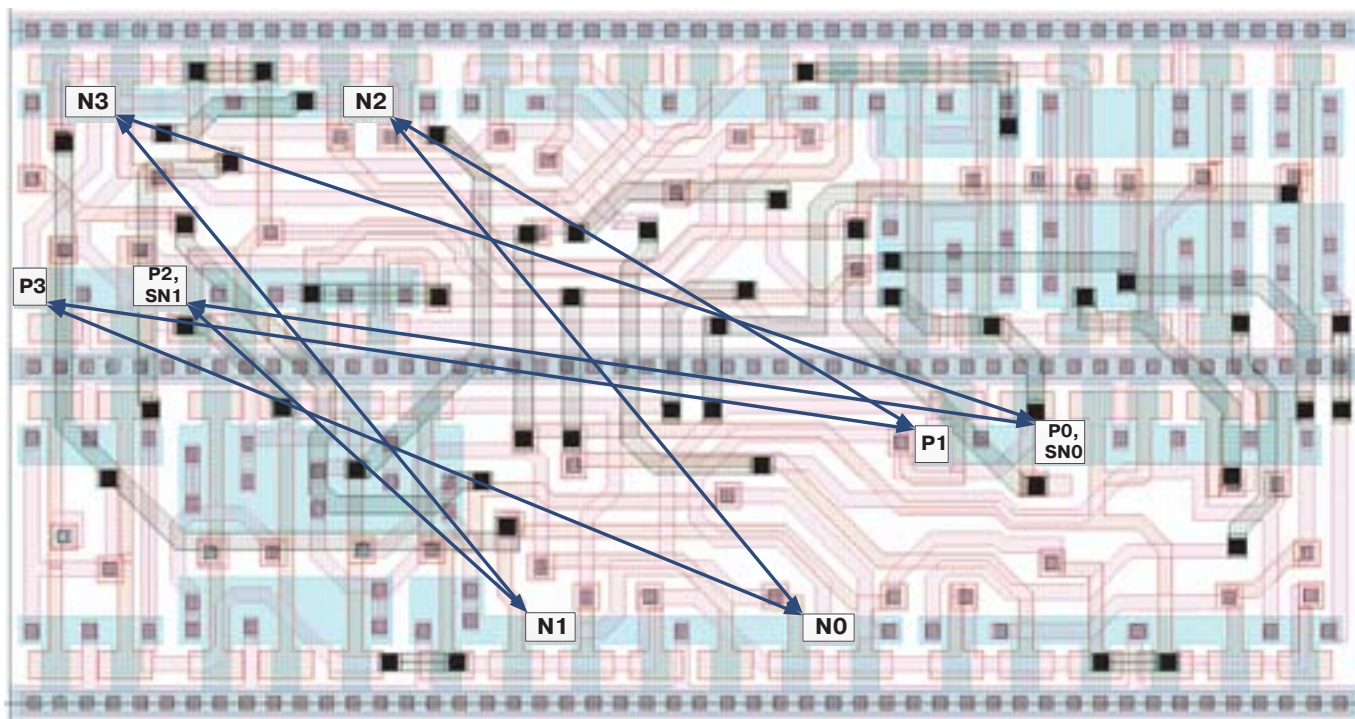


Рис. 5. Топология D-триггера на основе DICE архитектуры с сигналом предустановки
 Fig. 5. Topology of D-trigger circuit on the base of DICE architecture with set signal

Таблица 2. Расстояния между чувствительными узлами D-триггера с сигналом сброса

Table 2. Distances between sensitive nodes of D-trigger with reset signal

Пары транзисторов Transistor pairs	Расстояние, мкм Distance, microns	Пары транзисторов Transistor pairs	Расстояние, мкм Distance, microns
P0–P2	14,6	N1–N3	10,822
P1–R1	14,135	N2–R0	16,21
P2–N1	13,508	N3–P0	9,877
P3–R0	14,135	N0–R1	8,877
N0–N2	10,822	P1–N2	16,21
N0–P3	7,331	P1–P3	14,135

Таблица 3. Расстояния между чувствительными узлами D-триггера с сигналом предустановки

Table 3. Distances between sensitive nodes of D-trigger with set signal

Пары транзисторов Transistor pairs	Расстояние, мкм Distance, microns	Пары транзисторов Transistor pairs	Расстояние, мкм Distance, microns
P0–P2	15,377	N1–N3	11,57
P0–S1	15,377	N3–S0	17,394
P2–N1	8,202	N3–P0	17,394
P2–S0	15,377	N1–S1	8,202
N0–N2	11,57	P1–N2	10,938
N0–P3	14,666	P1–P3	15,842

Таблица 4. Сравнение триггеров

Table 4. Triggers comparison

	Со сбросом With reset	С предустановкой With set	Без них Without any	Без увеличения расстояния между узлами Without distance increase between the nodes
Площадь, S, мкм ² Area, S, micron ²	294,279	294,279	271,04	278,784
Минимальное расстояние между стоками транзисторов Minimal distance between transistors drains	7,33	8,20	6,84	1,55

Таблица 5. Временные характеристики триггеров

Table 5. Trigger's time-response characteristics

	Со сбросом With reset	С предустановкой With set	Без них Without any
Задержка, t ₀₋₁ , пс Delay, t ₀₋₁ , ps	882,6	972,9	966,2
Задержка, t ₁₋₀ , пс Delay, t ₁₋₀ , ps	955,9	948,3	994,2
Время фронта, t _{фр} , пс Rise time, t _{fr} , ps	204,8	260,6	246,4
Время среза, t _{сп} , пс Fall time, t _{sp} , ps	165,8	166,1	164



в изотропном пространстве, снижая вероятность инверсии данных в DICE зашелке. Использование С-элемента на выходе блокирует распространение SET по нагруженной схеме.

В рамках данной работы также проектировались топология триггера без сигналов сброса и предустановки и триггер, в топологии которого не применялось перемешивание двух разных зашелоков и, соответственно, не увеличивались расстояния между чувствительными областями. Сравнение площадей триггеров, представленных в табл. 4, показывает, что площадь триггера без дополнительных сигналов меньше площади триггера с сигналом сброса или предустановки на 8%, но расстояния между критическими узлами также уменьшились. Разнесение чувствительных стоков транзисторов приводит к увеличению площади на 5% относительно такого же триггера без использования данного метода.

ВЫВОДЫ

В работе представлен разработанный набор D-триггеров с асинхронными сигналами установки, сброса и без них на основе DICE архитектуры с уникальной схмотехнической реализацией. Топология была разработана по технологии КНИ 200 нм. Произведен анализ чувствительных узлов триггера. Выделены наборы транзисторов, взаимное размещение которых влияет на устойчивость триггера к воздействию тяжелых заряженных частиц и требует внимания.

Представлена топология вышеперечисленных вариантов триггера, для создания которой использовался САПР компании Cadence. Произведена экстракция паразитных параметров с помощью продукта компании Mentor Graphics Calibre. На основе этих данных посчитаны времена фронта, среза и задержки (табл. 5).

При создании топологии учитывалось взаимное расположение чувствительных узлов. Для эффективного использования площади и обеспечения максимальных расстояний между стоками, транзисторы из двух зашелоков были перемешаны между собой, при этом искусственно площадь не увеличивалась. Минимальное расстояние между чувствительными узлами получилось 7,331 мкм, в то время как при обычном расположении расстояние составляло 1,55 мкм. Представленная модификация D-триггера

увеличивает площадь на 5%, но может повысить устойчивость к одиночным сбоям.

ЛИТЕРАТУРА

1. Чумаков А. И. Действие космической радиации на интегральные схемы. — М.: Радио и связь, 2004. — 320 с.
2. Таперо К. И., Улимов В. Н., Членов А. М. Радиационные эффекты в кремниевых интегральных схемах космического применения. — М.: Бинوم, 2012. — 306 с.
3. Calin T., Nicolaidis M., and Velazco R. *Upset Hardened Memory Design for Submicron CMOS Technology* // Nuclear Science, IEEE Transactions on — 1996, Vol. 43, Issue 6, Part 1, pp. 2874–2878.
4. Зебрев Г. И. Радиационные эффекты в кремниевых интегральных схемах высокой степени интеграции. — М.: НИЯУ МИФИ, 2010. — С. 148.
5. Долотов П. С. Устойчивые к воздействию тяжелых заряженных частиц КМОП блоки статического ОЗУ на основе технологий объемного кремния и «кремний на изоляторе»: дис. канд. техн. наук: 05.13.05/Долотов Павел Сергеевич. Москва, 2015. 183 с.
6. Ольчев С. И., Стенин В. Я. Анализ сбоеустойчивости триггерных элементов с двухфазной структурой // Электроника, микро- и нанoeлектроника. Сб. научн. трудов. М.: НИЯУ МИФИ, 2010. — С. 29–38.
7. Стенин В. Я., Черкасов И. Г. Влияние топологии субмикронных КМОП ячеек памяти DICE на чувствительность ОЗУ к воздействию отдельных ядерных частиц // Микроэлектроника. 2011. Т. 40. № 3. — С. 184–190.
8. Стенин В. Я., Степанов П. В. Проектирование базовых элементов памяти на основе ячеек DICE для сбоеустойчивых КМОП 28 нм ОЗУ // МЭС-2014.
9. Mitra S., Zhang M., Waqas S., Seifert N., Gill B., and Kim K. *Combinational Logic Soft Error Correction* // in Proc. IEEE International Test Conf. on — 2006, pp. 824–832.
10. Lilja K., Bounasser M., Wen S., Wong R., Holst J., Gaspard N., Jagannathan S., Loveless D., Bhuva B. *Single-event Performance and Layout Optimization of Flip-flops in a 28-nm Bulk Technology* // IEEE Transactions on Nuclear Science — 2013, Vol. 60. № 4, pp. 2782–2788

Space on-board instrumentation in the course of its service life is subjected to the impact of different factors, which cause faults and damages to on-board instrumentation components. That is why to ensure long service life of on-board instrumentation it is important to provide its resistance to the impact of ionizing radiation (IR). The main sources of ionizing radiation in space are solar cosmic rays (SCR), galactic cosmic rays (GCR) and natural Earth radiation belts (NERB) (Table 1) [1,2].

The impact of space radiation may cause undesirable effects in semiconductor devices, which can be conventionally classified into local or single and doze effect groups. As minimal element size decreases, doze effects also tend to be less. As the degree of integration increases, Single Event Effects (SEE) are becoming prevalent [3, 4].

Single event effects appear when an occasional heavy charged particle hits the semiconductor, and are characterized by probability of occurrence. Heavy charged particles (HCP) leave after their passage an ionized track, whose diameter increases along with the particle energy. The sensitive area in IC is reverse-biased p-n junction [2]. Electron-hole pairs, released by a flying-over ion, result in the appearance of current and voltage impulse, which may cause electronics faults or failures.

SEE may be divided into two groups: reversible and irreversible effects. The second group is more dangerous, because its effects result in destructive consequences. This group includes: single event latchups (SEL), single-event gate rupture (SEGR) and others. The following types of reversible

failures are singled out: data inversion in memory cells without performance loss (Single Event Upset, SEU), change of logical state of a node in combinatorial logic, which further propagates circuit-wise (Single Event Transient, SET), Single Event Functional Interrupt (SEFI) [1, 3, 4]. A considerable part of functional failures is conditioned by single events effects in control registers and in memory, while a considerable part of functional failures is conditioned by SEL in CMOS integrated circuits. Thus, SEU and SET are the most critical local effects for modern integrated circuits (IC) with a high degree of integration.

As a rule, VLSI tolerance enhancement by means of design methods is conducted with process-dedicated memory cells and hardened to single nucleons impact triggers (DICE,

NASA, TMR and their modifications) [5]. In this work preference has been given to triggers on DICE-cell base (Dual Interlocked Cell) [2]. In effect, DICE structure (Fig. 1) is a memory cell, which uses data redundancy. So, if any particle strikes sensitive node 0 or 1, then a special circuit of transistors connection prevents failure propagation to the second data copy (2 or 3), and some time after the affected node restores (by means of feedbacks) its original state.

The technology development has made it possible to decrease minimal element size and, as a result, to reduce the distance between microcircuit elements. The effective diameter of heavy charged particle track is a micron by order of magnitude, and at proton energy of 1 GeV the track diameter exceeds 0.9 micron [6]. Closely placed sensitive areas increase the probability of impact by heavy charged particle fluttering down at low angle simultaneously to a number of nodes, thus reducing the efficiency of DICE architecture application. Considering the above mentioned, it is possible to conclude that an increase in distance between sensitive transistor drains enhances tolerance to single events upset induced by heavy charged particles, because the data will be stored simultaneously in both nodes spaced far enough from each other, and it will help to prevent change in the cell state [7, 8].

To provide immunity from single event effects (SEE) DICE-cell has been used and on its base a set of D-triggers with and without asynchronous set-up and reset signals have been developed, using 200nm SOI-technology. To prevent the transient process propagation, the trigger output is provided with C-element, which changes output value in case of identical signals at inputs. In case of differential signals it proceeds into Z and in load capacitance the previous state is stored [8]. Fig. 2 presents the trigger circuit with reset signal RN and output Q.

Upon analysis of the circuit presented on Fig. 1, the following sets of sensitive nodes have been singled out: in case of $Q = 1$, drains of transistors N_0, N_2, P_1, P_3, RN are sensitive areas, whose relative position should be considered at the stage of layout design; in case of $Q = 0$, drains of transistors N_1, N_3, P_0, P_2 will be sensitive areas of the circuit.

Fig. 3 presents topology of D-trigger circuit with asynchronous reset signal RN, with indicated spaces between sensitive pairs of p-n junctions being reverse biased in one of the logic states. For efficient area utilization and provision of maximum achievable spaces between sensitive sets, transistors from two

latches have been mixed, without artificially increasing the area.

Fig. 4 presents D-trigger circuit with set signal SN. Sensitive areas are provided with additional drains of transistors with SN signal. Topology is presented on Fig. 5.

Tables 2 and 3 contain spaces between drains of transistors being reversely biased, which may result in failure caused by simultaneous impact of heavy charged particles. So, an increase in the distance between sensitive areas of transistors results in a decrease in impact sector in isotropic space, thus reducing the probability of data inversion in DICE latch. The use of C-element at the output hinders SET propagation along loaded circuit.

Within the frame of the current work, layouts of trigger without reset and set signals have been designed, as well as trigger, whose topology does not provide for mixing two different latches and, respectively, there is no increase in spaces between sensitive areas. The comparison of areas occupied by triggers presented in Table 4 demonstrates that the area occupied by trigger without additional signals is 8% less than the one occupied by trigger with reset or set signal, but distance between critical nodes also reduces in this case. If transistors sensitive drains are spaced far enough, the area increases by 5% compared to the same trigger without applying this method.

CONCLUSIONS

This work presents a set of D-triggers with asynchronous set and reset signals and without these signals developed on the base of DICE architecture with unique circuit implementation. Respective topology has been developed by means of 200nm SOI technology. The sensitive trigger nodes analysis has been carried out. A set of transistors whose relative allocation affects trigger resistance to heavy charged particles impact has been singled out, and requires special attention.

The report highlights the layout of the above mentioned variants of trigger circuit developed using Cadence CAD. Stray parameters have been extracted by means of Mentor Graphics Calibre product. Basing on these data, the rise time, fall time and delay time have been calculated (Table 4).

While creating the layout, relative allocation of sensitive nodes has been considered. For efficient area utilization and provision of maximum achievable spaces between sensitive sets, transistors from two latches were mixed, without artificially increasing the area. Minimal distance between sensitive nodes turned to be

7.331 microns, while using ordinary allocation this distance makes 1.55 microns. The presented D-trigger modification increases area by 5%, but may also increase resistance to SEU.

REFERENCES

1. Chumakov A. I. *Deistvie kosmicheskoi radiatsii na integral'nye skhemy*. M.: Radio i svyaz', 2004. 320 p. (In Russian).
2. Tapero K. I., Ulimov V. N., Chlenov A. M. *Radiatsionnye efekty v kremnievykh integral'nykh skhemakh kosmicheskogo primeneniya*. M.: Binom, 2012. 306 p. (In Russian).
3. Calin T., Nicolaidis M., and Velazco R. *Upset Hardened Memory Design for Sub-micron CMOS Technology* // Nuclear Science, IEEE Transactions on — 1996, Vol. 43, Issue 6, Part 1, pp. 2874–2878.
4. Zebrev G. I. *Radiatsionnye efekty v kremnievykh integral'nykh skhemakh vysokoi stepeni integratsii*. M.: NIYaU MIFI, 2010. — P. 148. (In Russian).
5. Dolotov P. S. *Ustoichivye k vozdeistviyu tyazhelykh zaryazhennykh chastits KMOP bloki staticheskogo OZU na osnove tekhnologii ob"emnogo kremniya i «kremnii na izolatorye»*: dis. kand. tekhn. nauk: 05.13.05/Dolotov Pavel Sergeevich. Moskva, 2015. 183 p. (In Russian).
6. Ol'chev S. I., Stenin V. Ya. *Analiz sboeustoiichivosti triggernykh elementov s dvukhfaznoi strukturoi* // Elektronika, mikro- i nanoelektronika. Sb. nauchn. trudov. M.: NIYaU MIFI, 2010. P. 29–38. (In Russian).
7. Stenin V. Ya., Cherkasov I. G. *Vliyanie topologii submikronnykh KMOP yacheek pamyati DICE na chuvstvitel'nost' OZU k vozdeistviyu odel'nykh yadernykh chastits* // Mikroelektronika. 2011. Vol. 40. № 3. P. 184–190. (In Russian).
8. Stenin V. Ya., Stepanov P. V. *Proektirovanie bazovykh elementov pamyati na osnove yacheek DICE dlya sboeustoiichivykh KMOP 28nm OZU* // MES-2014. (In Russian).
9. Mitra S., Zhang M., Waqas S., Seifert N., Gill B., and Kim K. *Combinational Logic Soft Error Correction* // in Proc. IEEE International Test Conf. on — 2006, pp. 824–832.
10. Lilja K., Bounasser M., Wen S., Wong R., Holst J., Gaspard N., Jagannathan S., Loveless D., Bhuva B. *Single-event Performance and Layout Optimization of Flip-flops in a 28-nm Bulk Technology* // IEEE Transactions on Nuclear Science — 2013, Vol. 60. № 4, pp. 2782–2788