РАЗРАБОТКА И ИССЛЕДОВАНИЕ SPICE-МОДЕЛИ 0,35 МКМ КНИ МОП-ТРАНЗИСТОРА С ГЕОМЕТРИЕЙ ЗАТВОРА F-ТИПА С ПРИМЕНЕНИЕМ СИСТЕМЫ ПРИБОРНО-ТЕХНОЛОГИЧЕСКОГО МОДЕЛИРОВАНИЯ TCAD

DEVELOPING AND INVESTIGATING 0.35-MICRON SPICE-MODEL OF SOI MOS-TRANSISTOR WITH F-TYPE GATE GEOMETRY USING TCAD INSTRUMENT-PROCESS MODELLING SYSTEM

УДК 004.942

ЯШИН ГЕОРГИЙ АЛЕКСЕЕВИЧ^{1,2}

Магистрант

georgtree@gmail.com

YASHIN GEORGE A.^{1,2}

Master

georgtree@gmail.com

ГЛУШКО АНДРЕЙ АЛЕКСАНДРОВИЧ^{1,2}

К. т. н., доцент

andrei19386@mail.ru

GLUSHKO ANDREY A.^{1,2}

Ph.D, docent

andrei19386@mail.ru

ЧИСТЯКОВ МИХАИЛ ГЕННАДЬЕВИЧ²

Научный сотрудник

Mikhail_Chistyakov@srisa.ru

CHISTYAKOV MIKHAIL G.²

Researcher

Mikhail_Chistyakov@srisa.ru

МАКАРЧУК ВЛАДИМИР ВАСИЛЬЕВИЧ¹

К. т. н., доцент

vvmakarchuk@gmail.com

MAKARCHUK VLADIMIR V.¹

Ph.D, docent

vvmakarchuk@gmail.com

НОВОСЕЛОВ АНТОН СЕРГЕЕВИЧ²

Руководитель группы

anton_novoselov@srisa.ru

NOVOSELOV ANTON S.²

Team leader

anton_novoselov@srisa.ru

АМИРХАНОВ АЛЕКСЕЙ ВЛАДИМИРОВИЧ²

К. ф.-м. н., руководитель группы

aav@srisa.ru

AMIRKHANOV ALEXEY V.²

Ph.D, team leader

aav@srisa.ru

ЗИНЧЕНКО ЛЮДМИЛА АНАТОЛЬЕВНА¹

Д. т. н., профессор

lzinchenko@bmstu.ru

ZINCHENKO LYUDMILA A.¹

Ph.D, professor

lzinchenko@bmstu.ru

¹ МГТУ им. Н. Э. Баумана

105005, Москва, 2-я Бауманская ул., д. 5, стр. 1

² ФГУ ФНЦ НИИСИ РАН

117218, Москва, Нахимовский просп., 36, к. 1

¹ Bauman MSTU

bld. 1, 5 2nd Baumanskaya St., Moscow, 105005

² SRISA RAS

bld. 1, 36 Nakhimovskiy Ave., Moscow, 117218

С применением системы приборно-технологического моделирования TCAD разработана и исследована SPICE-модель МОП-транзистора с геометрией затвора F-типа, производимого по технологии КНИ с минимальной проектной нормой 0,35 мкм. На основе полученных в результате приборно-технологического моделирования данных объяснены физические эффекты, проявившиеся при его функционировании, и разработана концепция создания его SPICE-модели.

Ключевые слова: приборно-технологическое моделирование; SPICE; МОП-транзистор; F-тип.

The paper presents a SPICE-model of MOS-transistor with F-type gate geometry manufactured using SoI technology with minimal element size equal to 0.35 micron and TCAD instrument-process modelling system. Basing on the data obtained in the course of instrument-process modelling, physical effects revealed during its operation were explained, and concept of SPICE-model was developed.

Keywords: instrument-process modelling; SPICE; MOS-transistor; F-type.

К настоящему времени известно достаточно большое число топологических реализаций МОП-транзисторов, имеющих весьма сложную геометрию затвора, которые по своим характеристикам существенно отличаются от обладающих линейной зависимостью тока стока от отношения W/L , где W — ширина, а L — длина затвора МОП-транзисторов с затвором прямоугольной формы. Эти МОП-транзисторы, в отличие от КНИ МОП-транзисторов Н-типа, электрические характеристики которых довольно точно описываются их стандартными SPICE-моделями [1, 2], имеют нелинейную зависимость электрических характеристик от отношения W/L . Подобная нелинейная зависимость приводит к тому, что имеющиеся SPICE-модели МОП-транзистора применительно к транзисторам со сложной геометрией затвора дают большую погрешность при расчетах функциональных параметров фрагментов СБИС даже с учетом встроенных в них нелинейных зависимостей электрических характеристик элементов модели от геометрических размеров областей МОП-транзисторов.

Подобным поведением обладают так называемые КНИ МОП-транзисторы F-типа, топология которых показана на рис. 1.

По сравнению с МОП-транзисторами, имеющими Н- и Т-конфигурации затвора [3], данная топологическая реализация имеет ряд преимуществ, заключающихся, в частности, в меньшей занимаемой площади на кристалле, а также в удобстве разводки при проектировании топологии кристалла СБИС.

Рис. 1. Топология КНИ МОП транзистора F-типа
Fig. 1. Topology of F-type SoI MOS-transistor

A large number of MOS-transistors layout implementations are known by now, having rather complex gate geometry, which by their characteristics significantly differ from those providing linear dependence of drain current on W/L ration, where W is width and L is length of MOS-transistor with rectangular gate. These MOS-transistors, as opposed to SoI MOS-transistors of H-type, whose electrical characteristics are rather accurately described by their standard SPICE-models [1, 2], have non-linear dependence of their electrical characteristics on W/L ratio. Due to similar non-linear dependence available SPICE models of MOS-transistor with complicated gate geometry have a high error for VLSI segments functional parameters, even with respect to embedded non-linear dependencies of electrical characteristics on geometrical dimensions of MOS-transistors regions.

Similar behaviour is demonstrated by the so-called SoI MOS-transistors with F-type gate, whose topology is presented on Fig. 1.

As compared to MOS-transistors, having H- and T-configuration of the gate [3], this layout implementation provides a number of advantages, in particular, less area occupied on chip, as well as convenience of routing at the stage of VLSI chip layout design. But it turned out that volt-current characteristics of standard SPICE-model of such MOS-transistor significantly differs from these measurements, which is especially important in modelling

Рис. 2. Сток-затворная вольт-амперная характеристика
Fig. 2. Drain-gate volt-ampere characteristic

Рис. 3. Продифференцированная сток-затворная вольт-амперная характеристика
Fig. 3. Differentiated drain-gate volt-ampere characteristic

Рис. 4. Приборно-технологическая модель n -канального КНИ МОП-транзистора F-типа
Fig. 4. Instrument-process model of n -channel SoI MOS-transistor with F-type gate geometry

Рис. 5. Производные сток-затворных характеристик приборно-технологических моделей с разным легированием поликремния
Fig. 5. Derivatives of drain-gate characteristics in instrument-process models with different polysilicon doping

characteristics of MOS-transistor with F-type gate in case of small channel width W .

Points on Fig. 2 show a series of measured drain-gate characteristics of F-type n -channel transistor gate with $W = 0.4$ micron and $L = 0.35$ micron, while solid lines present similar series of characteristics obtained as a result of simulation. In this case model parameters were extracted from measurements data of operating transistor parameters with F-type gate and high W value. Fig. 3 shows the results of numerical differentiation of the curves presented on Fig. 2. It should be noted that the presented curves differ from current dependence on voltage both by their form and peak value.

This indicates that at small channel width W there appears a significant impact of the edge effects associated with lateral polysilicon regions that are responsible for connection with the well.

To investigate the differences between measurements data and characteristics of standard SPICE-model of MOS-transistor of the given configuration and to explain them in terms of semiconductor physics, a modelling of its operational parameters inside the system of instrument-process modelling *Sentaurus TCAD* was carried out.

Fig. 4 depicts the layout of MOS-transistor obtained by means of instrument-process

modelling. It should be noted that in the given case polysilicon gate was doped by impurities of both conductivity types, and a portion of transistor channel located under doped by p -type impurity gate also takes part in the process of conductivity-type inversion and channel appearance. We generated an instrument-process model for estimating the effect produced by polysilicon doping with different impurity types, in which polysilicon was doped only by n -type impurity. And then we obtained drain-gate characteristics of both artificially generated and original models. Fig. 5 shows the results of numerical differentiation of obtained drain-gate characteristics, from

Однако вольт-амперные характеристики стандартной SPICE-модели такого МОП-транзистора, как оказалось, существенно отличаются от данных измерений, что становится особенно важным в случае моделирования характеристик МОП-транзисторов с затвором F-типа при малой ширине канала W .
На рис. 2 точками показано семейство измеренных сток-затворных характеристик n -канального транзистора F-типа с размерами $W = 0,4$ мкм и $L = 0,35$ мкм, а сплошными линиями — аналогичное семейство характеристик, полученное в результате моделирования. При этом параметры модели были экстрагированы из данных измерений функциональных параметров транзисторов F-типа с большим значением W . На рис. 3 показаны результаты численного дифференцирования кривых рис. 2. Следует отметить, что представленные кривые отличаются от зависимости тока от напряжения как по форме, так и по пиковому значению. Это свидетельствует о том, что при малой ширине канала W существенное влияние начинают оказывать краевые эффекты, связанные с боковыми участками поликремния, благодаря наличию которых осуществляется контакт к карману транзистора.

Для исследования отличий между данными измерений и характеристиками стандартной SPICE-модели МОП-транзистора данной конфигурации и их объяснения с позиций физики полупроводников было проведено моделирование его функциональных параметров в среде приборно-технологического моделирования системы *Sentaurus TCAD*.

На рис. 4 показана топология приборно-технологической модели

МОП-транзистора. Необходимо заметить, что в данном случае поликремниевый затвор легирован примесями обоих типов проводимости, и часть канала транзистора, находящаяся под легированным примесью p -типа затвором, также участвует в процессе инверсии типа проводимости и появления канала. Для оценки влияния легированного примесями разных типов поликремния была искусственно сгенерирована приборно-технологическая модель, в которой поликремний был легирован только примесью n -типа. А затем были получены сток-затворные характеристики искусственно сгенерированной и исходной моделей. Результат численного дифференцирования полученных сток-затворных характеристик представлен на рис. 5, из которого видно, что вследствие дополнительного легирования затвора примесью противоположного типа проводимости характер зависимости тока от напряжения меняется. Такое изменение наиболее существенно при напряжении на затворе большем, чем сумма порогового напряжения и некой константы, численно равной ширине запрещенной зоны кремния.

Кроме того, последовательное сопротивление областей стока/истока у МОП-транзистора с малой шириной затвора меньше последовательного сопротивления стока/истока транзистора с большой шириной затвора из-за наличия дополнительных проводящих участков у контактов к карману.

Для построения SPICE-модели, которая бы адекватно описывала данный тип транзистора, было предложено добавить параллельно основному транзистору два дополнительных транзистора. Первый дополнительный

МОП-транзистор имеет пороговое напряжение, одинаковое с пороговым напряжением основного транзистора, и используется для правильного учета эффекта масштабирования.

Рис. 6. Измеренное семейство сток-затворных характеристик МОП-транзистора и его модели для типоразмера $W = 0,4$ мкм, $L = 0,35$ мкм

Fig. 6. Series of measured drain-gate characteristics of MOS-transistor and its model for typical dimensions $W = 0.4$ micron, $L = 0.35$ micron

Рис. 7. Семейство выходных вольт-амперных характеристик МОП-транзистора и его модели для типоразмера $W = 0,4$ мкм, $L = 0,35$ мкм

Fig. 7. Series of MOS-transistor output current-voltage characteristics and its model for typical dimensions $W = 0.4$ micron, $L = 0.35$ micron

which it is obvious that due to additional gate doping by opposite conductivity type impurity the form of current dependence on voltage changes. This change is most significant when voltage at the gate is higher than the sum of threshold voltage and a certain constant numerically equal to the width of band gap of silicon.

Besides, series resistance of drain/source regions in MOS-transistor with small gate width is less than that in transistor with large gate width because of additional conducting regions in contacts with transistor's well.

For developing SPICE-model that could adequately specify the given type of transistor,

it was proposed to add two additional transistors in parallel with the main transistor. The first additional MOS-transistor has threshold voltage equal to that of the main transistor and is used for taking into account scaling effect. And the second additional transistor has higher threshold voltage — by value numerically corresponding to band gap width value [4]. The difference in threshold voltage was obtained by means of optimization with further extraction of parameters for new SPICE-model. The width and length of additional transistors gates, as well as values of their series resistances were obtained in the course of optimization by minimizing sum

of discrepancy squares between calculated and measured characteristics for transistors with different width and identical length of channel L ($L = 0.35$ micron).

Consequently, SPICE-model of MOS-transistor with F-type gate was obtained, whose drain-gate characteristics are presented on Figs 6–9.

Summarizing the above said, the authors consider that the scientific value of the research is the obtained subsystem of SPICE-model for SoI MOS-transistor with F-type gate, which adequately describes the features of its electrical characteristics behaviour at small values of the gate width W .

А второй дополнительный транзистор имеет большее пороговое напряжение на величину, численно соответствующую значению ширины запрещенной зоны [4]. Отличие в пороговом напряжении было получено посредством проведения оптимизации с последующей экстракцией параметров новой SPICE-модели. Ширины и длины затворов дополнительных транзисторов, а также значения их последовательного сопротивления были получены в процессе оптимизации по критерию минимума суммы квадратов расхождения между расчетной и измеренной характеристиками для транзисторов с разной шириной и одинаковой длиной канала, равной $L = 0,35$ мкм.

В результате была получена SPICE-модель МОП-транзистора с затвором F-типа, сток-затворные характеристики которой показаны на рис. 6–9.

Поводя итог изложенному, авторы считают, что научным результатом представленной работы является полученная в виде подсистемы SPICE-модель МОП-транзистора F-типа, которая адекватно описывает особенности поведения его электрических характеристик при малых значениях ширины затвора W .

Приборно-технологическое моделирование выполнялось с помощью системы TCAD Sentaurus, установленной на вычислительном сервере МГТУ им. Н. Э. Баумана.

Работа выполнена при частичной финансовой поддержке РФФИ (грант 15-07-03116).

ЛИТЕРАТУРА

1. Yuhua Cheng, Chenming Hu: *MOSFET MODELING & BSIM3 USER'S GUIDE* — NY.: Kluwer Academic Publishers. 2002 — 478 p.
2. Yannis Tsividis: *Operation & Modeling of the MOS Transistor* — Third Edition — NY.: Oxford University Press. 2011 — 750 p.
3. BSIM GROUP: *BSIMSOIv4.5.0 MOSFET MODEL Users' Manual* — Berkeley: The Regents of the University of California, 2013 — 129 p.
4. Donald A. Neamen: *Semiconductor Physics & Devices: Basic Principles* — Fourth Edition, — New York: McGraw-Hill, 2011 — 760 p.

Instrument-process modelling was done using TCAD Sentaurus system installed on the computing server of N. E. Bauman Moscoq State Technical University.

This work was partially supported by the Russian Foundation for Basic Research (Grant 15-07-03116).

Рис. 8. Измеренное семейство сток-затворных характеристик МОП-транзистора и его модели для типоразмера $W = 1,0$ мкм, $L = 0,35$ мкм

Fig. 8. Series of measured drain-gate characteristics of MOS-transistor and its model for typical dimensions $W = 1.0$ micron, $L = 0.35$ micron

Рис. 9. Семейство выходных вольт-амперных характеристик МОП-транзистора и его модели для типоразмера $W = 1,0$ мкм, $L = 0,35$ мкм

Fig. 9. Series of MOS-transistor output current-voltage characteristics and its model for typical dimensions $W = 1.0$ micron, $L = 0.35$ micron

REFERENCES

1. Yuhua Cheng, Chenming Hu: *MOSFET MODELING & BSIM3 USER'S GUIDE* — NY.: Kluwer Academic Publishers. 2002 — 478 p.
2. Yannis Tsividis: *Operation & Modelling of the MOS Transistor* — Third Edition — NY.: Oxford University Press. 2011 — 750 p.
3. BSIM GROUP: *BSIMSOIv4.5.0 MOSFET MODEL Users' Manual* — Berkeley: The Regents of the University of California, 2013 — 129 p.
4. Donald A. Neamen: *Semiconductor Physics & Devices: Basic Principles* — Fourth Edition — New York: McGraw-Hill, 2011 — 760 p.