



РЕАЛИЗАЦИЯ ЭКСПЕРИМЕНТАЛЬНОГО ОБРАЗЦА ПРОГРАММНОГО КОМПЛЕКСА КОНТРОЛЯ СБОЕУСТОЙЧИВОСТИ ПРОЕКТА МИКРОСХЕМЫ

IMPLEMENTATION OF EXPERIMENTAL SOFTWARE PROTOTYPE FOR CONTROL OF FAULT TOLERANCE OF IC DESIGN

УДК 621.382, УДК 004.42, ВАК 05.27.01, DOI:10.22184/1993-8578.2016.70.8.48.58

О.Брехов*, А.Клименко*, А.Жданов*, А.Якупов* / obrekhov@mail.ru, a.v.klimenko@mai.ru, a.a.shdanov@mai.ru, yau@mai.ru
O.Brekhov*, A.Klimenko*, A.Shdanov*, A.Yakupov*

Представлена совокупность разработанных модулей, образующих ядро программного обеспечения экспериментального образца программно-аппаратного комплекса (ПАК) контроля сбоеустойчивости проекта микросхемы. Контроль сбоеустойчивости основан на использовании расширенного метода внесения неисправностей, подразумевающего моделирование многоуровневого воздействия неисправностей. Программные модули ПАК обеспечивают обработку проекта микросхемы, генерацию списка сбоев, генерацию тестовых воздействий и обработку результатов моделирования. Технические решения, воплощенные в ПАК, позволяют выполнять гибкий выбор источников возникновения сбоев в микросхеме и получать детальную информацию о локализации критических сбоев, приводящих к отказу моделируемой системы. Использование ПЛИС-прототипирования вместо программных симуляторов при моделировании позволяет добиться ускорения процесса контроля сбоеустойчивости.

A set of developed modules that form the software core of the experimental prototype of a hardware-software system (HSS) for control of fault tolerance of IC design is presented. Control of fault tolerance is based on the use of the extended method of fault injection, which implies the modeling of the multi-level impact of faults. Software modules of HSS provides processing of the IC design, generation of the list of faults, generation of test inputs and processing of the simulation results. Technical solutions embodied in the HSS, allow a flexible choice of sources of faults in the chip and obtaining detailed information about the localization of the critical faults that caused a failure of the simulated system. The use of FPGA prototyping instead of software simulation allows to accelerate the control of fault tolerance.

Разработка устройств типа "система на кристалле" (СнК) включает в себя решение целого комплекса взаимосвязанных задач от проектирования структуры и выбора аппаратной базы до реализации экспериментальных образцов. При этом, проведение тестирования работоспособности на этапе разработки имеет первостепенное, а для устройств на основе заказных и полузаказных микросхем – критическое

значение, так как качество тестирования существенно влияет на стоимость разработок. К устройствам специального назначения (в частности, компонентам космической техники) предъявляются дополнительные требования по обеспечению работоспособности в условиях воздействия агрессивных внешних сред. В связи с этим, актуально тестирование сбоеустойчивости устройств типа СнК на этапе их разработки.

* Московский авиационный институт (национальный исследовательский университет) / Moscow Aviation Institute (National Research University).

Широко известно, что одним из основных источников сбоев электроники как космического, так и наземного применения является космическая радиация [1]. Тестирование работоспособности микросхем в условиях воздействия радиации обычно производится методом внесения неисправностей и может выполняться либо на поздних стадиях разработки путем испытания экспериментальных образцов в ускорителях частиц, либо на ранних стадиях путем моделирования сбоев проектов микросхем с применением программно-аппаратных комплексов (ПАК). Второй способ позволяет избежать дорогостоящего изготовления экспериментальных образцов в циклах тестирования-перепроектирования и поэтому используется многими разработчиками. Известно множество реализаций аппаратно-программных решений (в частности, [2-5]) для контроля работоспособности СнК в условиях воздействия космической радиации. Имеются решения на основе ПЛИС-прототипирования, которые обеспечивают оптимальное соотношение цены и быстродействия ПАК [6]. Однако известные подходы не обеспечивают возможность детального исследования воздействия источников сбоев на микросхемы.

В данной статье рассмотрена совокупность программных модулей разработанного ПАК для контроля сбоеустойчивости проекта микросхемы, использующего расширенный метод внесения неисправностей [7]. Метод

использует стек из трех моделей (внешних воздействий, появления угроз и локализации неисправностей), и позволяет исследовать многоуровневое воздействие неисправностей на микросхему.

Структурная схема предложенного ПАК представлена на рис.1. Комплекс содержит в своем составе рабочую станцию, на базе которой реализуется программная составляющая, а также четыре специализированные платы расширения Xilinx Virtex-6 FPGA ML605 Evaluation Kit.

ПАК позволяет оценить сбоеустойчивость устройств типа СнК для произвольной целевой аппаратной базы (ЦАБ), реализуя пошаговое моделирование [8]. Данная методика подразумевает проведение функционального тестирования исходного проекта микросхемы, описанного на подмножестве языка Verilog [9] на уровне цифровых функциональных элементов ЦАБ путем ПЛИС-прототипирования, с последующим внедрением средств внесения сбоев в исходный проект и проведением функционального тестирования модифицированного проекта с определением их эквивалентности. В случае эквивалентности исходного и модифицированного проектов методика предписывает моделирование функционирования последнего в условиях наличия сбоев, результаты которого позволяют определить сбоеустойчивость исходного проекта микросхемы.

Рассмотрим программную составляющую разработанного ПАК.

Development of devices of "system on chip" (SoC) type includes a whole set of interrelated tasks from design of structure and selection of hardware base to implementation of experimental samples. At the same time, the testing efficiency at the design stage is paramount, and for devices that are based on custom and semicustom chips it is critical, as the quality of testing significantly affects the cost of development. Devices for special purposes (in particular, components of space equipment) must meet additional requirements to ensure the operability

in the conditions of aggressive external environments. In this regard, the testing of failure tolerance of devices like SoC at the stage of their development is urgent.

It is widely known that one of the main failure sources of electronics in both the satellite and terrestrial applications is cosmic radiation [1]. The testing of operability of chips in conditions of radiation exposure is usually provided by method of fault injection, and can be executed either on later stages of development by testing experimental models in particle accelerators or

in the early stages, by simulation of failures of designs of the chips with use of hardware-software systems (HSS). The second method avoids the costly fabrication of experimental samples in the cycles of testing, redesign, and therefore is used by many developers. Many implementations of hardware and software solutions to control the operability of the SoC under conditions of exposure to cosmic radiation are well known (in particular, [2-5]). There are solutions based on FPGA prototyping, which provide the optimal ratio of price and performance of HSS [6]. However, the

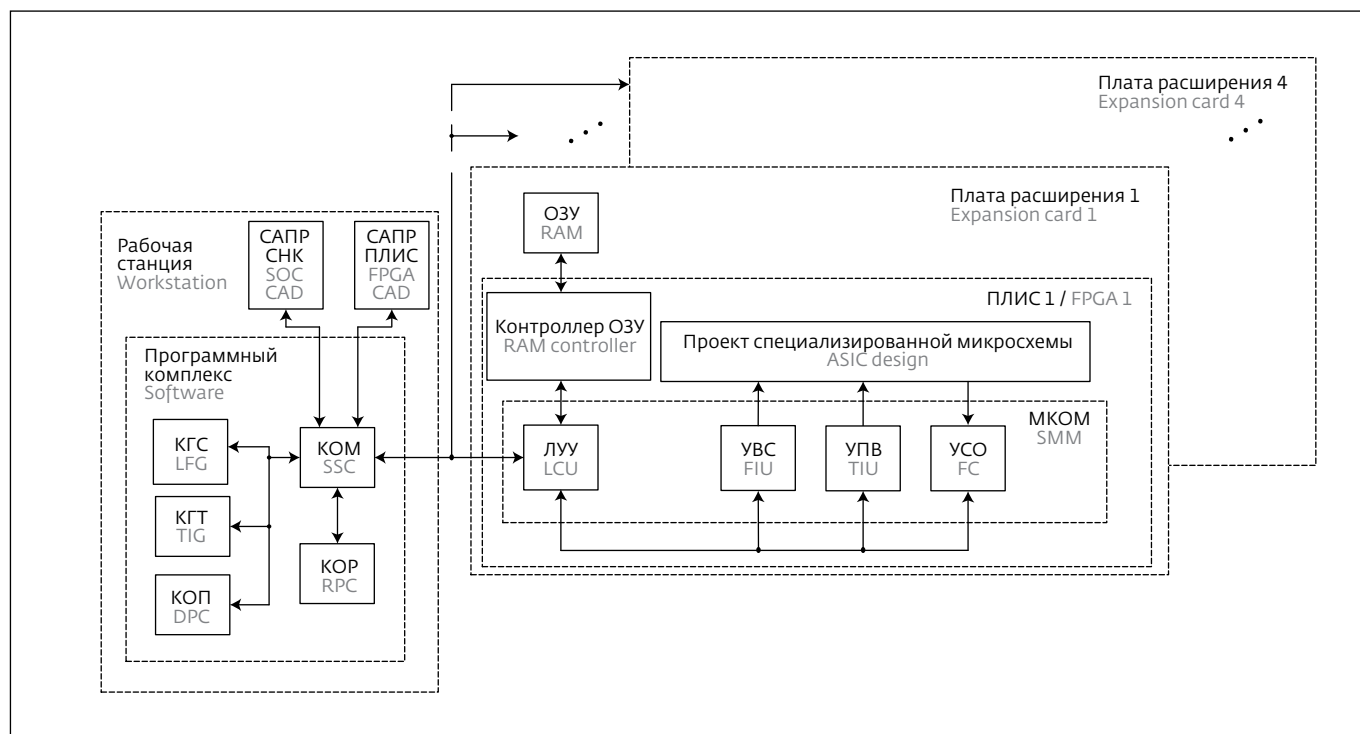


Рис.1. Функциональная схема ПАК: КГС – компонент генерации списка сбоев; КГТ – компонент генерации тестовых воздействий; КОП – компонент обработки проекта микросхемы; КОМ – компонент обеспечения моделирования; КОР – компонент обработки результатов моделирования; САПР – система автоматизированного проектирования; ОЗУ – оперативное запоминающее устройство; ЛУУ – локальный узел управления; УВС – узел внесения сбоев; УПВ – узел подачи тестовых воздействий; УСО – узел сбора откликов; ПЛИС – программируемая логическая интегральная схема; МКОМ – микродро обеспечения моделирования

Fig.1. Functional diagram of HSS: LFG – generator of list of faults; TIG – generator of test inputs; DPC – component for processing of IC design; SSC – component for simulation support; RPC – component for processing of simulation results; CAD – computer-aided design system; RAM – random access memory; LCU – local control unit; FIU – fault injection unit; TIU – test inputs unit; FC – feedback collector; FPGA – field-programmable gate array; SMM – simulation management microcore

known approaches do not provide the possibility of detailed studies of the impact of sources of failures on the chip.

This paper describes a set of software modules of developed HSS for control of the failure-stability of IC design using an advanced method of fault injection [7]. The method uses a stack of three models (of external influences, of emergence of threats and of fault localization), and allows to study the multi-level impact of faults on the chip.

Structural diagram of the proposed HSS is presented in Fig.1. The complex contains a

workstation with software component, as well as four specialized expansion boards – Xilinx Virtex-6 FPGA ML605 Evaluation Kit.

HSS allows to estimate the failure-stability of devices like the SoC for an arbitrary target hardware, implementing step-by-step simulation [8]. This technique involves carrying out functional testing of the initial IC design, described on a subset of the Verilog language [9] at the level of the digital functional elements of the target hardware, through FPGA prototyping, with the subsequent introduction of the means of fault injection in the

original design and functional testing of the modified design with the determination of their equivalence. In the case of equivalence of the original and modified designs, the methodology requires modeling the functioning of the latter in the presence of failures, the results of which determine the failure-stability of the initial IC design.

Let's consider a software component of the developed HSS.

GENERAL DESCRIPTION OF SOFTWARE SYSTEM

The structure of the software system is shown in Fig.2. The

ОБЩЕЕ ОПИСАНИЕ ПРОГРАММНОГО КОМПЛЕКСА

Структура программного комплекса представлена на рис.2. Программный комплекс реализован на основе пяти основных компонентов, позволяющих осуществлять обработку проекта микросхемы, генерацию списка сбоев и тестовых воздействий, а также обработку результатов моделирования проекта микросхемы с имитацией сбоев. ПАК содержит САПР СнК ЦАБ и Xilinx ISE, обеспечивающие синтез списков соединений элементов устройства в соответствующих базисах.

Программный комплекс осуществляет решение следующих задач:

- выполнение функционального анализа проекта микросхемы, созданного средствами САПР СнК (представленного в виде списка соединений для ЦАБ);
- обнаружение в проекте микросхемы блоков, в которых наиболее вероятно возникновение сбоев;
- определение последствий сбоев в функционировании микросхемы;
- формирование внешних воздействий для контроля сбоеустойчивости микросхемы;
- формирование данных для программирования аппаратных средств, обеспечивающих имитацию сбоев в соответствии с методикой моделирования;
- моделирование функционирования проекта микросхемы с имитацией сбоев;

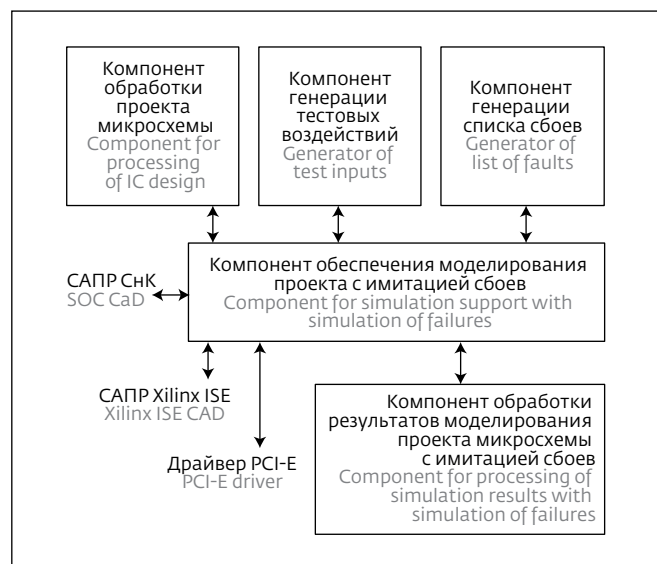


Рис.2. Структурная схема программного комплекса

Fig.2. Block diagram of software system

- формирование временных диаграмм внутренних сигналов проекта микросхемы при имитации сбоев;
- сбор, анализ, хранение и обработка данных моделирования.

Программный комплекс позволяет моделировать функционирование целевой микросхемы типа СнК на базовых матричных кристаллах (БМК) серий 5521 и 5529 в условиях воздействия космической радиации. В процессе моделирования на основе известных характеристик потоков

software complex is realized on the basis of five main components, allowing to carry out processing of IC design, the generation of a list of faults and test inputs, and also processing of results of modeling of IC design with simulated failures. HSS contains CADs for SoC, target hardware and Xilinx ISE, providing a synthesis of the lists of compounds of elements of the device in the respective bases.

The software system carries out the following tasks:

- functional analysis of the IC design created by SoC CAD tools (represented as a list

of connections for target hardware);

- detection in the IC design of units, in which fault occurrence is the most likely;
- determine the consequences of faults in operation of IC;
- generation of external influences to control the failure-stability of the chip;
- data generation for programming hardware for the simulation of faults in accordance with the methodology of simulation;
- modeling the operation of the IC design with simulated failures;

- formation of a timing chart of internal signals of the IC design at simulation of failures;
- collection, analysis, storage and processing of simulation data.

The software system allows to simulate operation of the target SoC on 5521 and 5529 gate array families in conditions of exposure to cosmic radiation. In the process of modeling based on the known characteristics of streams of charged particles and of the target chips, the time moments of failures of different types and their localization are



заряженных частиц и целевой микросхемы определяются моменты времени возникновения сбоев разных типов и осуществляется их локализация. Процесс моделирования включает несколько этапов, в частности: тестирование исходного проекта микросхемы, внедрение в проект микросхемы функциональности по внесению сбоев, моделирование функционирования полученного проекта при отсутствии и наличии сбоев. На каждом этапе осуществляется мониторинг значений сигналов на выходах микросхемы и внутренних сигналов, задаваемых пользователем, а также проводится их сравнение с эталонными значениями. Анализ результатов моделирования позволяет оценить сбоеустойчивость целевой микросхемы типа СнК в условиях заданного воздействия космической радиации.

Далее опишем четыре компонента программного комплекса, реализующих его основной функционал и заявленных для регистрации в Федеральной службе по интеллектуальной собственности в качестве программ для ЭВМ.

КОМПОНЕНТ ОБРАБОТКИ ПРОЕКТА МИКРОСХЕМЫ

Основными функциями компонента обработки проекта микросхемы являются генерация модифицируемой части кода микроядра обеспечения моделирования проекта микросхемы с имитацией сбоев и его интеграция в проект микросхемы, а также обработка технологических библиотек элементов БМК серий 5521 и 5529 и ПЛИС Virtex 6 LX240T FPGA.

Исходные данные для компонента обработки проекта микросхемы:

- проект микросхемы на структурном языке Verilog;
- библиотека элементов ЦАБ на структурном языке Verilog;
- упорядоченный список элементов проекта микросхемы, в которые могут вноситься неисправности в процессе моделирования;
- библиотека элементов со средствами внесения неисправностей в базе ЦАБ на структурном языке Verilog;
- упорядоченный список выводов проекта микросхемы, в которые будут передаваться входные воздействия;
- упорядоченный список выводов элементов в проекте микросхемы, с которых будет осуществляться чтение откликов;
- упорядоченный список выводов внутренних элементов проекта микросхемы, состояния которых подвергаются мониторингу;
- вывод сигнала тактовой частоты проекта микросхемы.

Результатами работы модуля являются:

- файл описания проекта микросхемы на структурном языке Verilog с внедренными средствами внесения неисправностей и выводами контроля значений внутренних сигналов;
- модифицированный проект микросхемы, реализованный в ПЛИС.

Компонент обработки проекта микросхемы состоит из следующих модулей:

determined. The modeling process involves several steps, in particular, testing of the source IC design, implementation in the IC design of functionality for fault injection, simulation of the operation of the obtained design in the absence and presence of failures. At each step, the monitoring signals at the outputs of the chip and internal signals specified by the user and they comparing with reference values are carried out. Analysis of simulation results allows to evaluate the tolerance of the target SoC in conditions of a given exposure to cosmic radiation.

We will describe the four components of the software system implementing its basic functionality, which are declared for registration in the Federal service for intellectual property as computer programs.

COMPONENT FOR PROCESSING OF IC DESIGN

The main functions of Component for processing of IC design are generating a modifiable part of the code of the microkernel of simulation support with simulation of failures, its integration in the project of the chip and processing of technology libraries of 5521

and 5529 gate array families and Virtex 6 LX240T FPGA.

The source data for Component for processing of IC design:

- IC design in structural Verilog language;
- library of elements of the target hardware in the structural Verilog language;
- ordered list of elements of IC design for simulation of failures;
- library of elements with means of fault injection in the basis of target hardware in the structural Verilog language;
- ordered list of terminals in IC design for input actions;



- модуль промежуточного представления структуры проекта микросхемы и генерации кода;
- модуль считывания библиотеки элементов;
- модуль модификации проекта микросхемы;
- лексический анализатор;
- синтаксический анализатор.

Лексический и синтаксический анализаторы используются в процессе анализа файла проекта микросхемы, представленного в виде кода на структурном языке Verilog.

Анализ файла проекта микросхемы производится с использованием восходящего синтаксического анализа, основанного на концепции LR-анализа [10].

КОМПОНЕНТ ГЕНЕРАЦИИ СПИСКА СБОЕВ

Основной задачей компонента генерации списка сбоев (КГСС) является генерация исходных данных о вносимых неисправностях для моделирования проекта микросхем с имитацией сбоев. Решение основной задачи КГСС подразумевает определение промежутков модельного времени между соседними фактами внесения неисправностей, определение множества элементов микросхемы для каждого факта внесения неисправностей и установление типа неисправности для каждого элемента при факте внесения неисправностей.

Компонент может работать в двух режимах: детализированном и базовом. Детализированный режим подразумевает использование стека из трех моделей [8]: внешних воздействий (МВВ),

появления угроз (МПУ) и локализации неисправностей (МЛН). В этом режиме в качестве источника сбоев рассматривается космическая радиация. Базовый режим подразумевает задание параметров источников возникновения сбоев пользователем. Как следствие, в этом режиме может быть рассмотрен любой источник неисправностей, влияние которого на микросхему приводит к возникновению логических сбоев (например, инверсия бита).

Для работы КГСС в детализированном режиме задаются следующие данные:

- дата запуска космического аппарата (КА) базирования микросхемы, которая требуется для расчета солнечной активности (СА) за период эксплуатации КА (срока активного существования, САС);
- САС КА (для определения периода расчета);
- параметры орбиты КА;
- данные о плотностях энергетических спектров частиц космического пространства (КП) для различных точек околоземного пространства в различных фазах солнечной активности;
- наименования элементов микросхемы, выбранных для моделирования;
- технологические данные микросхемы, включая значение рабочей тактовой частоты и используемый уровень напряжения;
- данные устройства, реализуемого на базе целевой микросхемы, включая период его работы, а также список соединений элементов устройства.

- ordered list of terminals in IC design for reading responses;
- ordered list of terminals of the internal elements of IC design, the status of which is monitored;
- output of clock frequency of the IC design.

The results of the operation of the module are:

- IC design description file in the structural Verilog language with embedded means of fault injection and the terminals for the control of internal signals;
- modified IC design implemented in the FPGA.

Component for processing of IC design consists of the following modules:

- module of the intermediate representation of IC design structure and code generation;
- reader of library elements;
- module for modification of IC design;
- lexical analyzer;
- syntax analyzer.

Lexical and syntactic analyzers are used in the process of analysis of IC design file, presented as structured Verilog language code.

The analysis of IC design file is carried out using a bottom-up parser based LR-analysis [10].

GENERATOR OF LIST OF FAULTS

The main objective of the generator of list of faults (LFG) is the generation of source data on injected faults for simulation of IC design with simulated failures. The solution of the main task of LFG involves determining periods of model time between adjacent facts of fault injection, determining a plurality of chip elements for each case of fault injection and identification of type of fault for each element at each fault injection.

The component can operate in two modes: basic and detailed. Detailed mode involves the use



Для работы КГСС в базовом режиме задаются следующие данные:

- типы частиц, воздействующих на микросхему (требуется выбрать из базы данных внешних воздействий или создать новый тип);
- наименования элементов микросхемы, выбранных для моделирования;
- рабочая тактовая частота микросхемы;
- период работы устройства;
- список соединений элементов устройства.

Тип частиц характеризуется законом распределения времени до следующего попадания частицы данного типа в микросхему, вероятностью возникновения каждого типа сбоев при попадании частицы данного типа в микросхему, а также площадью поражения, определяющей радиус окружности в плоскости микросхемы, с центром в точке падения частицы (все элементы, находящиеся в пределах этой окружности, подвержены влиянию данной частицы).

Результатом работы КГСС является список сбоев, состоящий из заголовка "параметры моделирования" и последовательно расположенных данных нескольких экспериментов. Заголовок "Параметры моделирования" содержит поля "Параметры орбиты КА" и "Дата старта КА". Данные каждого эксперимента содержат заголовки "заголовок эксперимента" и массив из k пакетов моделирования. "Заголовок эксперимента" содержит следующие поля:

- массив имен элементов микросхемы, моделируемых в данном эксперименте;

- координаты моделируемого участка орбиты;
- данные о моделируемых потоках заряженных частиц КП на данном участке орбиты;
- комментарий, описывающий особенности эксперимента.

Каждый пакет моделирования состоит из полей "Смещение" и "Массив сбоев". Значение поля "Смещение" характеризует временной интервал между предыдущим актом внедрения неисправностей в проект целевой микросхемы и актом внедрения неисправностей, описанных в данном пакете. Смещение измеряется в тактах рабочей тактовой частоты моделируемого устройства.

Размерность массива сбоев равна количеству элементов, выбранных для моделирования в данном эксперименте. Каждый элемент массива содержит код неисправности, которая соответствует моменту модельного времени, определяемому значением поля "Смещение".

КОМПОНЕНТ ГЕНЕРАЦИИ ТЕСТОВЫХ ВОЗДЕЙСТВИЙ

Компонент генерации тестовых воздействий (КГТ) предназначен для формирования векторов входных сигналов, подаваемых в процессе контроля сбоеустойчивости микросхемы. Тестовые воздействия формируются на этапе функционального тестирования на основе информации о входных воздействиях и эталонных откликах, полученных при разработке проекта целевой микросхемы. КГТВ выполняет следующие функции:

of a stack of three models [8]: of external influences (MEI), of emergence of threats (MET) and of fault localization (MFL). In this mode, the cosmic radiation is considered as the source of the failure. The basic mode assumes that the user specifies the parameters of the sources of failures. As a consequence, any source of faults, the impact of which on the chip leads to logical failures (e.g., bit flip), can be considered in this mode.

To operate in detailed mode the following data are given:

- date of launch of the spacecraft (SC) with chip, which is

required for the calculation of solar activity (SA) during the period of operation of the SC (active lifetime, AL);

- AL of SC (to define the calculation period);
- parameters of SC orbit;
- data on the densities of the energy spectra of space particles for different locations in near-Earth space in different phases of solar activity;
- names of elements of the chip selected for modeling;
- process data of the chips, including the value of operating clock frequency and the voltage level;

- data of the device, implemented on the basis of the target IC, including the period of his work, as well as a list of connections of elements of the device. To operate in basic mode the following data are given:

- types of particles that act on the chip (it is required to select from the database of external influences or to create new type);
- names of elements of the chip selected for modeling;
- operating clock frequency of the chip;
- period of operation of the device;



- анализ исходного файла данных о входных воздействиях и эталонных откликах, полученного на предыдущих этапах разработки;
- на основе полученной информации формируются массивы векторов входных воздействий и эталонных откликов;
- передача векторов входных воздействий компоненту обеспечения моделирования проекта микросхемы с имитацией сбоев, выполняющему функции управления остальными компонентами программного комплекса.

Исходными данными для компонента генерации тестовых воздействий являются:

- исходный файл данных о входных воздействиях и эталонных откликах;
- список имен выводов проекта микросхемы, в которые будут передаваться входные воздействия;
- список имен выводов проекта микросхемы, с которых будет осуществляться чтение откликов;
- наименование входного вывода моделируемого проекта микросхемы, используемого в качестве сигнала тактовой частоты;
- активный фронт сигнала тактовой частоты.

Выходными данными компонента генерации тестовых воздействий являются массивы векторов входных воздействий и векторов эталонных откликов.

КОМПОНЕНТ ОБРАБОТКИ РЕЗУЛЬТАТОВ МОДЕЛИРОВАНИЯ

Компонент обработки результатов моделирования проекта микросхемы предназначен для

контроля моделирования проекта микросхемы с имитацией сбоев путем сравнения массивов векторов откликов, полученных в результате моделирования в условиях наличия и отсутствия сбоев, с массивом векторов эталонных откликов. Массив векторов эталонных откликов может быть получен как результат работы КГТВ после функционального тестирования маршрута моделирования проекта микросхемы с имитацией сбоев.

Компонент обработки результатов моделирования проекта микросхемы предназначен для решения следующих задач:

- обнаружение в проекте микросхемы блоков, в которых наиболее вероятно возникновение сбоев;
- проверка функциональной эквивалентности исходного проекта микросхемы в ЦАБ и проекта микросхемы в базисе ПЛИС на этапе функционального тестирования, а также эквивалентности последнего модифицированному проекту микросхемы с внедренными средствами внесения неисправностей на этапе моделирования с имитацией сбоев;
- контроль сбоеустойчивости исходного проекта микросхемы по результатам моделирования работоспособности модифицированного проекта микросхемы в условиях наличия сбоев;
- определение последствий возникновения сбоев в функционировании микросхемы;
- формирование отчета о результатах моделирования проекта микросхемы с имитацией сбоев;

- list of connections of the elements of the device.

Type of particles is characterized by the distribution law of time between influences of particles of same type, by the probability of occurrence of each type of failure when hit by particles of a given type, and by the area of the lesion, which determines the radius of the circle in the plane of the chip, centered at the point of incidence of the particles (all elements within this circle, will be affected by this particle).

The result of operation of LFG is the list of faults consisting of a header "simulation parameters"

and consecutive data of several experiments. The title "simulation parameters" contains the fields "SC orbit parameters" and "start date of SC". Data of each experiment contain the heading "title of experiment" and an array of k simulation packages. "Title of experiment" contains the following fields:

- array of names of elements of the chip, simulated in this experiment;
- coordinates of the simulated site of the orbit;
- data on the modulated streams of charged cosmic particles at the site of the orbit;

- comment describing the features of the experiment.

Each modeling package consists of the fields "offset" and "massive of failures". The value of the "offset" describes the time interval between the last fault injection into IC design and fault injection that is described in this package. The offset is measured in cycles of the working clock frequency of the simulated device.

Dimension of an array of failures is equal to the number of elements selected for modeling in this experiment. Each array element contains the code of the fault that corresponds to the



- формирование временных диаграмм внутренних сигналов проекта микросхемы в процессе моделирования.
Исходные данные для данного компонента:
 - тип выполняемого этапа моделирования;
 - информация о результате выполнения предыдущего этапа моделирования;
 - векторы входных воздействий, а также параметры вносимых сбоев для каждого такта моделирования;
 - наименования элементов, в которые вносятся сбои;
 - список контрольных точек моделируемого проекта микросхемы (выходов внутренних элементов микросхемы, значения сигналов на которых подлежат мониторингу);
 - векторы эталонных откликов;
 - векторы откликов, полученных в процессе моделирования проекта микросхемы;
 - модуль промежуточного представления структуры проекта микросхемы и генерации кода;
 - информация об иерархической структуре проекта микросхемы;
 - данные о площадях, занимаемых элементами библиотеки ЦАБ.
- Результатами работы компонента являются файл отчета, содержащий информацию о результатах выполненного этапа моделирования проекта микросхемы с имитацией сбоев, а также файл формата vcd для отображения временных диаграмм сигналов проекта микросхемы. Файл отчета содержит следующую информацию:
- общее время моделирования;
 - количество переданных векторов входных воздействий и векторов эталонных откликов;
 - количество полученных в результате моделирования векторов откликов проекта микросхемы;
 - результат сравнения массива векторов эталонных откликов и откликов, полученных в процессе моделирования;
 - список наименований выходов микросхемы, в которых обнаружены несовпадения значений сигналов с эталонными;
 - статистическая информация об обнаруженных несоответствиях для каждого вывода проекта микросхемы и контрольной точки, включающая общее количество обнаруженных несовпадений, а также локализация тактов моделирования, на которых обнаружены несоответствия эталонным значениям;
 - статистическая информация о сбоях, внесенных в процессе моделирования (для этапа моделирования с внесением неисправностей);
 - результат контроля сбоеустойчивости проекта микросхемы, определяющий влияние сбоев на его работоспособность (для этапа моделирования с внесением неисправностей).
- Микросхема считается работоспособной в условиях воздействия источников сбоев в случае совпадения значений сигналов на выходах проекта микросхемы с соответствующими эталонными значениями на каждом этапе моделирования.

moment of the model time determined by the value of the field "offset".

GENERATOR OF TEST INPUTS

Generator of test inputs (TIG) is used to form vectors of input signals during the control of failure stability of the chip. Test inputs are formed at the stage of functional testing on the basis of information about inputs and reference responses obtained during the development of design of the target IC.

Generator of test inputs performs the following functions:

- analysis of the source data on inputs and the reference

responses received at the previous stages of development;

- on the basis of the obtained information the arrays of vectors of input signals and a reference responses are generated;
- transfer of vectors of input signals to the component for simulation support that controls other components of the software system.

The source data for the generator of test inputs are:

- source file of data on inputs and reference responses;
- list of the names of the terminals of IC design, which will transmit the input signals;

- list of the names of the terminals of IC design, which will be used for reading of the responses;
- name of the terminal of IC design, which will be used as the clock;
- active front of the clock.

The output data for the generator of test inputs are arrays of vectors of input signals and of vectors of reference responses.

COMPONENT FOR PROCESSING OF SIMULATION RESULTS

Component for processing of simulation results of IC design is intended to control the simulation

ПЕРСПЕКТИВЫ

В статье представлена совокупность программных модулей, входящих в состав экспериментального образца ПАК контроля сбоеустойчивости проекта микросхемы. Эти модули обеспечивают выполнение всех стадий моделирования микросхемы в процессе определения ее сбоеустойчивости. Используемые технические решения позволяют осуществлять гибкий выбор источников возникновения сбоев в микросхеме и получить детальную информацию о локализации критических сбоев, приводящих к отказу моделируемой системы. Использование ПЛИС-прототипирования ускоряет процесс контроля сбоеустойчивости по сравнению с применением программных симуляторов. Расширенный метод внесения неисправностей обеспечивает снижение затрат на определение сбоеустойчивости микросхемы, позволяя отказаться от использования ускорителей частиц.

В качестве основных направлений дальнейшего развития ПАК для контроля сбоеустойчивости, в частности его программной составляющей, можно выделить обеспечение возможности определения скорости восстановления устройства после критического сбоя, поддержку динамической генерации внешних воздействий на основе текущих откликов микросхемы, а также интеграцию более совершенных моделей МВВ, МПУ и МЛН в разрабатываемый комплекс.

Разработка проводилась при поддержке Министерства образования и науки РФ в рамках федеральной целевой программы "Исследования и разработки по приоритетным направлениям развития научно-технологического комплекса России на 2014–2020 годы". Уникальный идентификатор прикладных научных исследований RFMEFI57715X0161.

ЛИТЕРАТУРА

1. **Petersen E.** Single Event Effects in Aerospace. 1 ed. Wiley-IEEE Press. 2011. P. 520.
2. **Straka M., Kastil J., Kotasek Z.** SEU Simulation Framework for Xilinx FPGA: First Step Towards Testing Fault Tolerant Systems. 14th Euromicro Conference on Digital System Design, 2011.
3. **Pellegrini A., Constantinides K., Zhang D., Sudhakar Sh., Bertacco V., Austin T.** CrashTest: A fast high-fidelity FPGA-based resiliency analysis framework. Computer Design. 2008. ICCD 2008. IEEE International Conference, 2009.
4. **Civera P., Macchiarulo L., Rebaudengo M.** Exploiting FPGA-based techniques for fault injection campaigns on VLSI circuits. Defect and Fault Tolerance in VLSI Systems, 2001. Proceedings. 2001 IEEE International Symposium, 2002.
5. **Burlyayev D., Van Leuken R.** System fault-tolerance analysis of COTS-based satellite on-board computers // Microelectronics Journal. 2014. Vol. 45. P. 1 335–1 341.
6. **Rudrakshi S., Midasala V., NagaKishore Bh.** Implementation of FPGA Based Fault Injection

of the project components with simulated failures by comparing arrays of vectors of responses obtained through simulation in the presence and absence of faults with an array of vectors of reference responses. An array of vectors of reference responses can be obtained as a result of operation of TIG after functional testing of the route of IC design simulation with simulated failures.

Component for processing of simulation results of IC design is aimed to solve the following tasks:

- detection in IC design units, in which fault occurrence is the most likely;
- verification of functional equivalence of the source IC design in the target hardware and IC design in the basis of FPGA at the stage of functional testing, as well as of the equivalence of the last to the modified design with embedded means of fault injection at the stage of modeling with simulated faults;
- control of failure-stability of source IC design based on the simulation results of operability of the modified IC design in the presence of failures;
- determination of the consequences of failure in the operation of the chip;
- generation of report with results of the simulation of the IC design with simulated failures;
- formation of a timing chart of internal signals of the IC design in the modeling process. The source data for this component:
- type of the performed simulation phase;
- information about the result of the previous stage of the simulation;
- vectors of input signals and the parameters of injected faults for each cycle of the simulation;



- Tool (FITO) for Testing Fault Tolerant Designs // IACSIT International Journal of Engineering and Technology. 2012. Vol. 4. №5. P. 522–526.
7. Brekhov O., Klimenko A., Kordover K., Ratnikov M. FPGA-Prototyping with Advanced Fault Injection Methodology for Tolerant Computing Systems Simulation. DCCN 2015. Moscow, 2016.
 8. Klimenko A., Brekhov O. Hardware-software simulation complex for FPGA-prototyping of fault-tolerant computing systems. Distributed Computer and Communication Networks: Control, Computation, Communications (DCCN-2016), 2016.
 9. 1800–2012. IEEE Standard for System Verilog // Unified Hardware Design, Specification and Verification Language. Inc. ed., N.-Y.: IEEE, 2013.
 10. Ахо А., Лам М., Сети Р., Ульман Д. Компиляторы: принципы, технологии и инструментов. – ИД "Вильямс", 2008.

- names of elements for fault injection;
- list of control points of IC design (outputs of the internal components of the chip, the values of signals which should be monitored);
- vectors of the reference response;
- vectors of responses obtained in simulation of the IC design;
- module of the intermediate representation of IC design structure and code generation;
- information about the hierarchical structure of IC design;
- information about areas of elements of the target hardware library.

The results of the operation of the component is the report file that contains information about the results of the modeling stage of IC design with simulated failures, and the file of vcd format to display the time diagrams of signals of IC design. The report file contains the following information:

- total simulation time;
- number of transferred vectors of input actions and vectors of reference response;
- number of obtained vectors of responses of IC design;
- result of the comparison of the array of reference vectors of responses and responses obtained in the simulation;

- list of names of outputs of the chip with mismatch of values of signals with a reference;
- statistical information about the inconsistencies found for each output of IC design and control point, including the total number of detected mismatches and localization of cycles of modeling with mismatches of the reference values;
- statistical information about the faults injected in the simulation process (for stage of simulation with fault injection);
- result of control of the failure tolerance of IC design, which determines the impact of failures on its performance (for stage of simulation with fault injection).

The chip is considered operable in conditions of influence of sources of failures in the case of coincidence of the values of the signals at the outputs of IC design with the corresponding reference values at each stage of the simulation.

PROSPECTS

The paper presents a set of software modules of the prototype of HSS for control of fault tolerance of IC design. These modules provide all simulation stages of IC design in the process of defining its failure-stability. The applied technical solutions allow

to realize a flexible choice of sources of failures in the chip and to obtain detailed information about the localization of the critical faults that caused a failure of the simulated system. The use of FPGA prototyping accelerates the control of fault tolerance in comparison with the use of software simulators. An advanced method of fault injection provides a reduction in costs in the determination of the failure tolerance of the chip, allowing to abandon the use of particle accelerators.

As the main areas of further development of the HSS for control of fault tolerance, in particular, of its software component, we can highlight the determining of the speed of recovery of the device after a critical failure, support of dynamic generation of external influences based on current feedback of the chip, as well as the integration of more sophisticated MEI, MET and MFL into the proposed complex. ■

The development was carried out with the support of the Ministry of education and science of the Russian Federation in the framework of the Federal Targeted Programme for Research and Development in Priority Areas of Development of the Russian Scientific and Technological Complex for 2014–2020. Unique identifier of applied research RFMEFI57715X0161.