



# ОСОБЕННОСТИ ЭЛЕМЕНТНОЙ БАЗЫ СБИС НА ОСНОВЕ ТЕХНОЛОГИИ КМОП КНИ С ПОЛНЫМ ОБЕДНЕНИЕМ

## FEATURES OF VLSI COMPONENTS IN FULLY-DEPLETED SOI CMOS TECHNOLOGY

УДК 621.382

ШЕЛЕПИН НИКОЛАЙ АЛЕКСЕЕВИЧ

*Д. т. н., профессор**nchelepin@niime.ru**АО «НИИМЭ»**124460, г. Москва, г. Зеленоград**1-й Западный проезд, 12, стр. 1*

SHELEPIN NICOLAY A.

*Ph.D, professor**nchelepin@niime.ru**Molecular Electronics Research Institute JSC**12/1 1st Zapadny Lane, Zelenograd,**Moscow, 124460, Russia*

Рассмотрено развитие конструкций компонентов СБИС на технологических уровнях ниже 28 нм. Отмечено, что уровень 28 нм был последним, в котором были реализованы планарные транзисторы. Далее образовалось два направления трехмерных транзисторов: FinFET и FD SOI. Показаны их основные различия и особенности. Представлены результаты моделирования характеристик КНИ транзисторов с полным обеднением.

*Ключевые слова:* КМОП КНИ с полным обеднением; FD-SOI; FinFET; «нижний» затвор.

The article highlights the development of the structures of the components on VLSI technology nodes below 28nm. It has been noted that the 28nm node was the last one to implement planar transistors. Then two directions of three-dimensional transistors formed: FinFET and FD SOI. The paper presents their main differences and features, as well as the results of simulation of the characteristics of SOI transistors with full depletion.

*Keywords:* FD SOI CMOS; FinFET; the lower gate

### ПРОТИВОСТОЯНИЕ ТЕХНОЛОГИЙ

Анализируя различные сведения по развитию технологий интегральных схем, можно сделать вывод, что развитие микроэлектроники (а в ее сегодняшнем уровне — наноэлектроники) уже не происходит по закону Мура. На практике некоторые отклонения от общих правил масштабирования и понятий «технологического уровня» (technological node) начались уже довольно давно, с уровня 90 нм [1]. Существенная «заминка» произошла на уровне 28 нм. Дальнейший переход к уровням 22–14 нм уже не может быть реализован на «обычных» планарных МОП-транзисторах. В связи с этим мировые лидеры (Intel, TSMC, Samsung) пошли по пути непланарных транзисторов. И в это направление вложено уже очень много средств. Речь идет о разновидности технологии так называемых трехзатворных (Tri Gate) транзисторов, получившей название FinFET. Схематичное изображение транзистора представлено на рис. 1.

На форуме live.cnews.ru в 2016 отмечено [2]: технология FinFet-транзисторов не очень нова. Intel и AMD объявили о ней в 2002 и 2003 году, в 2011 году на конференции IDF было объявлено о работающей технологии, а 23 апреля 2012 года в Intel начали производить линейку микропроцессоров Ivy Bridge.

Сегодня передовым и, можно сказать, устоявшимся технологическим процессом является технология 14 нм FinFET компаний TSMC, Intel, Samsung. На этой технологии разработаны схемы компании Qualcomm (системы на кристалле Snapdragon-450 для смартфонов и планшетов среднего уровня), графические процессоры RX Vega 64, RX Vega 56 компании AMD. Samsung в 2016 г. объявила о переходе в массовом производстве на использование 14-нм техпроцесса второго поколения. Идет серьезная

подготовка к широкому использованию с 2017 года 10-нм технологий (Samsung, TSMC). Также все основные гиганты заявили и начали подготовку к уровню 7 и 5 нм технологий, что отмечено на конференции IEDM-2016 (Сан-Франциско, декабрь 2016) [3]. Очевидно, что остальным эти технологии становятся неподъемными.

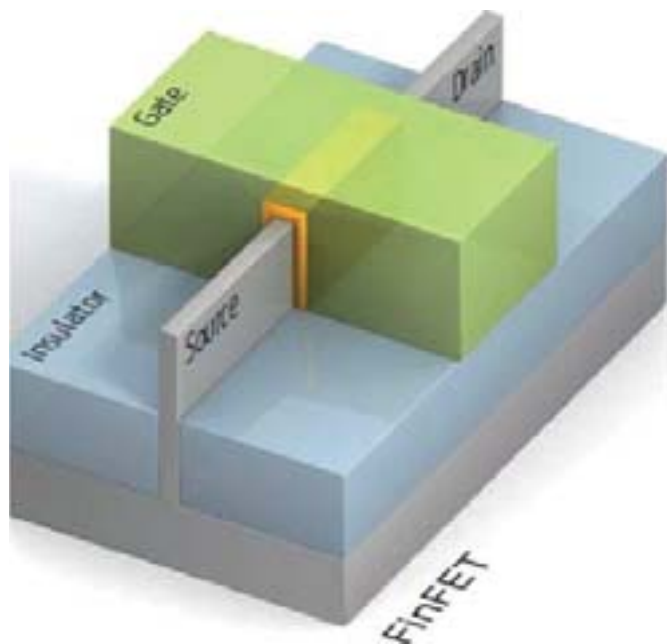


Рис. 1. Схема FinFET-транзистора



Рис. 2. План развития FDSOI, по данным STMicroelectronics (2014)

Европа отчаянно пытается вернуть себе репутацию ведущего мирового производителя микроэлектронной продукции. Одним из шагов на этом глобальном пути, на который предполагается потратить до 100 млрд евро, является развитие технологии FD-SOI (Fully Depleted Silicon On Insulator — полностью обедненный кремний на изоляторе (ПО КНИ)), приоритет в котором сейчас принадлежит европейскому полупроводниковому гиганту STMicroelectronics. Каковы планы и перспективы развития FD-SOI, по оценкам 2014 года [4]?

Технологией FDSOI занимаются в первую очередь STMicroelectronics, IBM, GlobalFoundries, поставщики услуг по разработке, например, VeriSilicon (Шанхай) и некоторые японские компании. Европейский проект ведет STMicroelectronics, согласовывает ENIAC. В проекте участвует 7 стран, 19 компаний и институтов. Всего занято около 500 инженеров. Список организаций Places2Be: ACREO Swedish ICT AB, Adixen Vacuum Products, Axiom IC, Bruco Integrated Circuits, Commissariat à l'énergie atomique et aux énergies alternatives, Dolphin Integration, Ericsson AB, eSilicon Romania Srl, Forschungszentrum Juelich, GlobalFoundries Dresden, Grenoble INP, IMEC, Ion Beam Services, Mentor Graphics France Sarl, Soitec SA, STMicroelectronics-Ericsson NV, STMicroelectronicsMicroelectronics NV, Université Catholique de Louvain и University of Twente. Дан Хатчесон (Dan Hutcheson), глава VLSI Research, отмечает: «Если FDSOI действительно окажется перспективной и конкурентоспособной на уровне 14 нм, то цепь поставок нарушится и на первый план выйдет GlobalFoundries и ее клиенты».

### Преимущества FDSOI

Потребление FDSOI почти на 30 % ниже, чем у 28-нм и 20-нм КМОП. Стоимость FDSOI ниже на 5 % по сравнению с КМОП 28 нм и на 25 % — по сравнению с КМОП 20 нм, хотя технологические процессы похожи. Кстати, при переходе на FDSOI могут частично использоваться IP для КМОП.

На следующем уровне технологий — 14-нм FD-SOI — производительность при том же рабочем напряжении увеличивается на 30 %, потребление снижается в два раза при той же скорости работы, площадь кристалла сокращается на 40 %.

Эти показатели можно еще улучшить с помощью напряжения смещения. Прямое смещение увеличивает производительность на 15 %. Обратное смещение позволяет снизить потребление на 10 % при той же скорости работы.

Планарная технология FDSOI имеет преимущества перед остальными: она обеспечивает лучшие характеристики при более дешевом способе производства. Тем не менее, большинство компаний пока относятся к ней с подозрением, по крайней мере, нет публичных комментариев на ее счет (напоминаю: это обзор 2014 г.).

В настоящее время компания GLOBALFOUNDRIES освоила техпроцесс 22 нм FD-SOI и в 2016 году официально анонсировала развертывание 12-нм технологии FD-SOI, которая пришла на смену 22-нм FD-SOI. А за этим последовало официальное сообщение компании AMD об использовании этого техпроцесса в будущих фирменных продуктах. Правда, выпуск первых массовых образцов ожидается лишь в 2019 году [5].

У некоторых пользователей может возникнуть вопрос: «Зачем AMD переходить с 14-нм FinFET к 12-нм FD-SOI, если к тому времени уже будет освоен 10-нм FinFET?». Ответ кроется в преимуществах технологии FD-SOI. Оказывается, она позволяет достичь более высокой производительности, чем при 10-нм FinFET, а уровень энергопотребления и стоимость производства ниже, чем у 16-нм FinFET. В цифровом выражении получается выигрыш на 15 % в производительности и на 50 % в энергопотреблении по сравнению с текущей технологией FinFET [5].

Если углубиться в историю, то компания AMD в прошлом активно использовала технологию SOI для построения своих процессоров. Она предоставляет отличную масштабируемость тактовых частот и энергоэффективности. В частности, именно эта технология лежала в основе 130-нм, 90-нм, 65-нм, 45-нм и 32-нм процессоров, и лишь в последнем поколении был использован 14-нм FinFET-техпроцесс. Однако FinFET характеризуется достаточно сложным дизайном и сравнительно высокой стоимостью производства. Поэтому шаг навстречу 12-нм FD-SOI не выглядит странным, но насколько он окажется успешным, мы узнаем уже через два года.

Технология FD-SOI позиционируется как альтернатива FinFET. По оценке Globalfoundries, 12FDX обеспечит такую же производительность, как 10-нанометровая технология FinFET, но меньшее энергопотребление при стоимости, меньшей, чем стоимость 16-нанометровой FinFET. Превосходство над современной технологией FinFET по производительности составляет 15 %, выигрыш в энергопотреблении — 50 % [6].

### АНАЛИЗ ЭЛЕМЕНТОВ ТЕХНОЛОГИЙ FD-SOI

Идеи развития данной технологии существовали уже давно. Так, например, трое японских авторов еще в 2006 году опубликовали в издательстве Springer книгу о применении ПО КНИ КМОП-схем для микросхем с ультранизким потреблением мощности. Но в рассмотренной технологии еще не было технических решений о применении не только сверхтонкого слоя кремния для реализации полностью обедненных транзисторов, но и сверхтонкого изолирующего скрытого диэлектрика (BOX) для реализации управления характеристиками транзисторов путем смещения потенциала несущей подложки. Следует также отметить, что идеи применения смещения подложки для коррекции характеристик



транзисторов применена на практике в отечественной микроэлектронике для снижения токов утечки, вызванных накоплением положительного заряда в скрытом диэлектрике [8]. Развитие современной ПО КНИ КМОП-технологии привело к реализации еще более существенных возможностей изменения характеристик транзисторов путем подачи на «нижние» затворы различных смещений для  $n$ - и  $p$ -канальных транзисторов.

Рассмотрим структуру транзисторов, схематично представленную на презентациях компаний STMicroelectronics и GlobalFoundries. Схематично структура транзисторов представлена на рис. 3.

Рассмотрим основные конструктивно-технологические особенности этих транзисторов. В отличие от FinFET, транзисторы остаются планарными — и это существенно упрощает технологию изготовления.

Как уже было сказано выше, для эффективного влияния на характеристики транзисторов со стороны «нижних» затворов толщина скрытого диэлектрика (BOX) должна стать существенно меньше, чем для обычных технологий КМОП КНИ (т.е. без полного обеднения). И действительно, на сайте основного изготовителя пластин со структурами КНИ — компании Soitec — мы находим раздел структур для технологии FD-SOI со следующими параметрами: толщина изолированного кремния — 5–10 нм, толщина скрытого диэлектрика — 20–40 нм. Т.е. очевидно, что разработка технологий прошла совместно с разработкой соответствующих структур КНИ.

Таким образом, существенной особенностью структур транзисторов является наличие изолированных  $p$ - $n$ -переходами областей в несущей подложке, которые являются управляющими затворами для областей каналов рабочих транзисторов. Технологически они формируются при помощи ионной имплантации на том же самом оборудовании, что используется в технологиях предыдущих поколений. Однако эти области по технологическим ограничениям не могут быть выполнены с высокой концентрацией легирующих примесей и, соответственно, при полевом взаимодействии через BOX с областями транзисторов их поверхности могут оказаться в состоянии и обогащения, и обеднения, и даже инверсии. При этом соответственно различаются аналитические значения пороговых напряжений «нижнего» затвора для области канала транзистора, что обуславливает существенные дополнительные сложности при создании и экстракции моделей транзисторов. Соответствующие аналитические выражения получены автором при разработке математической модели структур «полупроводник — диэлектрик — полупроводник» [9, 10], а в [11] предложено применение полученных аналитических выражений для создания или уточнения параметров моделей КНИ транзисторов BSIM SOI. Моделирование в системе TCAD проходных характеристик транзисторов уровня 28 нм при различном смещении на «нижних» затворах показало возможности их существенной коррекции и, соответственно, возможность изменения одних и тех же библиотечных элементов от сверхмалого потребления до скоростного режима при большем потреблении, что может существенно сэкономить время разработки.

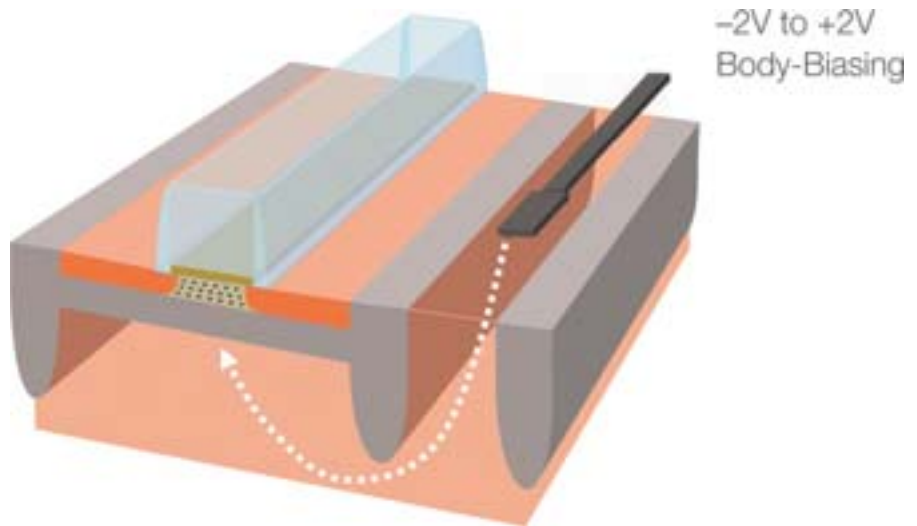


Рис. 3. Структура транзистора с реализацией необходимого смещения «нижнего» затвора

## ВЫВОДЫ

Технология FD-SOI представляется существенно менее сложной как с точки зрения технологии изготовления, так и с точки зрения всех процессов проектирования. Российские разработчики уже имеют практический опыт в технологии КМОП КНИ 90 нм. При этом опыт создания транзисторов FinFET отсутствует.

## ЛИТЕРАТУРА

1. Шелепин Н.А. Особенности суб-100-нанометровых технологий СБИС // Микроэлектроника-2015. Интегральные схемы и микроэлектронные модули: проектирование, производство и применение. Сборник докладов Международной конференции, 2016. — С. 22–30.
2. <http://live.cnews.ru/forum/index.php?showtopic=83800>.
3. Зарубежная электронная техника, вып. 2 (6625) от 26.01.2017.
4. <http://www.russianelectronics.ru/leader-r/review/doc/63658>.
5. [http://ru.gecid.com/news/amd\\_budet\\_ispolzovat\\_12-nm-tehnologiyu\\_fd-soi](http://ru.gecid.com/news/amd_budet_ispolzovat_12-nm-tehnologiyu_fd-soi).
6. <http://www.ixbt.com/news/2016/09/09/globalfoundries-12-fd-soi.html>.
7. Takayasu Sakurai, Akira Matsuzawa, Takakuni Douseki. Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications, Published by Springer, P.O. Box 17, 3300 AADordrecht, The Netherlands.
8. Лушников А.С., Мещанов В.Д., Рыбалко Е.С., Шелепин Н.А. КМОП КНИ интегральная схема с повышенной радиационной стойкостью // Патент Российской Федерации: № 2545325, МПК H01L 27.10; заявл. 15.11.13; опубл. 27.03.15. Бюл. № 9.
9. Шелепин Н.А. Модель структуры «полупроводник — диэлектрик — полупроводник» // Диссертация на соискание ученой степени кандидата технических наук. Москва, МИЭТ, 1992.
10. Шелепин Н.А. Некоторые особенности ВФХ структур «полупроводник — диэлектрик — полупроводник» // Электронная техника, серия 3 «Микроэлектроника», 1990. — Вып. 5 (139). — С. 49–56.
11. Шелепин Н.А. Физические основы моделирования паразитных элементов КНИ КМОП СБИС // Нано- и микросистемная техника, 2015. — № 5 (178). — С. 9–16.