



# СОВЕРШЕНСТВОВАНИЕ ЛОГИКИ FPGA НА ОСНОВЕ УВЕЛИЧЕНИЯ РАЗРЯДНОСТИ LUT И СОЗДАНИЯ АДАПТИВНЫХ ЛОГИЧЕСКИХ МОДУЛЕЙ IMPROVING FPGA LOGIC BASING ON INCREASED LUT BIT CAPACITY AND CREATING ADAPTIVE LOGIC MODULES

УДК 004.3, SPIN-код: 3745-5880, ORCID: 0000-0002-1553-6874

**ГРЕКОВ АРТЕМ ВЛАДИМИРОВИЧ**

Пермский военный институт войск национальной гвардии  
Российской Федерации  
614112, г. Пермь, ул. Гремячий Лог, 1  
grekartemvl@mail.ru

**GREKOV ARTEM V.**

Perm Military Institute of National Guard Troops of the Russian  
Federation  
1 Gremyachy Log St., Perm, 614112  
grekartemvl@mail.ru

**ТЮРИН СЕРГЕЙ ФЕОФЕНТОВИЧ**

Пермский национальный исследовательский политехнический  
университет  
614990, г. Пермь, Комсомольский пр., 29  
tyurinsergfeoyandex.ru

**TYURIN SERGEY F.**

Perm National Research Polytechnic University  
29, Komsomolsky Ave., Perm, 614990  
tyurinsergfeoyandex.ru

Получены выражения для оценок сложности и быстродействия декомпозиции многоразрядного LUT на LUT меньшей разрядности. Выполнено сравнение сложности и задержки в количестве транзисторов при декомпозиции многоразрядного LUT в системе компьютерной математики Mathcad. Установлены особенности построения многоразрядных LUT и оценены различные варианты декомпозиции при дальнейшем увеличении размерности LUT с последующим выбором оптимального варианта адаптивного логического модуля.

**Ключевые слова:** ПЛИС типа FPGA; LUT; транзистор; адаптивный логический модуль ALM; декомпозиция; сложность; быстродействие; логический элемент.

Expressions have been obtained for estimating the complexity and speed of decomposition of a multi-bit LUT at a lower-order LUT. A comparison of the complexity and delay in the number of transistors was performed for the decomposition of a multi-bit LUT in the Mathcad computer mathematics system. The features of constructing multi-bit LUTs were determined and various variants of decomposition were evaluated with further increase in the LUT dimension with the subsequent choice of the optimal variant of the adaptive logic module.

**Keywords:** FPGA; LUT; transistor; adaptive logic module ALM; decomposition; complexity; speed; logic element.

## ВВЕДЕНИЕ

Логические элементы ЛЭ программируемых логических интегральных схем (ПЛИС) типа FPGA (field-programmable gate array) [1–4] — это постоянные запоминающие устройства ПЗУ (называемые часто LUT — Look Up Table), реализованные

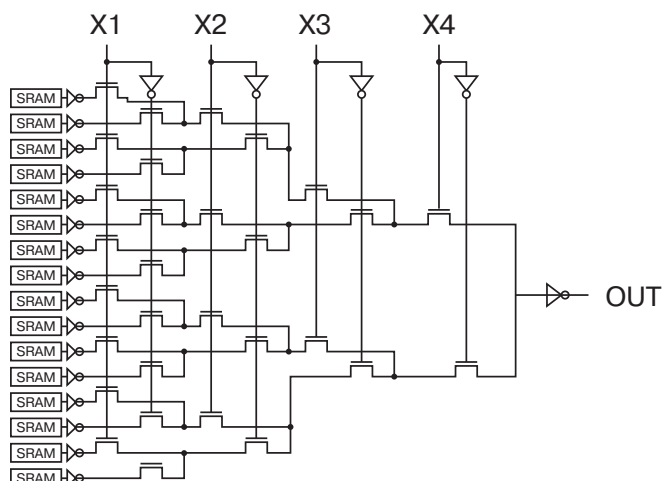


Рис. 1. LUT на четыре переменные (4-LUT)

Fig. 1. LUT in four variables (4-LUT)

на мультиплексоре, входы данных которого настраиваются константами. Для настройки на заданную логическую функцию в ячейки ОЗУ (SRAM) загружается соответствующая таблица истинности. При активации одного из  $2^n$  путей в дереве транзисторов переменными значение логической функции считывается из соответствующей ячейки ОЗУ и передается на выход OUT. Инверторы по переменным обеспечивают реализацию всех членов совершенной дизъюнктивной нормальной формы (СДНФ).

Оптимальным по быстродействию и сложности представления типовых логических функций является использование LUT на четыре переменных (рис. 1).

Такой LUT для входных переменных  $x_4, x_3, x_2, x_1$  (настройка — 16 бит) описывается выражением:

$$z_{OUT}(x_4, x_3, x_2, x_1) = a\bar{x}_4\bar{x}_3\bar{x}_2x_1 \vee b\bar{x}_4x_3\bar{x}_2x_1 \vee c\bar{x}_4x_3x_2\bar{x}_1 \vee d\bar{x}_4x_3x_2x_1 \vee e\bar{x}_4x_3\bar{x}_2x_1 \vee f\bar{x}_4x_3x_2x_1 \vee g\bar{x}_4x_3x_2x_1 \vee h\bar{x}_4x_3x_2x_1 \vee ix_4x_3\bar{x}_2x_1 \vee jx_4x_3x_2x_1 \vee kx_4x_3x_2x_1 \vee lx_4x_3x_2x_1 \vee mx_4x_3x_2x_1 \vee nx_4x_3x_2x_1 \vee ox_4x_3x_2x_1 \vee px_4x_3x_2x_1. \quad (1)$$

## ПОСТАНОВКА ЗАДАЧИ

Дано: адаптивные логические модули ПЛИС Stratix III на семь переменных.

В литературе [3–4, 6–7] не в полной мере освещены вопросы декомпозиции многоразрядных LUT.

Необходимо оценить сложность и быстродействие при декомпозиции многоразрядного LUT с целью выявления особенностей построения адаптивных логических модулей и перспектив дальнейшего повышения разрядности.

**ОБЗОР ЛИТЕРАТУРЫ**

В ПЛИС Stratix III имеются адаптивные (перестраиваемые под требуемую задачу) логические блоки, которые объединяются в логические блоки (Logic Array Block, LAB) [2, 3], которые, как утверждается, реализуют функции даже семи переменных. Вызывают интерес особенности реализации таких LUT. Дело в том, что в силу ограничений Мида и Конвей на число последовательно соединенных транзисторов [5], дерево передающих транзисторов не может содержать более четырех транзисторов в цепочке.

Необходима декомпозиция многоразрядного LUT на LUT меньшей разрядности, то есть построение дерева из поддеревьев.

ПЛИС Stratix III описана в достаточном количестве источников [3, 4, 6, 7]. Имеются данные о возможном производстве таких ПЛИС на Воронежском заводе полупроводниковых приборов ВЗПП-Микрон, ОАО «КТЦ «Электроника» [8]. В структуру таких ПЛИС входят так называемые блоки LAB (logic array blocks), содержащие адаптивные логические модули ALM (adaptive logic modules), которые могут быть конфигурированы для реализации комбинационной логики, в том числе арифметических операций, а также для реализации автоматов с памятью.

Архитектура ALM совместима с архитектурой 4-входовых LUT, а один ALM может также реализовывать любые функции до шести переменных и определенные функции семи переменных. Отмечается, что такая архитектура выигрывает

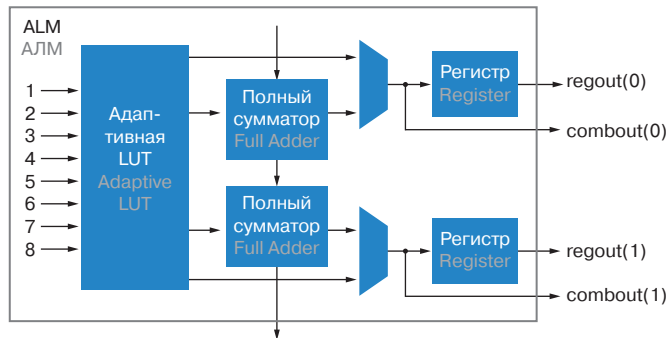


Рис. 2. Адаптивный логический модуль ПЛИС Stratix III  
Fig. 2. Stratix III ALM

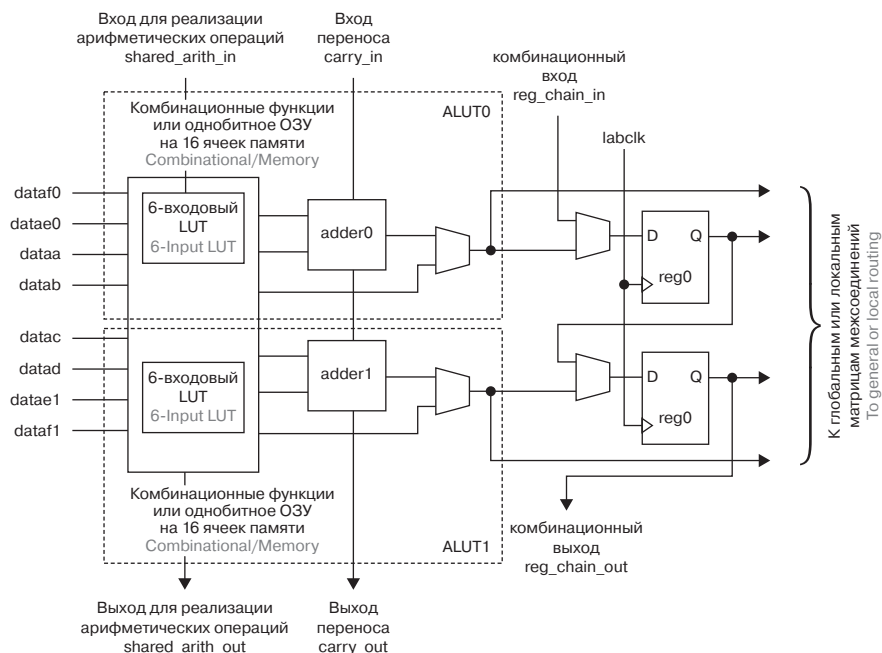


Рис. 3. Состав адаптивных логических модулей ALM0, ALM1 ПЛИС Stratix III  
Fig. 3. Stratix III ALM0, ALM1

**INTRODUCTION**

Logical elements (LE) of programmable logic integrated circuits of FPGA type (field-programmable gate array) [1–4] are ROM permanent memory devices (often called LUT-Look Up Table) implemented on a multiplexer whose data inputs are adjusted by constants. To configure a given logical function in RAM cells (SRAM), the corresponding truth table is loaded. When one of the  $2^n$  paths in the transistor tree is activated by variables, the value of the logic function is read from the corresponding RAM cell and transmitted to the OUT output. Variable inverters ensure the realization of all members of a perfect disjunctive normal form (PDNF).

The optimal in terms of speed and complexity of representing typical logic functions is the use of LUT in four variables (Fig. 1).

Such LUT for the input variables  $x_4, x_3, x_2, x_1$  (setting is for 16 bits) is described by the expression:

$$z_{OUT}(x_4x_3x_2x_1) = a\bar{x}_4\bar{x}_3\bar{x}_2\bar{x}_1 \vee b\bar{x}_4\bar{x}_3x_2\bar{x}_1 \vee \vee c\bar{x}_4\bar{x}_3x_2x_1 \vee d\bar{x}_4x_3\bar{x}_2\bar{x}_1 \vee e\bar{x}_4x_3x_2\bar{x}_1 \vee f\bar{x}_4x_3x_2x_1 \vee g\bar{x}_4x_3x_2x_1 \vee h\bar{x}_4x_3x_2x_1 \vee i\bar{x}_4x_3x_2x_1 \vee jx_4\bar{x}_3x_2\bar{x}_1 \vee kx_4\bar{x}_3x_2x_1 \vee lx_4x_3x_2\bar{x}_1 \vee mx_4x_3x_2x_1 \vee nx_4x_3x_2x_1 \vee ox_4x_3x_2x_1 \vee px_4x_3x_2x_1. \quad (1)$$

**STATING THE PROBLEM**

Given: adaptive logic modules FPGA Stratix III in seven variables.

The problems of decomposition of multi-bit LUT are not fully covered in the literature [3–4, 6–7].

It is required to assess the complexity and speed of the decomposition of a multi-bit LUT

in order to identify features of the construction of adaptive logic modules and the prospects for further increasing the bit capacity.

**LITERARY REVIEW**

Stratix III FPGAs have adaptive (ALM) logical blocks that are combined into logical blocks (Logic Array Block, LAB) [2, 3], which implement functions of even seven variables. The peculiarities of the implementation of such LUTs are of interest. The point is that due to the limitations of Meade and Conway on the number of consecutively connected transistors [5], the tree of transmitting transistors cannot contain more than four transistors in the chain. It is necessary to decompose the multi-bit LUT into LUTs of lesser length, that is, to construct a tree from the subtrees.

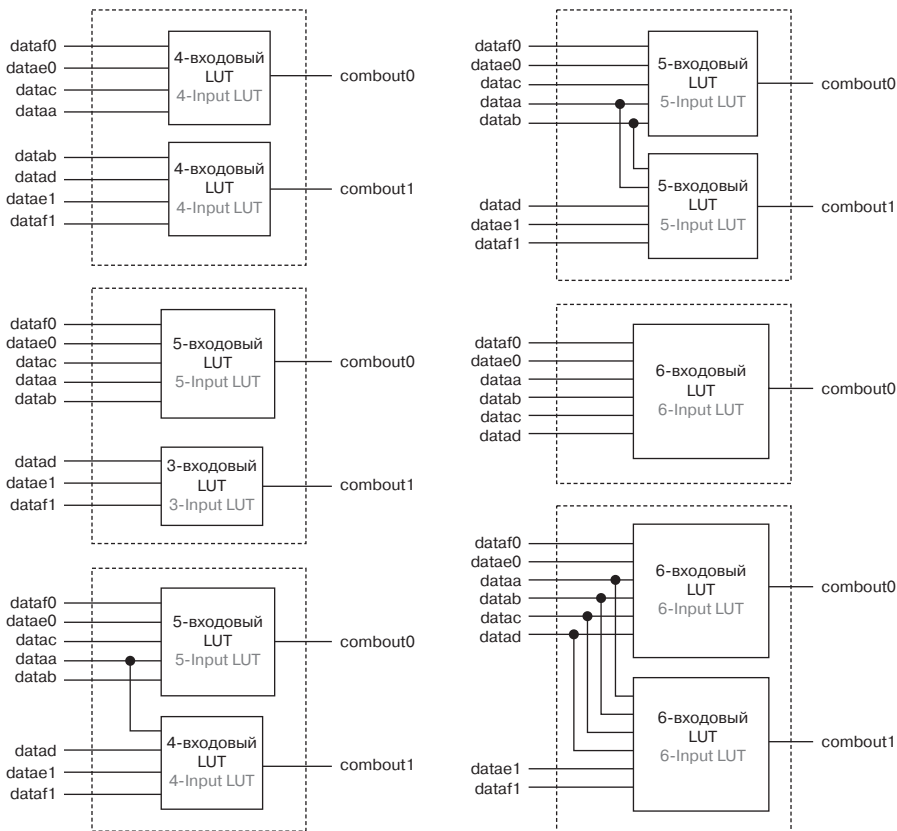


Рис. 4. Режимы использования адаптивных логических модулей  
Fig. 4. ALM in Normal Mode

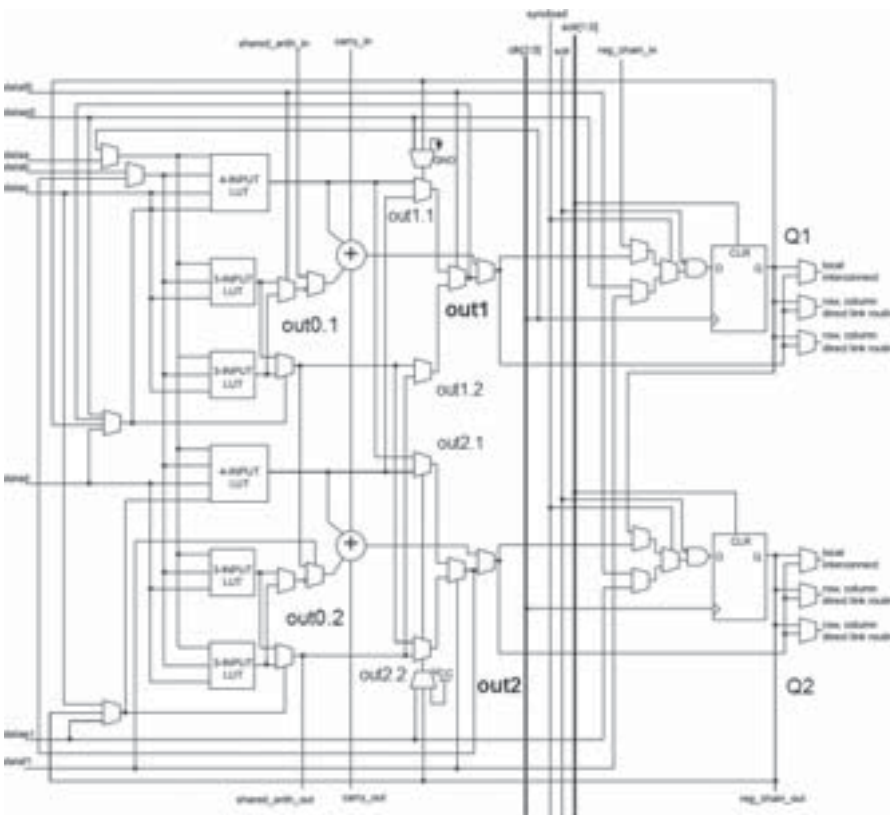


Рис. 5. Детализация архитектуры адаптивных логических модулей АЛМ с обозначенными функциями  
Fig. 5. Stratix III ALM Detailization

по быстродействию и эффективности (вероятно, речь идет об аппаратных затратах и площади кристалла) — рис. 2.

На рис. 2 указано восемь входов адаптивной LUT, что может создать впечатление о возможности реализации 8-LUT. Более подробная структура АЛМ0, АЛМ1, представленная на рис. 3, не вносит ясности в особенности реализации дерева 6-LUT.

Еще более запутывает информация, содержащаяся в презентации [9], где указано, что для реализации  $k$ -LUT необходимо  $2k$  бит SRAM и мультиплексор также  $2k:1$ . Это попросту невозможно! Различные режимы использования АЛМ не проясняют деталей (рис. 4).

Рассмотрим первоисточник — документацию на ПЛИС Stratix III [10], где приведена детализация АЛМ (рис. 5).

Таким образом, выясняется, что АЛМ построен не только на двух 4-LUT, но имеются еще четыре LUT на 3 переменных (3-LUT), то есть из двух 3-LUT можно получить один 4-LUT. Следовательно, всего четыре 4-LUT, и тогда становится понятно, как строится 6-LUT — двумя старшими переменными  $e, f$  выбирают один из четырех! На рис. 5 не указаны управляющие сигналы на ряде мультиплексоров, обозначенных трапециями (LUT 1–6 тоже являются мультиплексорами, но изображены с управляющими сигналами, настройка подразумевается).

## МЕТОДЫ

Пусть  $k$  — это размерность основного (базового) LUT ( $k \in \{1, 2, 3, 4\}$ ). Для 1-LUT в принципе до  $n = 4$  нет необходимости в выходном инверторе. Больше 4 по указанным ограничениям  $k$  в настоящий момент пока не практикуется.

Оценим сложность LUT без декомпозиции («идеальная» сложность, поскольку такое может быть только до  $n = 4$ , не более):

$$L_n = 2^n \cdot 8 + 2^{n+1} + 2n, \quad (2)$$

где  $2^n \cdot 8$  — количество элементов настройки (по каждому входу настройки необходимо шесть транзисторов SRAM и два транзистора для реализации инвертора на входе дерева передающих транзисторов);  $2^n$  — количество инверторов по  $n$  переменным;  $2^{n+1}$  — количество элементов дерева передающих транзисторов с выходным инвертором.

При декомпозиции  $n$ -дерева по  $k$  LUT,  $k \in \{1, 2, 3, 4\}$ ,  $n \geq k$ ,  $n \leq 8$ :

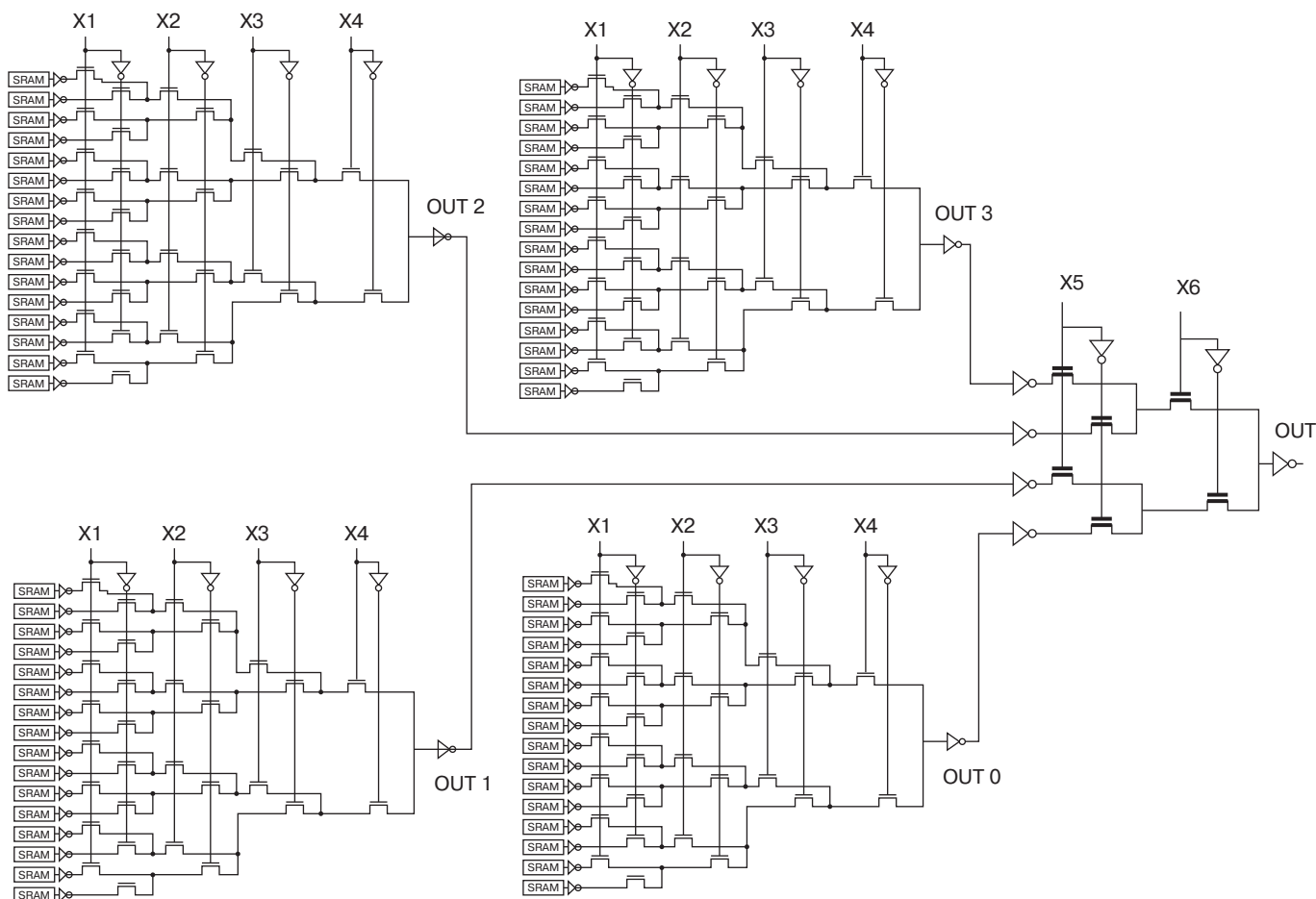


Рис. 6. 6-LUT, состоящий из четырех 4-LUT и одного 2-LUT  
 Fig. 6. 6-LUT consisting of four 4-LUTs and one 2-LUT

Stratix III FPGA is described in a sufficient number of sources [3, 4, 6, 7]. There are data on the possible production of such FPGAs at the Voronezh Plant of Semiconductor Devices (VZPP-Mikron), JSC KTTS “Electronics” [8]. The structure of such FPGAs includes the so-called logic array blocks containing adaptive logic modules ALM, which can be configured to implement combinational logic, including arithmetic operations, as well as for the implementation of automata with memory.

The ALM architecture is compatible with the architecture of the 4-input LUTs, and one ALM can also implement any functions up to six variables and certain functions of seven variables. It is noted that such architecture wins on speed and efficiency (probably, it is a question of hardware expenses and the area of a crystal) — see Fig. 2.

Fig. 2 indicates eight inputs of the adaptive LUT, which may give the impression of the possibility of implementing the 8-LUT. The more detailed structure of ALM0, ALM1,

shown in Fig. 3, does not clarify the particular implementation of the 6-LUT tree.

Even more confusing is the information contained in the presentation [9], where it is indicated that for the implementation of  $k$ -LUT,  $2k$  bits of SRAM and a multiplexer are also needed  $2k:1$ . But this is impossible! Different modes of using ALM do not clarify the details (Fig. 4).

Let’s consider the primary source — the documentation for Stratix III FPGA [10], where the details of ALM are given (Fig. 5).

Thus, it appears that ALM is built not only on two 4-LUTs, but there are four LUTs in 3 variables (3-LUT) that is from two 3-LUTs we can get one 4-LUT. Therefore, there are only four 4-LUTs, then it becomes clear how the 6-LUT is constructed — the two older variables  $e, f$  choose one of the four! Fig. 5 does not show control signals on a number of multiplexers designated by trapezoids (LUTs 1–6 are also multiplexers, but they are shown with control signals, the setting is implied).

**METHODS**

Let  $k$  be the dimension of the basic LUT ( $k \in \{1, 2, 3, 4\}$ ). In principle for 1-LUT up to  $n = 4$  there is no need for an output inverter. At the moment more than 4 for the indicated restrictions  $k$  is not practised.

Let’s estimate the complexity of LUT without decomposition (“ideal” complexity, since this can only be up to  $n = 4$ , no more):

$$L_n = 2^n \cdot 8 + 2^{n+1} + 2n, \tag{2}$$

where  $2^n \cdot 8$  is the number of tuning elements (six SRAM transistors and two transistors are needed for each input of the tuning to implement the inverter at the input of the transistor tree);  $2^n$  — the number of inverters in  $n$  variables;  $2^{n+1}$  — the number of elements of the tree of transmitting transistors with the output inverter.

When decomposing an  $n$ -tree with  $k$  LUT,  $k \in \{1, 2, 3, 4\}, n > k, n <= 8$ :

$$L_{n,k} = 2^n \cdot 8 + (2^{k+1} + 2k) \cdot 2^{n-k} + (2^{2^{n-k}+1} + 2^{n-k+1}) + 2n, \tag{3}$$



$$L_{n,k} = 2^n \cdot 8 + (2^{k+1} + 2k) \cdot 2^{n-k} + (2^{2^{n-k}+1} + 2^{n-k+1}) + 2n, \quad (3)$$

где  $2^{k+1}$  — сложность дерева  $k$  LUT;  $2k$  — число транзисторов в  $k$  инверторах, таких деревьев необходимо  $2^{n-k}$ , для соединения получаемых при декомпозиции  $2^{n-k}$  деревьев необходимы еще LUT на  $2^{n-k}$  входов (которые тоже можно декомпозировать), соответственно сложность  $2^{n-k+1} + 2 \cdot 2^{n-k} = 2^{n-k+2}$ , где  $2^{n-k+1}$  — сложность дерева с выходным инвертором,  $2 \cdot 2^{n-k} = 2^{n-k+1}$  — сложность входных инверторов. Временная задержка при декомпозиции оценивается длиной максимального пути в логическом элементе со входа на выход. При этом без декомпозиции — при «идеальном» варианте (рис. 2) получим:

$$T_n = n + 2. \quad (4)$$

Путь при декомпозиции в передающих транзисторах также оценивается величиной  $n$ , но за счет дополнительных инверторов на входе и выходе в цепочке LUT (рис. 5, 6) он будет больше:

$$T_{n,k} = n + 2 \left\lceil \frac{n}{k} \right\rceil. \quad (5)$$

## МОДЕЛИРОВАНИЕ

В процессе исследования получены и промоделированы схемы различных вариантов многоразрядного LUT ( $n > 4$ ). Пример синтеза 6-LUT из четырех 4-LUT и одного 2-LUT приведен на рис. 6.

На рис. 6 входы 2-LUT имеют инверторы, поэтому, поскольку число инверторов на пути сигнала четное, настройки записываются как обычно.

## РЕЗУЛЬТАТЫ

Ограничимся  $n = 8$ , поэтому предполагается, что дополнительный LUT «поместится» в требуемые параметры декомпозиции по  $k$  LUT,  $k \in \{1, 2, 3, 4\}$ . Используем систему компьютерной математики Mathcad. Графики сравнения сложности декомпозиции по выражению (3)  $n$  LUT по  $k$  представлены на рис. 7.

Результат ожидаемый — чем крупнее строительный блок, тем меньше затрат для реализации сложного LUT на 5, 6, 7 и 8 переменных. Графики изменения (5) при  $n = 5-8$  изображены на рис. 8.

Графики изменения (5) при  $n = 7-10$  изображены на рис. 9.

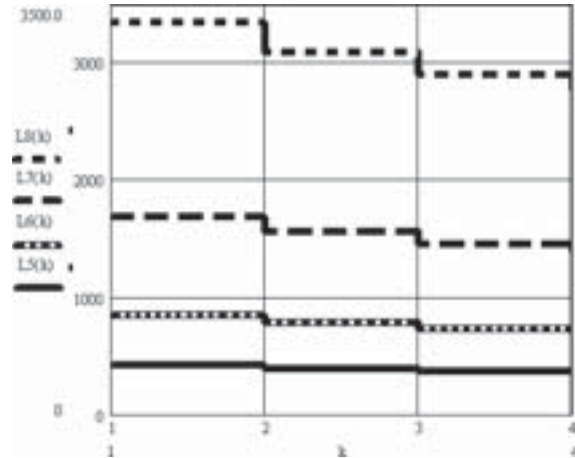


Рис. 7. Сравнение сложности декомпозиции  $n$  LUT по  $k$   
Fig. 7. Comparison of complexity of decomposition of  $n$  LUT by  $k$

## ОБСУЖДЕНИЕ

Таким образом, в адаптивных логических модулях ПЛИС Stratix III имеется два 4-LUT, как и указано в переводных статьях. Однако, фактически имеются еще два LUT на 3 переменных (3-LUT), из которых можно построить два дополнительных 4-LUT. Всего получается четыре 4-LUT. Тогда понятно, как из них строится и 5-LUT и 6-LUT. Не вызывает затруднений и вопрос получения двух 5-LUT. Следовательно, настройка должна содержать не менее 64 битов для задания любой функции шести переменных. Целесообразно в дальнейшем путем анализа настройки АЛМ получить логическую модель и проверить по ней соответствие заявленных возможностей АЛМ с изображенными в документации вариантами.

## ВЫВОДЫ

Анализ декомпозиции многоразрядных LUT показывает, что наиболее эффективным по сложности и быстродействию является

where  $2^{k+1}$  is the complexity of the tree  $k$  LUT;  $2^k$  is the number of transistors in  $k$  inverters,  $2^{n-k}$  trees is needed, more LUTs for  $2^{n-k}$  inputs (which can also be decomposed) are needed to connect the trees obtained with decomposition of  $2^{n-k}$  trees, respectively complexity  $2^{n-k+1} + 2 \cdot 2^{n-k} = 2^{n-k+2}$ , where  $2^{n-k+1}$  is the complexity of the tree with the output inverter,  $2 \cdot 2^{n-k} = 2^{n-k+1}$  — the complexity of input inverters. The time delay in the decomposition is estimated by the length of the maximum path in the logical element from the input to the output. At the same time, without decomposition — with the “ideal” version (Fig. 2) we get:

$$T_n = n + 2. \quad (4)$$

The path for decomposition in the transmitting transistors is also estimated by the value  $n$ , but due to additional inverters at the input and output in the LUT chain (Fig. 5, 6), it will be larger:

$$T_{n,k} = n + 2 \left\lceil \frac{n}{k} \right\rceil. \quad (5)$$

## MODELING

In the process of investigation, schemes of various variants of the multi-bit LUT ( $n > 4$ ) were obtained and modeled. Fig 6 demonstrates an example of the synthesis of a 6-LUT of four 4-LUTs and one 2-LUT.

In Fig. 6 2-LUT inputs have inverters, therefore, since the number of inverters on the signal path is even, the settings are recorded as usual.

## RESULTS

We restrict ourselves to  $n = 8$ , so it is assumed that the additional LUT will fit into the required decomposition parameters with  $k$  LUT,  $k \in \{1, 2, 3, 4\}$ . We use the Mathcad computer mathematics system. Fig. 7 shows the graphs for comparing the complexity of the decomposition of  $n$  LUT by  $k$  according to the expression (3).

The result is expected — the larger is the building block, the less is the cost for implementing a complex LUT for 5, 6, 7 and 8 variables. Fig. 8 shows the graphs of the change (5) for  $n = 5-8$ .

Fig. 9 shows the graphs of the change (5) for  $n = 7-10$ .

## DISCUSSION

Thus, in the adaptive logic modules of the Stratix III FPGA there are two 4-LUTs, as indicated in the translation articles. However, in fact there are two more LUTs in 3 variables (3-LUT), from which two additional 4-LUTs can be built. In total, four 4-LUTs are obtained. Then it is clear how 5-LUT and 6-LUT are built from them. There is no difficulty in obtaining two 5-LUTs. Therefore, the setting must contain at least 64 bits to specify any function of the six variables. It is advisable in the future by analyzing the ALM setup to obtain a logical model and check on it the compliance of the declared



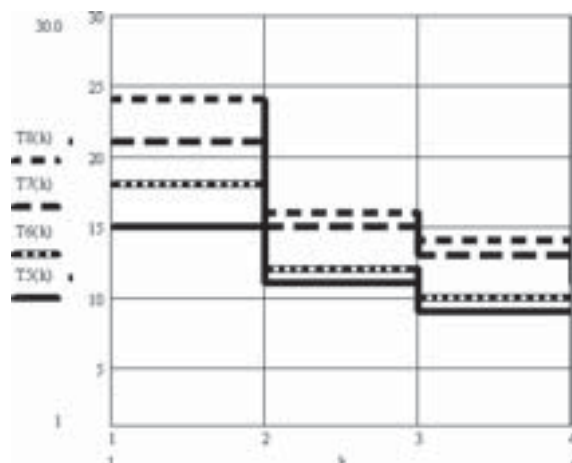


Рис. 8. Сравнение задержки LUT при декомпозиции для  $n = 5-8$  по  $k$   
Fig. 8. Comparison of the LUT delay with decomposition for  $n = 5-8$  by  $k$

использование в качестве «строительных блоков» 4-LUT, как указано в доступных источниках. Вызывает интерес построение LUT на базе так называемых 3D транзисторов [11–14], уже активно применяемых передовыми фирмами. Имеется информация о смягчении ограничения Мида и Конвей в таких технологиях. Кроме того, целесообразно в дальнейшем исследовать вопрос декомпозиции при введении в LUT средств обеспечения отказоустойчивости, предложенных в [15–20].

#### ЛИТЕРАТУРА

1. Строгонов А., Цыбин С. Программируемая коммутация ПЛИС: взгляд изнутри [Электронный ресурс]. URL: [http://www.kit-e.ru/articles/plis/2010\\_11\\_56.php](http://www.kit-e.ru/articles/plis/2010_11_56.php) (дата обращения: 16.05.2017).
2. Угрюмов Е. П. Цифровая схемотехника: учебное пособие / Е. П. Угрюмов. — СПб: БХВ-Петербург, 2004. — 518 с.
3. Золотуха Р., Комолов Д. Stratix III — новое семейство FPGA фирмы Altera [Электронный ресурс]. URL: [http://kit-e.ru/assets/files/pdf/2006\\_12\\_30.pdf](http://kit-e.ru/assets/files/pdf/2006_12_30.pdf) (дата обращения 27.06.2017).
4. Использование ресурсов ПЛИС Stratix III фирмы Altera при проектировании микропроцессорных ядер [Электронный ресурс]. URL: [http://www.kit-e.ru/articles/plis/2010\\_2\\_39.php](http://www.kit-e.ru/articles/plis/2010_2_39.php) (дата обращения: 20.05.2017).
5. Ульман Дж. Д. Вычислительные аспекты СБИС. Пер. с англ.: А. В. Неймана. Под ред. П. П. Пархоменко. — М.: Радио и связь, 1990. — 480 с.
6. Давыдов С. И. Проектирование функциональных блоков программируемой логической интегральной схемы, конфигурируемых с использованием метода сканирования пути [Электронный ресурс]. URL: <http://www.dslib.net/tverdoteln-elektronika/proektirovanie-funkcionalnyh-blokov-programmiruemoj-logicheskij-integralnoj.html> (дата обращения 15.06.2017).
7. Быстрицкий А. В. Проектирование структуры межсоединений программируемых логических интегральных схем. [Электронный ресурс]. URL: <http://www.dslib.net/tverdoteln-elektronika/proektirovanie-struktury-mezhsjoedinenij-programmiruemyh-logicheskikh-integralnyh.html> (дата обращения 24.06.2017).
8. Открытое акционерное общество «Конструкторско-технологический центр «Электроника» [Электронный ресурс]. URL: <http://www.edc-electronics.ru/upload/iblock/1cd/1cd2009ffa52599ff023b0843885fad6.pdf> (дата обращения: 23.06.2017).

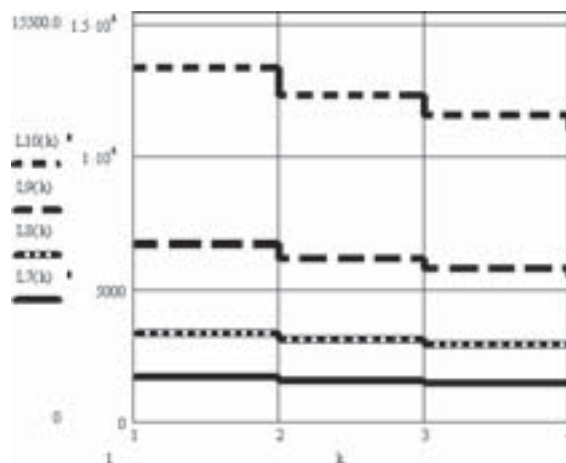


Рис. 9. Сравнение сложности декомпозиции  $n = 7-10$  по  $k$   
Fig. 9. Comparison of complexity of decomposition for  $n = 7-10$  by  $k$

9. Presentation on ALTERA'S FPGA Technology. [Электронный ресурс]. URL: <http://www.authorstream.com/Presentation/hsrathore158-1410279-fpga> (дата обращения: 29.05.2017).
10. Logic Array Blocks and Adaptive Logic Modules in Stratix III Devices [Электронный ресурс]. URL: [https://www.altera.com.cn/content/dam/altera-www/global/zh\\_CN/pdfs/literature/hb/stx3/stx3\\_siii51002.pdf](https://www.altera.com.cn/content/dam/altera-www/global/zh_CN/pdfs/literature/hb/stx3/stx3_siii51002.pdf) (дата обращения: 29.05.2017).
11. Платформа 22i. [Электронный ресурс]. URL: <http://www.achronix.ru/technology/22i-platform.html> (дата обращения: 12.06.2017).
12. Intel выпустила первые процессоры семейства Ivy Bridge. [Электронный ресурс]. URL: <http://www.cybersecurity.ru/pda/149408.htm?seccode=pda&ID=149408&last=> (дата обращения: 12.06.2017).
13. 3D-компьютерные чипы будут в тысячу раз производительней обычных. [Электронный ресурс]. URL: <http://gearmix.ru/archives/22528> (дата обращения: 12.06.2017).
14. TSMC представила маршруты проектирования 16-нм FinFET на основе ядер Cortex-A15. [Электронный ресурс]. URL: <http://www.3dnews.ru/762685> (дата обращения: 12.06.2017).
15. Тюрин С. Ф. Программируемое логическое устройство: патент РФ № 2544750; опубл. 20.03.2015, Бюл. № 8.
16. Тюрин С. Ф., Гордилов А. Ю., Вихорев Р. В. Программируемое логическое устройство: патент РФ № 2547229; опубл. 10.04.2015, Бюл. № 10.
17. Греков А. В., Успенко В. Б. Перспективные программируемые логические интегральные схемы FPGA фирмы Altera. «В мире научных открытий. Естественные и технические науки». — Красноярск: Научно-инновационный центр, 2014. — № 6.1(54). — С. 518–534. DOI: 10.12731/wsd-2014-6.1-13.
18. Tyurin S. F., Grekov A. V. *The Checked Logic Element ChLUT FPGA*. «In the World of Scientific Discoveries». — Krasnoyarsk: Publishing House Science and Innovation Center, 2014, 10 (58), pp. 223–231. DOI: 10.12731/wsd-2014-10-17.
19. Tyurin S. F., Grekov A. V. *Functionally Complete Tolerant Elements / International Journal of Applied Engineering Research* 10 (14): 34433–34442, 2015. ISSN 0973-4562. Research India Publications, 2015.
20. Tyurin S. F., Grekov A. V. *The Decoding of LUT FPGA Configuration of the Finite State Machine with Quartus II / International Journal of Applied Engineering Research* 11 (20): 10264–10266, 2016. ISSN 0973-4562. Research India Publications, 2016.



capabilities of ALM with the variants depicted in the documentation.

## CONCLUSION

Analysis of the decomposition of multi-bit LUTs has shown that the most effective in terms of complexity and speed is the use of 4-LUT as “building blocks”, as indicated in the available sources. It is interesting to build LUT on the basis of so-called 3D transistors [11–14], which are already actively used by leading companies. There is information about mitigating the limitations of Meade and Conway in such technologies. In addition, it is advisable to investigate the problem of decomposition when introducing the fault tolerance facilities proposed in [15–20] into the LUT.

## REFERENCES

1. Strogonov A., Tsybin S. *Programmiruemaya kommutatsiya PLIS: vzglyad iznutri* [Electronic resource]. URL: [http://www.kit-e.ru/articles/plis/2010\\_11\\_56.php](http://www.kit-e.ru/articles/plis/2010_11_56.php). (In Russian).
2. Ugryumov E. P. *Tsifrovaya skhemotekhnika: uchebnoe posobie* / E. P. Ugryumov. SPb: BKhV-Peterburg, 2004. 518 p. (In Russian).
3. Zolotukha R., Komolov D. *Stratix III — novoe semeistvo FPGA firmy Altera* [Electronic resource]. URL: [http://kit-e.ru/assets/files/pdf/2006\\_12\\_30.pdf](http://kit-e.ru/assets/files/pdf/2006_12_30.pdf). (In Russian).
4. *Ispol'zovanie resursov PLIS Stratix III firmy Altera pri proektirovanii mikroprotessornykh yader* [Electronic resource]. URL: [http://www.kit-e.ru/articles/plis/2010\\_2\\_39.php](http://www.kit-e.ru/articles/plis/2010_2_39.php). (In Russian).
5. Ul'man Dzh. D. *Vychislitel'nye aspekty SBIS*. Per. s angl.: A. V. Neimana. Pod red. P. P. Parkhomenko. M.: Radio i svyaz', 1990. 480 p. (In Russian).
6. Davydov S. I. *Proektirovanie funktsional'nykh blokov programmiruemoi logicheskoi integral'noi skhemy, konfiguriruemyykh s ispol'zovaniem metoda skanirovaniya puti* [Electronic resource]. URL: <http://www.dslib.net/tverdoteln-elektronika/proektirovanie-funktsionalnyh-blokov-programmiruemoj-logicheskoi-integralnoj.html>. (In Russian).
7. Bystritskii A. V. *Proektirovanie struktury mezhsosedinenii programmiruemykh logicheskikh integral'nykh skhem*. [Electronic resource]. URL: <http://www.dslib.net/tverdoteln-elektronika/proektirovanie-struktury-mezhsosedinenij-programmiruemykh-logicheskikh-integralnyh.html>. (In Russian).
8. Otkrytoe aktsionernoe obshchestvo “Konstruktorsko-tehnologicheskii tsentr “Elektronika” [Electronic resource]. URL: <http://www.edc-electronics.ru/upload/iblock/1cd/1cd2009ffa52599ff023b0843885fad6.pdf>. (In Russian).
9. Presentation on ALTERA's FPGA Technology. [Electronic resource]. — Access mode: <http://www.authorstream.com/Presentation/hsrathore158-1410279-fpga/>.
10. Logic Array Blocks and Adaptive Logic Modules in Stratix III Devices [Electronic resource]. — Access mode: [https://www.altera.com.cn/content/dam/altera-www/global/zh\\_CN/pdfs/literature/hb/stx3/stx3\\_siii51002.pdf](https://www.altera.com.cn/content/dam/altera-www/global/zh_CN/pdfs/literature/hb/stx3/stx3_siii51002.pdf).
11. Platforma 22i. [Electronic resource]. URL: <http://www.achronix.ru/technology/22i-platform.html>. (In Russian).
12. Intel vypustila pervye protsessory semeistva Ivy Bridge. [Electronic resource]. URL: <http://www.cybersecurity.ru/pda/149408.html?seccode=pda&ID=149408&last=>. (In Russian).
13. *3D-komp'yuternye chipy budut v tysyachu raz proizvoditel'nei obychnyykh*. [Electronic resource]. URL: <http://gearmix.ru/archives/22528>. (In Russian).
14. *TSMC predstavila marshruty proektirovaniya 16-nm FinFET na osnove yader Cortex-A15*. [Electronic resource]. URL: <http://www.3dnews.ru/762685>. (In Russian).
15. Tyurin S. F. *Programmiruemoje logicheskoe ustroystvo: patent RF № 2544750*; opubl. 20.03.2015, Byul. № 8. (In Russian).
16. Tyurin S. F., Gorodilov A. Yu., Vikhorev R. V. *Programmiruemoje logicheskoe ustroystvo: patent RF № 2547229*; opubl. 10.04.2015, Byul. № 10. (In Russian).
17. Grekov A. V., Uspalenko V. B. *Perspektivnye programmiruemye logicheskije integral'nye skhemy FPGA firmy Altera. “V mire nauchnykh otkrytii. Estestvennye i tekhnicheskie nauki”*. — Krasnoyarsk: Nauchno-innovatsionnyi tsentr, 2014. № 6.1(54). P. 518–534. DOI: 10.12731/wsd-2014-6.1-13. (In Russian).
18. Tyurin S. F., Grekov A. V. *The Checked Logic Element ChLUT FPGA*. “In the World of Scientific Discoveries”. — Krasnoyarsk: Publishing House Science and Innovation Center, 2014, 10 (58). PP. 223–231. DOI: 10.12731/wsd-2014-10-17.
19. Tyurin S. F., Grekov A. V. *Functionally Complete Tolerant Elements* / International Journal of Applied Engineering Research 10 (14): 34433–34442, 2015. ISSN 0973-4562. Research India Publications, 2015.
20. Tyurin S. F., Grekov A. V. *The Decoding of LUT FPGA Configuration of the Finite State Machine with Quartus II* / International Journal of Applied Engineering Research 11 (20): 10264–10266, 2016. ISSN 0973-4562. Research India Publications, 2016.



**ТЕХНОСФЕРА**  
РЕКЛАМНО-ИЗДАТЕЛЬСКИЙ ЦЕНТР

ЭЛЕКТРОНИКА  
НАУКА  
ТЕХНОЛОГИИ  
БИЗНЕС

НАНОИНДУСТРИЯ  
НАУКА  
ТЕХНИЧЕСКИЙ КИТАЙ

ФОТОНИКА

ПЕРВАЯ  
МИЛЯ

Аналитика  
НАУКА  
ТЕХНИЧЕСКИЙ КИТАЙ

СТАНКОИНСТРУМЕНТ  
НАУКА  
ПРОЕКТИРОВАНИЕ  
ПРОИЗВОДСТВО