



РЕАЛИЗАЦИЯ ПОЛИНОМИАЛЬНОГО ИНТЕРПОЛЯТОРА В МИКРОСХЕМЕ ДЛЯ ДАТЧИКА ПОЛОЖЕНИЯ

IMPLEMENTING POLYNOMIAL INTERPOLATION BLOCK IN MICROCIRCUIT FOR POSITION SENSOR

УДК 621.3.049.77 / 519.65

КОРОЛЁВ АНДРЕЙ ИГОРЕВИЧ

korolev_ai@mail.ru

KOROLEV ANDREY I.

korolev_ai@mail.ru

ЖИРКОВ ВЛАДИСЛАВ ФЁДОРОВИЧ

jirkovvf@mail.ru

JIRKOV VLADISLAV F.

jirkovvf@mail.ru

БОЛЬШАКОВ КИРИЛЛ НИКОЛАЕВИЧ

bolshakov@idm-plus.ru

BOLSHAKOV KIRILL N.

bolshakov@idm-plus.ru

БЕНЕВОЛЕНСКИЙ ДМИТРИЙ ВИКТОРОВИЧ

benevolensky@idm-plus.ru

BENEVOLENSKIY DMITRIY V.

benevolensky@idm-plus.ru

*АО «Зеленоградский нанотехнологический центр»
г. Зеленоград*

*JSC “Zelenograd Nanotechnology Center”
Zelenograd*

В статье описаны особенности реализации специализированного алгоритма полиномиальной интерполяции для использования в микросхеме прецизионного датчика положения. Рассмотрены структурные схемы, организация вычислений основных блоков. Приведены основные параметры и достигнутые результаты реализации в технологическом базисе X-Fab XH018 (180 нм).

Ключевые слова: интерполяция; полиномы; высокоточная аппроксимация; микросхема для датчика положения; цифровая обработка сигналов; Верилог; Матлаб.

This paper features peculiarities of implementation of special-purpose polynomial algorithm used for interpolation in microcircuit of precise position sensor. Block diagrams and calculation variants for main blocks have been considered. Main parameters and obtained results of implementation in X-Fab XH018 technological basis (180nm) have been provided.

Keywords: interpolation; polynomials; high-precision approximation; microcircuit for position sensor; digital signal processing; Verilog; MATLAB.

ВВЕДЕНИЕ

Интерполяция — одна из типовых подзадач, решаемых в современных микросхемах для датчиков положения. Спецификой подобных микросхем является узкая, ограниченная полоса входного сигнала и высокие требования к точности интерполяции.

ЦЕЛИ И ЗАДАЧИ

Для сокращения площади реализации, обеспечения работы интерполятора в нескольких режимах, а главное для достижения высокой точности восстановления сигнала использовался разработанный метод интерполяции полиномами [1, 2].

Реализация интерполятора выполнена в виде Verilog-описания и синтеза блока в специализированной САПР.

Техническим заданием были определены следующие основные требования к блоку интерполяции:

- нормированная полоса входного сигнала от 0 до 1/8;
- изменяемый коэффициент интерполяции: 4, 8, 16, 32, 64, 128, 256, 512, 1024, 2048;
- эффективная разрядность выходных данных $ENOB = 9,16$ бит.

Целевым базисом разрабатываемой микросхемы датчика положения является технология изготовления интегральных схем с проектными нормами 180 нм XH018 фирмы X-Fab [3]. Основными

критериями эффективности реализации является занимаемая площадь и максимально достижимая тактовая частота. Тем не менее, Verilog-описание интерполятора было сделано универсальным, пригодным для синтеза по другим технологиям.

РАЗРАБОТКА ИНТЕРПОЛЯТОРА

На этапе проработки параметров алгоритма интерполяции выполнены следующие операции:

1) выбрана степень интерполяционного полинома равная 9, рассчитана матрица константных («M97b») и масштабирующих коэффициентов («B_coef»);

2) оценена и уточнена на целочисленной модели разрядность коэффициентов (20 и 16 бит соответственно) и внутренних регистров (33 бита).

Для каждого поступившего входного отсчета интерполятор выполняет следующие действия:

1) организация хранения и выбора данных на интервале сегмента (10 отсчетов);

2) вычисление коэффициентов аппроксимирующего полинома;

3) вычисление по схеме Горнера внутренних точек срединного сегмента.



Алгоритм использует простые целочисленные операции: сдвиг, сложение, вычитание и умножение. Возможность базиса выполнять умножение чисел с определенными разрядностями за один такт позволила организовать эффективную последовательно-параллельную обработку.

В реализуемом алгоритме полиномиальной интерполяции предусмотрена возможность сокращенного расчета аппроксимирующих коэффициентов. При этом младшие значения коэффициентов аппроксимирующего полинома не вычисляются, а заменяются нулевыми. Это уменьшает количество вычислений, за счет снижения точности интерполяции. Данный режим сокращенных вычислений в разной степени реализован для коэффициентов интерполяции 4 и 8.

Использование режима сокращенных вычислений позволило сохранить технологичность, универсальность реализации интерполятора, не увеличивая площадь блока.

Расчет коэффициентов аппроксимирующего полинома использует 2 операции умножения матриц. Одним из операндов в обоих случаях являются матрицы констант (рис. 1).

Блок расчета промежуточных коэффициентов «А» (рис. 1а) представляет собой операцию матричного умножения строки (значений сегмента данных) на матрицу константных коэффициентов «M97b». Значениями сегмента данных являются входные данные (DI), сохраненные в регистровой сдвиговой памяти («SR_RAM»). Операция матричного умножения реализуется последовательно на блоке умножения с накоплением («MAC»).

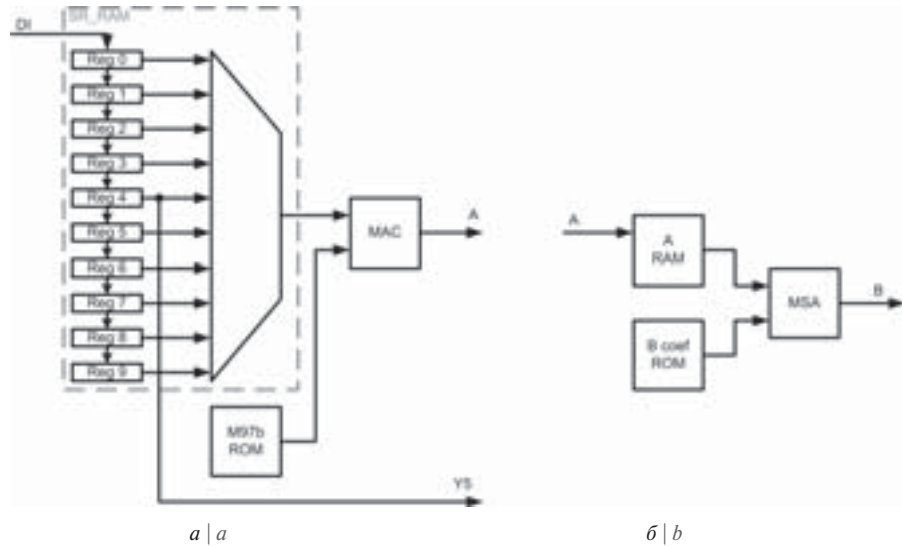


Рис. 1. Структурные схемы подблоков расчета аппроксимирующих коэффициентов
Fig. 1. Block diagrams of computational procedure used for approximating coefficients

Кроме того, данная регистровая память используется и как элемент согласованной задержки для получения опорного (центрального) значения восстанавливаемого сегмента (Y5).

Блок расчета коэффициентов аппроксимирующего полинома «B» (рис. 1б) выполняет операцию матричного умножения строки промежуточных коэффициентов «А» на столбец масштабирующих коэффициентов. Данная операция также использует последовательную схему вычисления на 1-м умножителе. Для снижения требований к разрядности масштабирующих коэффициентов, регистров умножителя и аккумулятора результаты умножения сдвигаются на алгоритмически определенные фиксированные значения. Данный вычислительный блок умножения-сдвига-накопления обозначен на схеме «MSA» (Multiplication-Shift-Accumulation).

INTRODUCTION

Interpolation is one of the typical subtasks which are being solved in modern microcircuits for position sensors. Such microcircuits are characterized by a narrow, restricted band of input signal and strict requirements for interpolation accuracy.

GOALS AND TASKS

The developed technique for interpolation using polynomials is designed to reduce occupied area and to provide operation of the interpolation block in several modes, but mainly — to provide high accuracy of signal retrieval [1, 2].

The Implementation of the interpolation block is provided in the form of Verilog-description and block synthesis using specialized CAD.

The requirements for the interpolation block were defined by the following specification:

- normalized bandwidth of input signal from 0 to 1/8;
- variable interpolation coefficient: 4, 8, 16, 32, 64, 128, 256, 512, 1024, 2048;
- output data efficient number of bits (ENOB) = 9.16 bit.

The target basis of the developed position sensor microcircuit is XH018 microcircuits manufacturing technology with 180nm minimal element size developed by X-Fab [3]. The main criterions for the implementation efficiency are occupied area and maximum achievable clock frequency. Nevertheless, Verilog-description of the interpolation block has been developed as universal, applicable for synthesis by different technologies.

INTERPOLATION BLOCK DEVELOPMENT

At the stage of interpolation algorithms development, the following operations were performed:

1) the order of interpolation polynomial equal to 9 was selected, and matrix of constant (“M97b”) and scaling coefficients (B_coef) were calculated;

2) coefficients bits number using integer model (20 and 16 bit respectively) as well as internal registers (33 bit) was estimated and specified.

For each in-coming reading the interpolation block performs the following actions:

1) organizing storage and data sampling at segment interval (10 readings);

2) calculating approximating polynomial coefficients;

3) calculating internal points of middle segment using Horner’s scheme.

This algorithm utilizes simple integer operations, such as: shift, summation, subtraction and multiplication. Due to the capacity of this basis to conduct in one clock period multiplication of numbers with definite digits, efficient serial-parallel processing was implemented.

Основной блок вычислений представляет собой набор управляемых регистров промежуточной фиксации коэффициентов полинома («B1», «B7»), блок актуализации коэффициентов полинома и выходной регистр-аккумулятор на основе опорного значения (рис. 2).

Блок актуализации коэффициентов полинома — единственный, использующий параллельные вычисления. За счет того, что в нем применяются только операции сложения и сдвига, компонент занимает небольшую площадь (40 % общей площади) микросхемы.

РЕЗУЛЬТАТЫ

В результате работы была разработана архитектура и схемная реализация предложенного алгоритма, разработано синтезируемое в базисе заказных интегральных схем Verilog-описание блока полиномиальной интерполяции. Набор проведенных тестов установил полное соответствие в функционировании аппаратного описания и целочисленной Матлаб-модели для всех режимов (коэффициентов интерполяции). Таким образом, для блока достигнуты следующие функциональные характеристики:

Достигнутые функциональные характеристики в основном удовлетворяют требованиям, предъявляемым к схемам обработки сигналов для датчиков положения с разрешением не хуже 16 бит и высоким быстродействием [4].

По результатам работы программы синтеза площадь реализации блока составляет 203681 мкм², блок успешно работает на тактовой частоте в 32 МГц. Кроме того, был проведен синтез данного

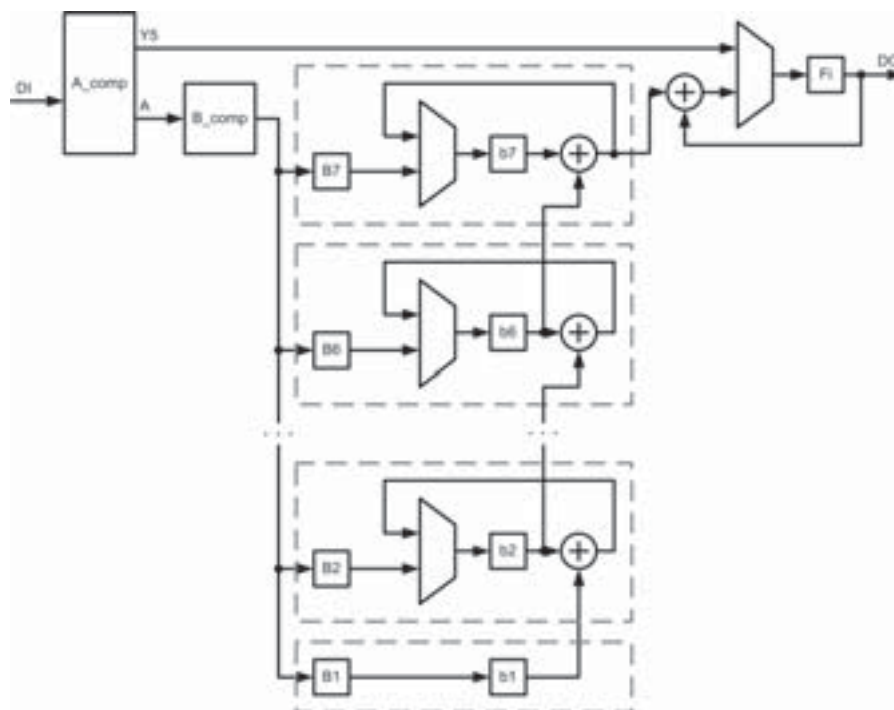


Рис. 2. Структурная схема основного блока интерполяции

Fig. 2. Block diagram of the main interpolation block

полиномиального интерполятора на цифровой библиотеке LPLIB по технологии 180 нм HCMOS8D ПАО «Микрон», оценивший площадь в 266997 мкм².

Авторы считают, что в данной работе новыми являются следующие положения и результаты:

- 1) достигнуты высокие характеристики интерполяции узкополосного сигнала;
- 2) подтверждена возможность эффективной реализации полиномиальной интерполяции.

The implemented polynomial interpolation algorithm enables one to perform abridged calculation of approximating coefficients. In this case low value coefficients of approximating polynomial computation are not performed, but instead are substituted by zeros. This reduces the amount of calculations at the cost of interpolation accuracy reduction. This mode of reduced computations was implemented in different degrees for 4 and 8 interpolation coefficients.

The reduced computations mode made it possible to maintain processability and versatility of the interpolation block implementation without increasing the area occupied by it.

To calculate approximating polynomial coefficients two multiplications of matrices are used. One of the operands in both cases is matrix of constants (Fig. 1).

Computation of intermediate coefficients “A” (Fig. 1a) consists of matrix row

multiplication (values of data segment) by matrix of constant coefficients “M97b”. Values of data segment are input data (DI) stored in shift register RAM (“SR_RAM”). Matrix multiplications are carried out sequentially by operations of multiplications with accumulation (“MAC”).

This register memory is also used as element of matched delay for obtaining reference (central) value of retrieved segment (Y5).

Computation of approximating polynomial “B” (Fig. 1b) coefficients is performed by matrix multiplication of intermediate coefficients row “A” by scaling coefficients column. This operation also uses sequential computations by the first multiplier. To reduce requirements strictness for digits number of scaling coefficients, registers of multiplier and accumulator, multiplication results are shifted by algorithmically determined fixed values. This computational block of multiplication-shift-accumulation operations is designated

on the diagram as “MSA” (Multiplication-Shift-Accumulation).

The main computational block consists of a set of control registers for intermediate fixation of polynomial coefficients (“B1”, “B7”); a block of polynomial coefficients actualization and an output register-accumulator based on reference value (Fig. 2).

The block of polynomial coefficients actualization is the only one that uses parallel computing. As it uses only summation and shift operations, it occupies a small area of microcircuit (40 % of total area).

RESULTS

The research resulted in the development of architecture and hard-wired design of proposed algorithm, as well as Verilog-description of polynomial interpolation block, synthesised in the basis of custom integrated circuits. A number of performed tests revealed complete compliance between hardware description and



Таблица 1. Достигнутые функциональные характеристики блока полиномиальной интерполяции

Table 1. Attained functional characteristics of polynomial interpolation block

Коэффициент интерполяции Interpolation coefficient	Характеристики исключительно блока полиномиальной интерполяции Characteristics of polynomial interpolation block (exclusively)	
	Максимальная относительная ошибка Maximum relative error	Эффективная разрядность (ENOB), бит Effective number of bits (ENOB), bit
4*	0,00099945	8,6367
8*	0,00002289	16,3722
16	0,00002289	16,6791
32	0,00002289	16,6879
64	0,00002289	15,9634
128	0,00003815	16,4600
256	0,00003052	16,5605
512	0,00004578	16,6106
1024	0,00008392	16,6202
2048	0,00016785	16,5905

* для данных режимов используется режим сокращенных вычислений.

* all these modes use abridged computations.

integer MATLAB model for all the modes (interpolation coefficients). So we may resume that the following characteristics were attained for this block:

Attained functional characteristics generally comply with requirements for signal processing circuits used for position sensor with resolution of at least 16 bits and with high operation speed [4].

According to the synthesis program results, the area occupied by the implementation block makes 203681 micron²; this block successfully operates at clock frequency of 32MHz. In addition, the synthesis of this polynomial interpolation block was performed at digital library LPLIB using 180nm HCMOS8D technology developed by “Micron”, and according to the synthesis results the area occupied by this block makes 266997 micron².

The authors consider the following provisions and results of the research as novel:

1) high performance characteristics of narrow band signal interpolation have been attained;

2) capability of efficient implementation of polynomial interpolation block has been confirmed.

CONCLUSION

The capability of obtaining such characteristics for the interpolation block was conditioned by consistent iterative work carried out simultaneously both for algorithm development and hardware implementation.

Polynomial interpolation was successfully implemented in the basis of custom microcircuits. At the same time, the following problems were solved: the appraisal of the very capability, the route of its implementation, estimation of attained characteristics and occupied area and, most important, the direct implementation of high-precision interpolation block.

This work was carried out with financial support provided by the Ministry of Education and Science of the Russian Federation within the project № 03.G25.31.0223.

ЗАКЛЮЧЕНИЕ

Возможность достижения таких характеристик блока получена благодаря согласованной итерационной работе одновременно как над алгоритмом, так и над реализацией.

Полиномиальная интерполяция успешно реализована в базе заказных микросхем. При этом решены следующие задачи: апробация самой возможности, маршрута реализации, оценка достигнутых характеристик и занимаемой площади, а главное — непосредственно получение блока высокоточной интерполяции.

Работа выполняется при финансовой поддержке Минобрнауки России в рамках проекта № 03.G25.31.0223.

ЛИТЕРАТУРА

1. Жирков В. Ф., Сушкова Л. Т., Королев А. И., Большаков К. Н., Обеднин А. А., Прокофьев Г. В. Полиномиальная интерполяция в цифровой обработке сигналов при высоких требованиях к точности. Журнал радиоэлектроники [электронный журнал]. 2017. № 4. <http://jre.cplire.ru/jre/apr17/5/text.pdf>.
2. Интерполяция функций интерполяционными полиномами. // [Электронный ресурс]. URL: <http://matlab.exponenta.ru/spline/index.php>.
3. Прокофьев Г. В., Стахин В. Г., Обеднин А. А. Современные отечественные специализированные микросхемы для датчиков положения. Известия ЮФУ. Технические науки № 3, 2015. — С. 200—211.
4. Прокофьев Г. В., Большаков К. Н., Стахин В. Г. «Интегральный процессор положения для прецизионных систем управления перемещением подвижных узлов и механизмов». Компоненты и технологии, № 7, 2016. — С. 81—85.

REFERENCES

1. Zhirkov V. F., Sushkova L. T., Korolev A. I., Bol'shakov K. N., Obednin A. A., Prokof'ev G. V. *Polinomial'naya interpolyatsiya v tsifrovoi obrabotke signalov pri vysokikh trebovaniyakh k tochnosti*. Zhurnal radioelektroniki [Electronic magazine]. 2017. № 4. <http://jre.cplire.ru/jre/apr17/5/text.pdf>. (In Russian).
2. *Interpolyatsiya funktsii interpolyatsionnymi polinomami*. // [Electronic resource]. URL: <http://matlab.exponenta.ru/spline/index.php>. (In Russian).
3. Prokof'ev G. V., Stakhin V. G., Obednin A. A. *Sovremennyye otechestvennyye spetsializirovannyye mikroskhemyy dlya datchikov polozheniya*. Izvestiya YuFU. Tekhnicheskyye nauki № 3, 2015. P. 200—211. (In Russian).
4. Prokof'ev G. V., Bol'shakov K. N., Stakhin V. G. *Integral'nyy protsessor polozheniya dlya pretsizionnykh sistem upravleniya peremeshcheniem podvizhnykh uzlov i mekhanizmov*. Komponenty i tekhnologii, № 7, 2016. P. 81—85. (In Russian).