



МЕТОД ФОРМИРОВАНИЯ ДИЭЛЕКТРИЧЕСКОЙ ИЗОЛЯЦИИ FINFET

METHOD FOR FORMING DIELECTRIC ISOLATED FINFET

УДК 621.328.323

НАГНОЙНЫЙ ВЛАДИМИР АЛЕКСАНДРОВИЧ^{1,2}
vnagnoynny@mikron.ru

NAGNOYNY V. A.^{1,2}
vnagnoynny@mikron.ru

БАРАНОВ ГЛЕБ ВЛАДИМИРОВИЧ^{1,2}
gbaranov@mikron.ru

BARANOV GLEB V.^{1,2}
gbaranov@mikron.ru

¹ Московский физико-технический институт
(государственный университет)
141700, Россия, г. Долгопрудный, Институтский пер., 9
² АО «НИИМЭ»
124460, г. Москва, г. Зеленоград,
1-й Западный проезд, 12, стр. 1
Тел.: +7 (495) 229-14-17

¹ Moscow Institute of Physics and Technology
(State University)
9 Institutski Lane, Dolgoprudny, Moscow Region, 141700, Russia
² Molecular Electronics Research Institute JSC
12/1 1st Zapadny Lane, Zelenograd,
Moscow, 124460, Russia
Tel.: +7 (495) 229-14-17

Представлен оригинальный метод формирования диэлектрической изоляции FinFET, заключающийся в формировании локальной захороненной диэлектрической области в основании тела транзистора. Предложено технологическое решение реализации данного метода, совместимое с технологией производства КМОП СБИС, и представлены экспериментальные результаты отработки технологических процессов.

Ключевые слова: изоляция FinFET; локальная изоляция; ток утечки смыкания ОПЗ.

An original method of forming the dielectric insulation of FinFET has been presented. It consists in the formation of a local buried dielectric region at the base of the transistor body. A technological solution for the implementation of this method compatible with the CMOS VLSI production technology has been proposed, and experimental results of technological processes have been presented.

Keywords: isolation FinFET; local isolation; punch-through leakage current.

В настоящее время активно исследуется электронная компонентная база на основе FinFET. Интерес к таким устройствам обусловлен в первую очередь возможностью масштабирования ЭКБ на их основе ниже проектных норм 28 нм [1]. Одним из основных требований при разработке современных высокопроизводительных ИС на основе FinFET является минимизация энергопотребления. Задача динамического энергопотребления преимущественно решается схемотехнически путем разделения ИС на сектора (ядра) и оптимизацией режима их активности [2]. Статическое энергопотребление современных ИС, сравнимое по порядку величины с динамическим, определяется конструкцией транзистора. Основная составляющая статического энергопотребления FinFET связана с протеканием тока утечки смыкания ОПЗ стока и истока в объеме подложки [3]. На сегодняшний день существует два основных метода компенсации данного типа тока утечки. Первый метод заключается в применении КНИ-пластин, что

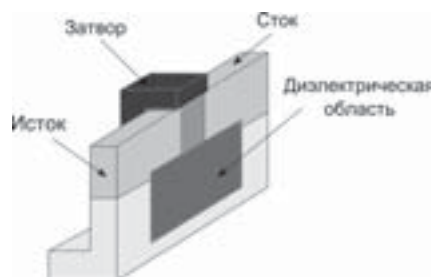


Рис. 1. Схематичный вид в разрезе конструкции FinFET с локальной захороненной диэлектрической изоляционной областью

позволяет изолировать активную область FinFET от области протекания тока утечки в подложке за счет слоя захороненного диэлектрика. Второй метод состоит в формировании локальной высоколегированной области

на пути смыкания ОПЗ стока и истока. Оба метода позволяют снизить статический ток утечки FinFET на порядок величины, однако каждый из них имеет ряд неустраняемых недостатков. К недостаткам первого метода относятся высокая стоимость КНИ-пластин и проблема отвода тепла через подложку, а второго — сильное усложнение маршрута изготовления КМОП СБИС.

В данной работе представлен оригинальный подход к формированию диэлектрической изоляции FinFET на объемном Si. Конструкция прибора в этом случае включает локальную захороненную диэлектрическую область (рис. 1) и сочетает в себе основные достоинства вышеуказанных традиционно используемых методов. Кроме того, предлагается технологическое решение формирования данного типа изоляции в конструкции FinFET при изготовлении КМОП СБИС и представлены экспериментальные результаты этапа отработки технологических процессов.

ЛИТЕРАТУРА

1. Баранов Г. В., Итальянцев А. Г., Красников Г. Я. Физические особенности и конструкции низкоразмерных транзисторных структур // Международная конференция «Микроэлектроника-2015». — 2015. — С. 267–268.
2. Esmailzadeh H. et al. Dark Silicon and the End of Multicore Scaling // ACM SIGARCH Computer Architecture News. — ACM, 2011. Т. 39. № 3. Р. 365–376.
3. Zhang K. K., Liu Y. F., Zhu H. L., Zhao C., Ye T. C. and Yin H. Z. Doping Profile Optimisation in Bulk FinFET Channel and Source/Drain Extension Regions for Low Off-state Leakage. Int. J. Nanotechnol.