



БЛОК ЦИФРОВОЙ КОРРЕКЦИИ ДЛЯ ВЫСОКОПРОИЗВОДИТЕЛЬНОГО АНАЛОГО-ЦИФРОВОГО ПРЕОБРАЗОВАТЕЛЯ

A BLOCK OF DIGITAL CORRECTION FOR A HIGH PERFORMANCE ANALOG-TO-DIGITAL CONVERTER

УДК 621.3.087.92

РЫЧКОВ АРТЕМ ИГОРЕВИЧ

Проект-инженер

rychkov@mri-progress.ru

УМУРЗАКОВ ФАИЛЬ АЗАМАТОВИЧ

Дизайнер СБИС

umurzakov@mri-progress.ru

АО «НИИМА «Прогресс»

125183, г. Москва, проезд Черепановых, 54

RYCHKOV ARTYOM I.

Project engineer

rychkov@mri-progress.ru

UMURZAKOV FAIHL A.

VLSI designer

umurzakov@mri-progress.ru

JSC "PROGRESS MRI"

54 Cherepanovikh Lane, Moscow 125183, Russia

В статье рассмотрена реализация блока цифровой коррекции для высокопроизводительного аналого-цифрового преобразователя с рабочей частотой свыше 100 МГц. Описывается общая архитектура блока цифровой коррекции. Приводятся сравнительные характеристики АЦП с цифровой коррекцией, оперирующей числами с плавающей запятой и с фиксированной запятой.

Ключевые слова: аналого-цифровой преобразователь; АЦП; высокоточный; конвейерный; блок цифровой коррекции; вычисления с плавающей запятой и фиксированной запятой.

This paper aims at examining the implementation of a digital correction block for a high performance analogue-to-digital converter with operating frequency over 100MHz. It highlights the general architecture of the digital correction block, as well as comparative characteristics of ADC with the digital correction block operating with floating and fixed point numbers.

Keywords: analogue-to-digital converter; ADC; high precision; pipelined; digital correction block; floating point and fixed point computations.

В последнее время все быстрее развиваются электронные системы, аналого-цифровые преобразователи следуют за данной тенденцией. Рост производительности цифровых блоков требует повышения производительности аналого-цифровых интегральных схем, с повышением производительности все острее становится проблема с погрешностями проведения преобразования. Цифровой блок коррекции требуется для компенсации погрешностей преобразования, которые ухудшают линейность передаточной характеристики и приводят к невозможности выполнить аналого-цифровое преобразование с точностью больше 12 разрядов. В статье рассмотрена разработка блока цифровой коррекции для двухканального высокоточного АЦП с рабочей частотой свыше 100 МГц.

Основные источники погрешностей:

- напряжение смещения компаратора и отклонения опорных напряжений (главная причина);
- напряжение смещения ОУ;
- конечность усиления по постоянному току ОУ;
- конечность полосы усиления ОУ;

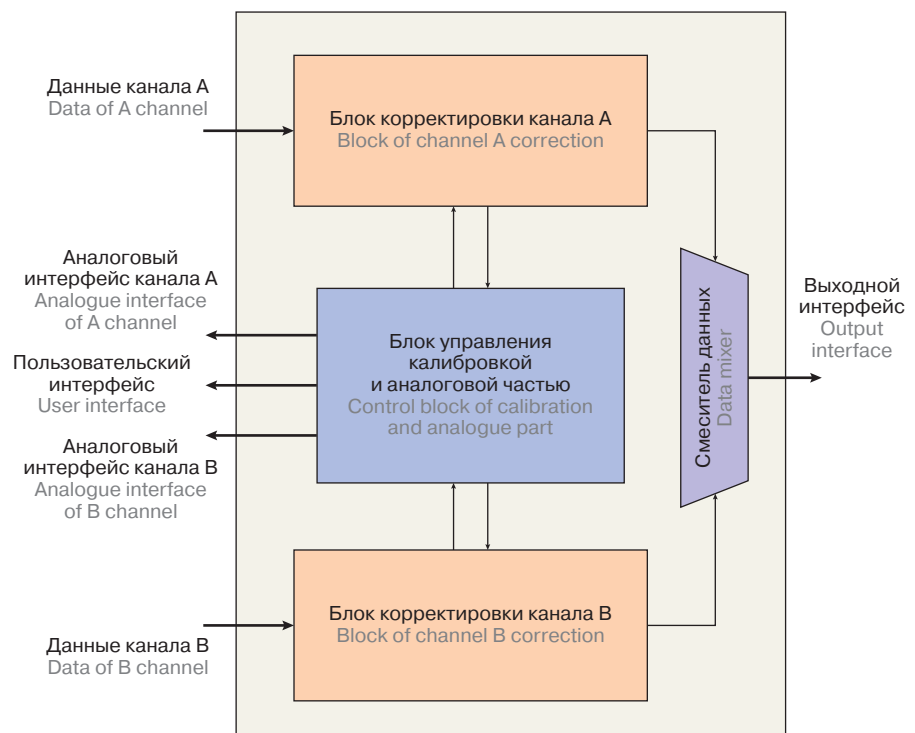


Рис. 1. Общая структура блока калибровки

Fig. 1. General structure of calibration block

- разброс величин емкостей конденсаторов ЦАП.

Для компенсации погрешностей преобразования в составе АЦП реализован блок цифровой коррекции. В первую очередь разработанный блок нацелен на компенсацию ошибок смещения (влияние напряжения смещения ОУ) и наклона передаточной характеристики (влияние конечности усиления на постоянном токе ОУ, разброс номиналов конденсаторов). Под смещением понимается смещение отдельных сегментов передаточной характеристики. Так как оба канала являются идентичными, разработано два идентичных блока калибровки, которые управляются при помощи конечного автомата. Итоговая структура представлена на рис. 1.

Цифровой алгоритм коррекции основывается на кодировании с избыточным значащим разрядом (RSD-кодирование). Структура канала калибровочного блока представлена на рис. 2. Блок структурно разделен на 4 части. Калибруются 4 старших каскада — 3,5-битный, два 2,5-битных и 1,5-битный. Младшие 1,5-битные каскады мало влияют на точность преобразования, поэтому в них нет необходимости калибровки. Арифметический блок состоит из однотипных цифровых процессоров для обработки сигналов (ЦПОС), управляющего конечного автомата и блока вычисления коэффициентов (см. рис. 3). Так как необходимые вычисления невозможно произвести за один такт, для сохранения частоты следования выходных данных необходимо организовать вычислительный конвейер. Функционирование АЦП можно условно разделить на два режима: режим преобразования данных (нормальный режим) и режим калибровки. Блок цифровой коррекции используется в обоих режимах. Калибровка происходит итеративно от младшего каскада к старшему каскаду. Для более точной калибровки смещения вся передаточная характеристика делится на сегменты, соответствующие главным кодовым переходам. Это позволяет калибровать смещение характеристики на каждом участке отдельно, а не при помощи усредненного значения.

Модуль реализует два режима работы калибровки: калибровка смещения и калибровка наклона. Также предусмотрен

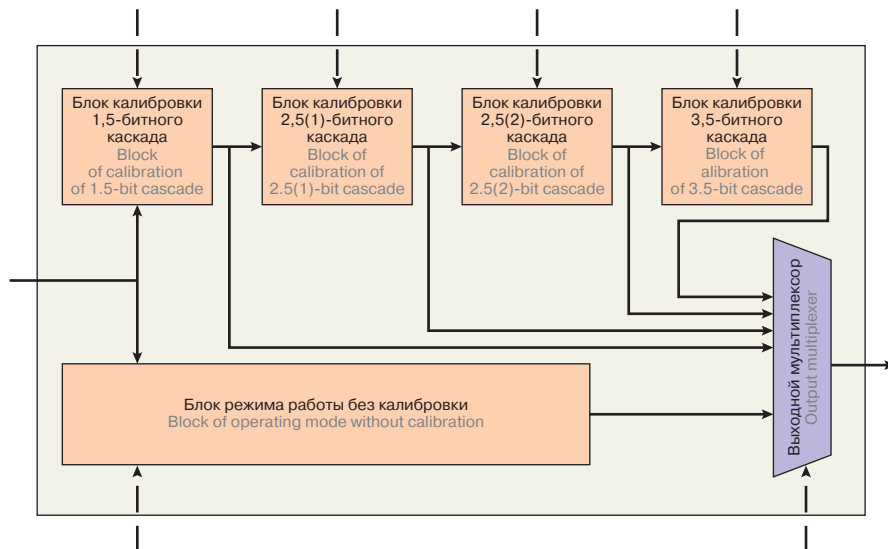


Рис. 2. Структура канала
Fig. 2. Channel structure

режим отладки. Режим отладки позволяет косвенно определить корректность работы калибровки и вычислить значения коэффициентов на основе выходных данных модуля. Когда устройство входит в режим калибровки, машина состояний цифрового блока подает сигнал на выдачу на вход калибруемого каскада известного тестового сигнала; значения, формируемые на выходе из каскада, сравниваются с идеальными, и происходит расчет и заполнение матрицы корректирующих коэффициентов для каскада. Данная процедура производится для каждого каскада и происходит единожды. Расчет поправочных коэффициентов 1,5-битного каскада происходит по формулам (1). D₀–D₅ — это данные, поступившие на вход 1,5-битного каскада, из них вычитаются рассчитанные константы и коэффициенты, рассчитанные на предыдущих этапах. K₀–K₅ — поправочные коэффициенты для 1,5-битного каскада.

$$\begin{aligned}
 K_0 &= D_0 - \frac{D(V_{FSn})}{2} & K_3 &= D_3 - K_0 - K_2 - \frac{3}{4}D(V_{FSn}) \\
 K_1 &= D_1 - \frac{3}{4}D(V_{FSn}) & K_4 &= D_4 - K_0 - K_1 - \frac{1}{4}D(V_{FSn}) \\
 K_2 &= D_2 - \frac{1}{4}D(V_{FSn}) & K_5 &= D_5 - K_0 - \frac{D(V_{FSn})}{2}.
 \end{aligned} \quad (1)$$

Recently electronic systems have been rapidly developing and analogue-to-digital converters follow suit. Increase in digital blocks efficiency requires increase in semi-digital IC efficiency, but increased performance results in more drastic conversion errors. The digital correction block is used to compensate for conversion errors, which impair transfer linearity and result in inability to perform analogue-to-digital conversion with accuracy exceeding 12 digits. This paper is devoted to the examination of digital correction block implementation for a high performance analogue-to-digital converter with operating frequency over 100MHz.

The main sources of inaccuracy are as follows:

- bias voltage of comparator and deviations of reference voltages (main cause);
- bias voltage of operational amplifier;
- finiteness of direct current amplification in operational amplifier;
- finiteness of amplification band in operational amplifier;
- spread of capacity values of DAC capacitors.

To compensate for conversion errors within ADC circuit, the digital compensation block is provided. The developed block is aimed

primarily at compensating for bias errors (the effect of operational amplifier bias voltage) and the slope of transfer function (influence of operational amplifier direct current amplification finiteness, spread of capacitors nominal). Under the term bias we mean a bias of separate segments of the transfer characteristic. As both channels are identical, two identical calibration blocks have been developed that are controlled by means of finite state machine. Fig. 1 shows the resultant structure.

The algorithm of digital correction is based on encoding with redundant significant digit (RSD-coding). Fig. 2 shows the



Таблица 1. Сравнение характеристик двух различных реализаций блока цифровой коррекции

Table 1. Comparative characteristics of two different implementations for digital correction block

Параметр Parameter	Реализация блока цифровой коррекции Implementation of digital correction block	
	Плавающая запятая Floating point	Фиксированная запятая Fixed point
Технологический процесс библиотеки ячеек, нм Features size from cell library, nm	90	90
Площадь, занимаемая на кристалле, мкм ² (Cell+Physical+Net) Area occupied on chip, micron ² (Cell + Physical + Net)	5,297	0,378
Статическая мощность (утечки), мВт Static power (leak), mW	0,197	0,013
Динамическая мощность, мВт Dynamic power, mW	35,402	32,645
Общая потребляемая мощность, мВт Total consumed power, mW	35,599	32,658
Рабочая частота, МГц Operating frequency, MHz	200	200
Время калибровки смещения на рабочей частоте, мкс Time of bias calibration at operating frequency, ms	8,7	9,4
Время калибровки наклона на рабочей частоте, мкс Time of slope calibration at operating frequency, ms	8,7	9,5

Для остальных каскадов расчет происходит аналогично — увеличивается количество коэффициентов. Все арифметические блоки являются однотипными параметризуемыми цифровыми процессорами обработки сигналов.

Далее в нормальном режиме работы происходит цифровая коррекция с учетом рассчитанных на этапе калибровки значений по формуле (2). Данная формула является частным решением для 1,5-битного каскада.

$$D_{cal} = \left([D_i - K_0] - \left[K_i + \frac{D(V_{FS(n+1)})}{2} \right] \right) \frac{D(V_{FS(n+1)})}{8K_5} + \frac{D(V_{FS(n+1)})}{2}. \quad (2)$$

structure of calibration block channel. This block is structurally divided into four parts. Four most significant cascades are calibrated, including one 3.5-bit, two 2.5-bit and one 1.5-bit. Least significant 1.5-bit cascades have only a minor effect on conversion accuracy that is why there is no need to calibrate them. The arithmetic unit consists of single-type digital processors for processing signals (DPPS), control finite state machine and block for computing coefficient (see Fig. 3). As the required computing is impossible to be done in one clock period, it is necessary to organize a computational pipeline for maintaining the repetition rate of output data.

The ADC functioning may be conventionally classified into the following modes: mode of data transformation (normal mode) and mode of calibration. The block of digital correction is used in both modes. Calibration is conducted iteratively from less significant

to most significant cascades. For more accurate bias calibration the whole transfer characteristic is divided into segments, corresponding to main code transitions. This makes it possible to calibrate the bias of transfer characteristic at each segment separately, without using averaged value.

This module provides two modes of calibration: calibration of bias and calibration of slope. Debugging mode is also provided for. Debugging mode enables one to indirectly determine the correctness of calibration process and to compute values of coefficients using output module data. When the device is switched into calibration mode, the finite state machine of the digital block emits a signal to output a certain test signal to the input of the cascade being calibrated; values that are formed at the cascade's output are compared with the reference ones, and computing of correction coefficients for the corresponding cascade with the subsequent

Цифровая коррекция значений по формуле аналогичной формуле (2) происходит в каждом из калибруемых каскадов. Последовательность действий при вычислениях приведена на рис. 4.

Первая реализация алгоритма блока цифровой коррекции АЦП позволяла корректировать пять младших значащих разрядов каждого из каскадов для исправления ошибки смещения операционного усилителя до 10 мВт и разброса номиналов конденсаторов до 1%. С ростом разрядности старших каскадов значимость корректируемых бит уменьшалась: для 1,5-битного каскада корректировка составляла 24 мВт, а для

array filling are carried out. This procedure is performed for each cascade only once. Calculations of correction coefficients for 1.5-bit cascade are performed by formula (1). D0–D5 designate data that arrive at the input of 1.5-bit cascade; from these data correction coefficients are subtracted, as well as coefficients computed at the previous stages. K0–K5 designate correction coefficients for 1.5-bit cascade.

$$\begin{aligned} K_0 &= D_0 - \frac{D(V_{FSn})}{2} \\ K_1 &= D_1 - \frac{3}{4} D(V_{FSn}) \\ K_2 &= D_2 - \frac{1}{4} D(V_{FSn}) \\ K_3 &= D_3 - K_0 - K_2 - \frac{3}{4} D(V_{FSn}) \\ K_4 &= D_4 - K_0 - K_1 - \frac{1}{4} D(V_{FSn}) \\ K_5 &= D_5 - K_0 - \frac{D(V_{FSn})}{2}. \end{aligned} \quad (1)$$

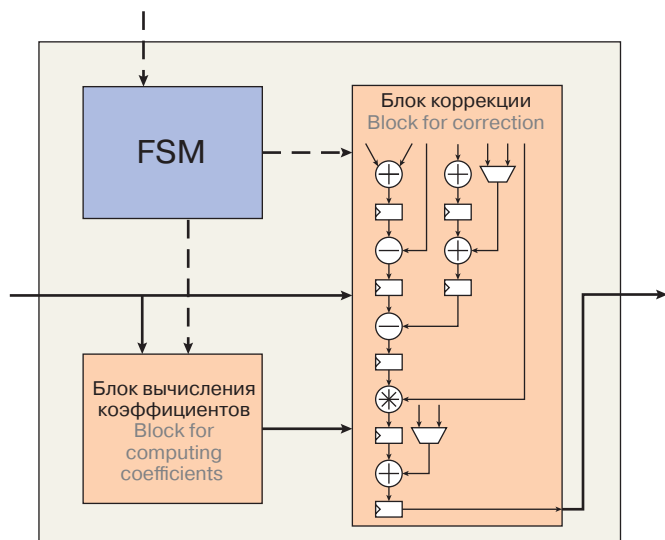


Рис. 3. Типовая структура арифметического блока

Fig. 3. Standard structure of arithmetic unit

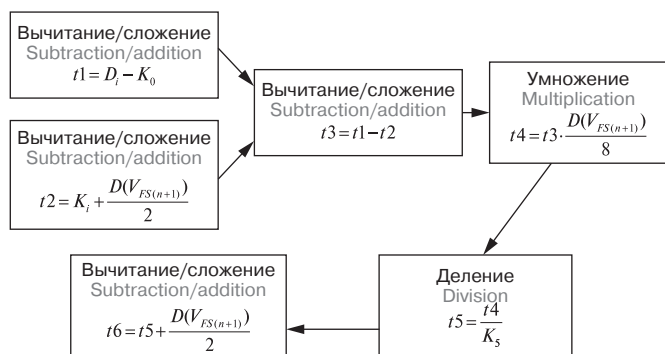


Рис. 4. Последовательность действий при вычислениях

Fig. 4. The sequence of actions performed in calculations

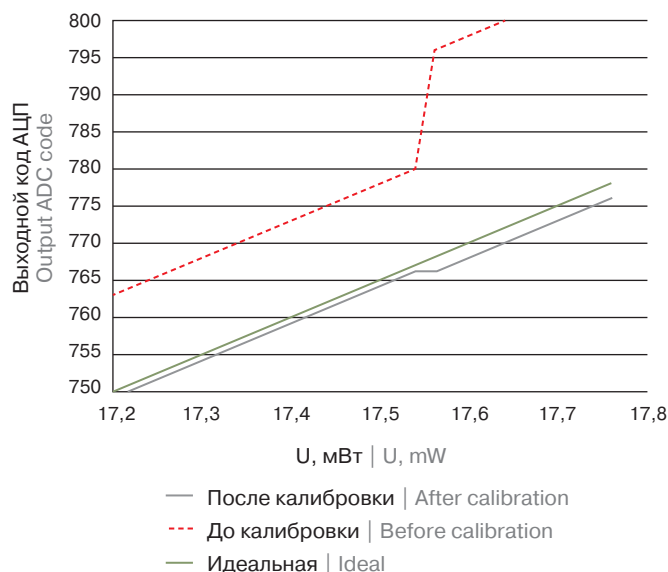


Рис. 5. Коррекция входного сигнала АЦП

Fig. 5. Correction of ADC input signal

3,5 бит каскада — 0,18 мВт. Все вычисления внутри блока калибровки и расчеты поправочных коэффициентов производились в числах с плавающей запятой. Конвертеры из целочисленных значений в числа с плавающей запятой и обратно были размещены перед блоком цифровой коррекции и после, соответственно. Это позволило сохранить большую точность при вычислениях, в том числе в операции деления ($t5$ на рис. 4). Была выпущена партия тестовых кристаллов, проведены испытания. Реальные испытания показали, что коррекции пяти младших значащих разрядов недостаточно. Получившийся блок цифровой коррекции занимал большую площадь на кристалле, а также имел увеличенное время калибровки на рабочей частоте.

В целях внесения поправок в алгоритм коррекции и оптимизации данного блока: сокращения потребления и площади, была разработана вторая ревизия преобразователя.

В алгоритм была заложена корректировка $\frac{1}{4}$ диапазона преобразования для каждого из каскадов: для 1,5-битного каскада — 7 бит, для 3,5-битного каскада — 12 бит. Также использовались блоки без плавающей запятой, деление было заменено таблицей поиска (преобразований). Исходя из величины корректируемого диапазона преобразования был рассчитан набор значений, который внесен в ПЗУ. Для каждого из каскадов создано свое ПЗУ. Таким образом, после подсчета промежуточный результат $t4$ поступает на мультиплексор, который выбирает в ПЗУ соответствующее значение, и тем самым заменяет операцию деления ($t5$). В табл. 1 представлены сравнительные характеристики АЦП с блоком цифровой коррекции с плавающей запятой и блока с фиксированной запятой. Результаты получены после проведения физического синтеза с помощью программного обеспечения Cadence Encounter RTL Compiler.

На рис. 5 представлена коррекция входного сигнала АЦП с использованием блока цифровой коррекции. В рамках работы был разработан блок цифровой коррекции для высокопроизводительного высокоточного АЦП, оперирующий числами с фиксированной запятой, который был оптимизирован под используемый технологический процесс. Алгоритм цифровой коррекции разработан с учетом технологического разброса номиналов конденсаторов и смещения операционного усилителя.

ЛИТЕРАТУРА

- Куликов Д. В. «Влияние технологического разброса на передаточную характеристику каскада конвейерного АЦП» // Научная сессия МИФИ-2006. Сб. научн. трудов. В 16 томах. Т. 1. Автоматика. Микроэлектроника. Электроника. Электронные измерительные системы. Компьютерные медицинские системы. — М.: МИФИ. — 2006. — С. 175–176.
- Куликов Д. В., Рогаткин Ю. Б. «Автокалибровка технологического разброса параметров элементов в высокоразрядных конвейерных АЦП» // Электроника, микро- и нанoeлектроника. Сб. научн. трудов. М.: МИФИ. — 2007. — С. 113–116.
- Куликов Д. В., Рогаткин Ю. Б. «Вопросы автокалибровки высокоразрядных АЦП конвейерного типа» // Вопросы радиоэлектроники АН РФ серия Общая техника. Вып. 2. — 2006. — С. 81–91.
- Агрич Ю., Лифшиц В. «Новый АЦП компании «Миландр» — Высокое быстродействие и малое энергопотребление», Электроника: НТБ, Вып. 5. — 2014. — С. 66–72.



Computing procedure for other cascades is carried out similarly — the number of coefficients increases. All arithmetic units are single-type parameterized digital processors designed for signal processing.

Next, in rated operating mode digital correction is carried out with account for value calculated at the stage of calibration using formula (2). That formula is a partial solution for 1.5-bit cascade.

$$D_{cal} = \left([D_i - K_0] - \left[K_i + \frac{D(V_{FS(n+1)})}{2} \right] \right) \times \left(\frac{D(V_{FS(n+1)})}{8K_5} + \frac{D(V_{FS(n+1)})}{2} \right) \quad (2)$$

Digital correction of values using formula similar to (2) is carried out for each of cascades being calibrated. Fig. 4 presents the sequence of actions performed in the course of computations.

The first implementation of digital correction algorithm for ADC enabled one to correct five least significant digits of each cascade for rectification of bias error of operational amplifier to 10mW and errors of spread from capacitor nominal to 1%. With increase in most significant digits, the significance of bits correction decreases: for 1.5-bit cascade the correction constitutes 24mW, and for 3.5-bit cascade — 0.18mW. All computing within calibration block and coefficients of correction has been carried out using floating point numbers. Converters, converting integer values into numbers with floating point and vice versa, have been placed before and after digital correction block respectively. That made

it possible to maintain a high accuracy of calculation, including the accuracy of division operations (t5 at Fig. 4). A set of testing chips was issued and respective tests were performed. Actual tests have demonstrated that correlation of five least significant digits is not sufficient. The resulting digital correction block occupied a larger area on a chip and required increased time of calibration at operating frequency.

Aiming to make amendments to the correction algorithm and to optimize the block, i.e. to reduce power consumption and occupied area, the second version of converter has been developed.

The new algorithm performs a quarter of conversion region correction for each cascade: for 1.5-bit cascade — 7bit, for 3.5-bit cascade — 12bit. Besides, blocks without floating point were used, and division operation was substituted by lookup table. Basing on conversion range being corrected a set of values have been computed and then added into the ROM. For each cascade its own ROM has been created. So, after computations the intermediate result t4 was fed to multiplexer, which selects the corresponding value in the ROM, and thus substitutes the operation of division (t5). Table 1 contains comparative characteristics of ADC with digital correction block using floating point and block with fixed point numbers. The results were obtained after physical synthesis using Cadence Encounter RTL Compiler Software.

Fig. 5 presents the ADC input signal correction using a digital block. A digital block for high performance and high precision ADC,

operating with fixed point numbers, has been developed within the scope of this work and then further optimized for the applied technological process. An algorithm of digital correction has been developed with account for capacitor nominals spread and operational amplifier bias.

REFERENCES

1. Kulikov D.V. "Vliyaniye tekhnologicheskogo razbrosa na peredatochnuyu kharakteristiku kaskada konveinernogo ATsP" // Nauchnaya sessiya MIFI-2006. Sb. nauchn. trudov. V 16 tomakh. T. 1. Avtomatika. Mikroelektronika. Elektronika. Elektronnyye izmeritel'nye sistemy. Komp'yuternye meditsinskie sistemy. M.: MIFI. 2006. P. 175–176. (In Russian).
2. Kulikov D.V., Rogatkin Yu.B. "Avtoklibrovka tekhnologicheskogo razbrosa parametrov elementov v vysokorazryadnykh konveinernykh ATsP" // Elektronika, mikro- i nanoelektronika. Sb. nauchn. trudov. M.: MIFI. 2007. P. 113–116. (In Russian).
3. Kulikov D.V., Rogatkin Yu.B. "Voprosy avtoklibrovki vysokorazryadnykh ATsP konveinernogo tipa" // Voprosy radioelektroniki AN RF seriya Obshchaya tekhnika. Vyp. 2. 2006. P. 81–91. (In Russian).
4. Agrich Yu., Lifshits V. "Novyi ATsP kompanii "Milandr" — Vysokoe bystrodeistvie i maloe energopotrebleniye", Elektronika: NTB, Vyp. 5. 2014. P. 66–72. (In Russian).

КНИГИ ИЗДАТЕЛЬСТВА "ТЕХНОСФЕРА"



Цена 840 руб.

ДАТЧИКИ

В. М. Шарапов, Е. С. Полищук, Н. Д. Кошевой,
Г. Г. Ишанин, И. Г. Минаев, А. С. Совлуков

Под общ. ред. В.М. Шарапова, Е.С. Полищука

В книге изложены теоретические основы, принципы действия, описаны конструкции и характеристики датчиков физических величин. Сборник написан коллективом авторов и состоит из 24 глав. В конце каждой главы приведена обширная библиография, а также сайты предприятий — разработчиков и изготовителей.

Книга предназначена для научных работников, студентов, аспирантов, специалистов в области разработки датчиков, измерительных приборов, элементов и устройств вычислительной техники и систем управления.

М: ТЕХНОСФЕРА, 2012. — 624 с.
ISBN 978-5-94836-316-5

КАК ЗАКАЗАТЬ НАШИ КНИГИ?

☎ 125319, Москва, а/я 91; ☎ +7 (495) 234-0110; ☎ +7 (495) 956-3346; ✉ knigi@technosphere.ru, sales@technosphere.ru