



ОСОБЕННОСТИ РАЗРАБОТКИ STD/IO БИБЛИОТЕК НА ОСНОВЕ MCML СХЕМОТЕХНИКИ В БАЗИСЕ ТЕХНОЛОГИИ КМОП 90 НМ И ОЦЕНКА ПЕРСПЕКТИВ ИХ ПРИМЕНЕНИЯ ПРИ ПРОЕКТИРОВАНИИ СБИС

FEATURES OF LIBRARY DEVELOPMENT BASED ON MCML CIRCUITRY ON THE CMOS 90NM TECHNOLOGY AND PROSPECTS OF USING LIBRARIES IN THE VLSI DESIGN FLOW

УДК 621.3.049.77

ИЛЬИН СЕРГЕЙ АЛЕКСЕЕВИЧ

ILIN SERGEI A.

КОЧАНОВ СЕРГЕЙ КОНСТАНТИНОВИЧ

KOCHANOV SERGEI K.

ЛАСТОЧКИН ОЛЕГ ВИКТОРОВИЧ

LASTOCHKIN OLEG V.

НОВИКОВ АНТОН АЛЕКСЕЕВИЧ

NOVIKOV ANTON A.

ШИПИЦИН ДМИТРИЙ СВЯТОСЛАВОВИЧ

SHIPITSIN DMITRY S.

dshipitsin@niime.ru

dshipitsin@niime.ru

АО «НИИМЭ»

124460, г. Москва, г. Зеленоград,

1-й Западный проезд, 12, стр. 1

Molecular Electronics Research Institute JSC

12/1 1st Zapadny Lane, Zelenograd,

Moscow, 124460, Russia

В статье описываются особенности и принципы разработки STD/IO библиотек на основе MCML схемотехники в базисе отечественной технологии КМОП 90 нм. Приведены базовые компоненты структуры схемотехники MCML элементов. Рассмотрены плюсы и минусы выбранной логики. Проведено ее сравнение с традиционной CMOS. Оценены перспективы применения библиотек при проектировании СБИС.

Ключевые слова: библиотеки стандартных элементов; библиотеки буферов ввода-вывода; МОП логика; управляемая током; КПОП; СБИС.

The paper presents the features and principles of developing STD/IO libraries based on MCML circuitry based on CMOS 90nm technology. The basic components of the MCML elements circuitry have been presented. The pros and cons of the chosen logic and its comparison with the CMOS have been considered. Prospects of using libraries in the design of VLSI have been estimated.

Keywords: STD libraries; IO libraries; MOS Current-Mode Logic; CMOS; VLSI.

Применение современных полупроводниковых технологий с топологическими нормами 90 нм при проектировании цифро-аналоговых систем позволило повысить степень интеграции аналоговой и цифровой частей этих систем и сократить общую занимаемую площадь СБИС [1].

Высокая плотность размещения приводит к тому, что шумы и помехи цифровой части передаются на аналоговую, что влияет на стабильность ее функционирования. Следовательно, необходимо дополнять систему элементами экранирования помех и применять специальные подходы при ее компоновке. Требование уменьшить занимаемую площадь и повысить помехоустойчивость дополняется необходимостью высокого быстродействия для СБИС.

Решением проблемы помех цифровой части без существенного увеличения размеров устройства является применение иного типа логики — MCML. MOS Current-Mode Logic (MCML), дифференциальной логики, управляемой током, обеспечивающей высокоскоростную работу с низкой генерацией шумов, что делает ее привлекательной для реализации блоков в схемах смешанного сигнала.

БАЗОВЫЕ КОМПОНЕНТЫ, ПРИНЦИПЫ ФУНКЦИОНИРОВАНИЯ И ПАРАМЕТРЫ MCML

Каждый элемент библиотеки STD и IO в логике MCML состоит из трех основных компонентов: сопротивления нагрузки; сети п-МОП ключей, управляющих током; источника тока [2]. Пример схемотехники MCML вентиляей представлен на рис. 1.

Принцип работы MCML вентиляей заключается в преобразовании тока в напряжение на сопротивлении нагрузки. Управление током осуществляется дифференциальным каскадом, в котором логическая функция задается п-МОП сетью.

Основными параметрами для любой MCML ячейки являются:

- напряжение питания (V_{DD});
- размах рабочего напряжения (ΔV);
- ток, генерируемый источником тока (I);
- конфигурации сопротивлений, ключей и источников тока (W, L, N_{devices});
- выходная нагрузочная емкость (C_{load}).

Перечисленные параметры взаимосвязаны, что делает процесс разработки MCML вентиляей трудоемкой задачей, требующей

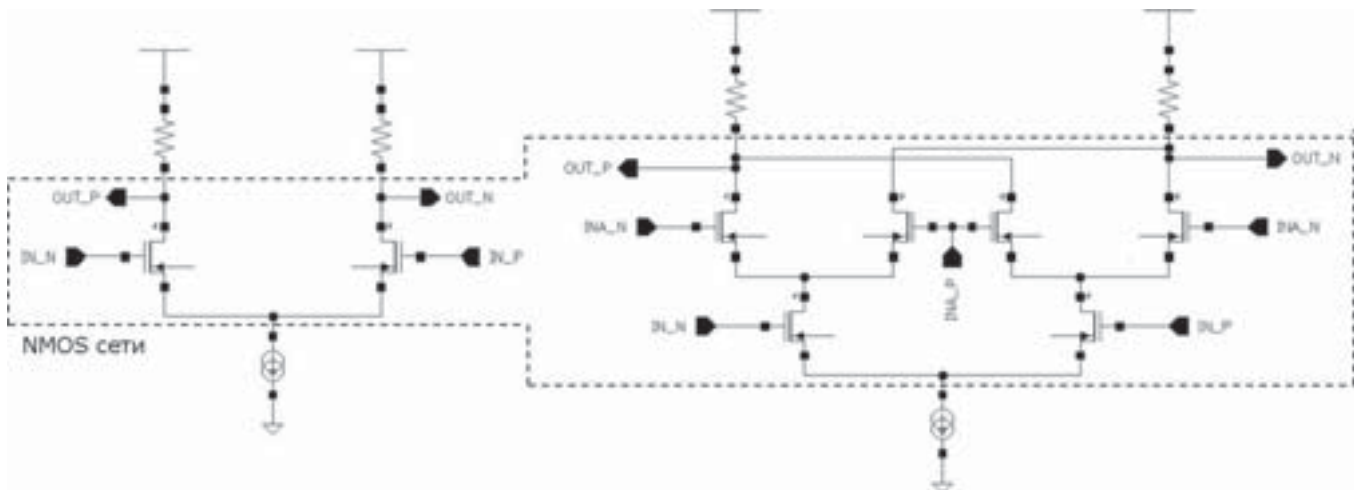


Рис. 1. Схематехника MCML вентилях INV и XOR

большого количества времени, квалификации и опыта от разработчика [3].

ОСОБЕННОСТИ, ПРЕИМУЩЕСТВА И НЕДОСТАТКИ СХЕМОТЕХНИКИ MCML ТИПА

К особенностям MCML следует отнести размах рабочего напряжения $\Delta V < \Delta V_{\text{CMOS}}$. При этом значение уровня логической единицы представляется как $V_1 = V_{\text{DD}}$, а значение уровня логического нуля как $V_0 = V_{\text{DD}} - \Delta V$.

Вторая особенность — построение логической функции благодаря ветвлению n-МОП пар. Использование дифференциальных портов дает возможность одновременно получить прямой и инверсный выходы ячейки, что упрощает разработку схематехники и топологии.

Третья особенность — функционирование ячейки при постоянном значении тока и, как следствие, максимальная мощность потребления в статическом состоянии. MCML вентили имеют слабую зависимость мощности потребления от частоты, что позволяет получить значительный выигрыш в энергоэффективности на высоких частотах по сравнению с КМОП вентилями.

Основные преимущества MCML: высокая частота функционирования, повышенная помехозащищенность, небольшая входная емкость, сравнительно небольшое количество транзисторов в элементе, широкие возможности для реализации и масштабирования логических функций, общая унификация структуры элементов.

Из недостатков MCML, ограничивающих ее широкое распространение, следует отметить высокую потребляемую статическую мощность, чувствительность к разбросу параметров транзисторов и технологическому процессу, сложность в реализации симметричности фронтов вентиля, сложность интеграции в стандартный цифровой маршрут проектирования ИС.

ОБЛАСТИ ПРИМЕНЕНИЯ MCML

Благодаря преимуществу MCML над КМОП в энергоэффективности на высоких частотах основная область применения этой логики формируется вокруг мульти-Гц систем связи: MUX/DEMUX интегральные схемы для SONET/SDH оптоволоконных сетей; высокоскоростные коммутаторы сетей LAN/WAN; RF приложения (ФАПЧ, предделители, схемы восстановления

Таблица 1. Состав библиотеки стандартных цифровых элементов на MCML логике

Описание элемента	Имя элемента	Коэффициент разветвления по выходу
Инвертор	IVSVT	1, 2, 4, 6, 8, 16, 32
Буфер	BFSVT	1, 2, 4, 6, 8, 16, 32
Логическое И	AN2SVT / AN3SVT	1, 2, 4
Логическое И-НЕ	ND2SVT / ND3SVT	1, 2, 4
Логическое ИЛИ	OR2SVT / OR3SVT	1, 2, 4
Логическое ИЛИ-НЕ	NR2SVT / NR3SVT	1, 2, 4
Исключающее ИЛИ	EO2SVT / EO3SVT	1, 2, 4
Исключающее ИЛИ-НЕ	EN2SVT / EN2SVT	1, 2, 4
Сумматор	FAISVT	1, 2, 4
Мультиплексор	MUX2ISVT / MUX4ISVT	1, 2, 4
Триггер «latch» по высокому уровню с/без сброса	LDRISVT/LDISVT	1, 2, 4
Триггер «flip-flop» по положительному фронту с/без сброса	FDRISVT/FDISVT	1, 2, 4
Преобразователи уровней MCML → CMOS, CMOS → MCML	CML2CMOS, CMOS2CML	1

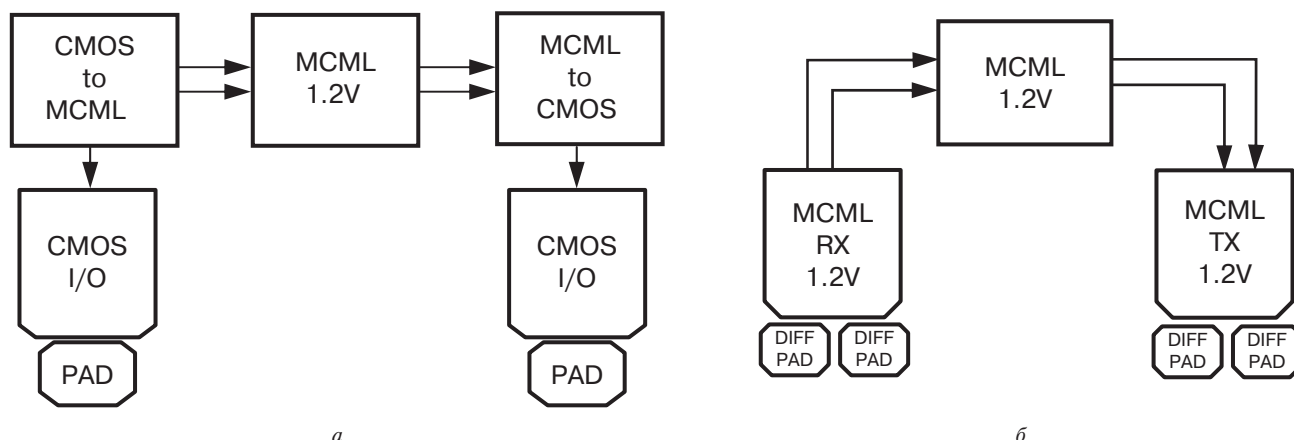


Рис. 2. Общая схема сопряжения CMOS и CML логики: а) схема сопряжения CMOS и CML логики; б) схема применения STD/IO библиотек CML

синхронизации, ГУН и т. д.); маломощные DSP микросхемы; высокоточные микросхемы, АЦП и т. д.

БИБЛИОТЕКИ STD И IO НА БАЗЕ MCML СХЕМОТЕХНИКИ

В ОСБ НИИМЭ в базе технологии КМОП 90 нм разработана тестовая библиотека цифровых ячеек, в состав которой входят 73 ячейки: 59 комбинационных, 12 последовательных и 2 преобразователя уровней (MCML–КМОП, КМОП–MCML). Элементы библиотеки работают при напряжении питания 1,2 В. Уровень логической единицы и нуля — 1,2 В и 0,8 В, соответственно. Состав библиотеки представлен в табл. 1.

Также разработаны буферы ввода-вывода для связи доменов MCML логики, работающие при напряжении питания 1,2 В через внешнюю линию связи. Библиотека IO содержит передатчик MCML_TX и приемник MCML_RX. Уровни логической единицы и нуля на выходе MCML_TX равны $V_1 = 1,2$ В, $V_0 = 0,8$ В, соответственно. Приемник MCML_RX имеет в своем составе интегральные терминирующие резисторы номиналом 50 Ом. Ток потребления MCML трансивера равен ~44 мА в нормальных условиях по результатам моделирования. Максимальная частота работы MCML трансивера равна 1 ГГц с нагрузкой на выходе приемника

MCML_RX 3 пФ. В буферы ввода-вывода включены элементы защиты от ЭСР [4].

Общая схема сопряжения CMOS и CML логики представлена на рис. 2.

СРАВНЕНИЕ MCML И КМОП ЛОГИК

В рамках исследовательской работы выполнено сравнение двух видов логики для определения областей эффективности и границ применения MCML и КМОП. Сравнение параметров MCML и КМОП инверторов IVSVTX2 при $V_{DD} = 1,2$ В, $\Delta V = 400$ мВ, $T = 25^\circ\text{C}$ представлено на рис. 3.

Как видно из рис. 3а, для MCML характерна более ровная и меньшая зависимость задержки от длительности фронта. Из рис. 3б–г видно, что MCML значительно эффективней с точки зрения энергопотребления. Необходимо отметить, что применение MCML для систем, функционирующих на частотах более 2,5 ГГц, наиболее эффективно.

МАРШРУТ ПРОЕКТИРОВАНИЯ ЦИФРОВЫХ СХЕМ В БАЗИСЕ БИБЛИОТЕКИ MCML

САПР, традиционно применяющиеся в маршруте цифрового проектирования, не адаптированы, как и сам маршрут, для работы

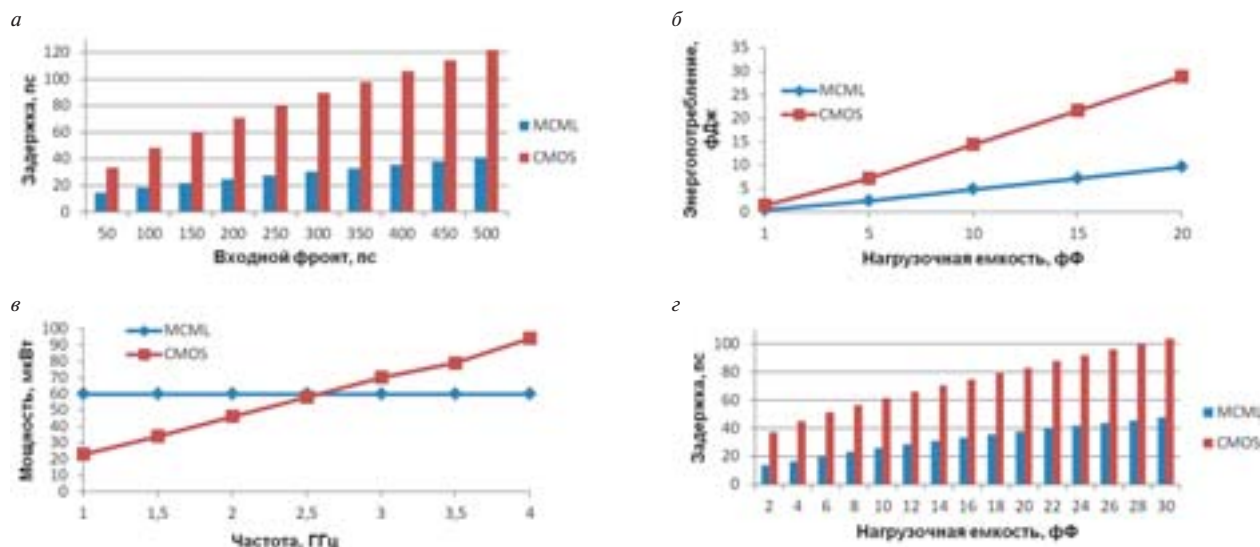


Рис. 3. Зависимости инверторов IVSVTX2: а) задержки от длительности фронта; б) энергопотребления от нагрузочной емкости; в) мощности потребления от частоты; г) задержки от нагрузочной емкости



с полностью дифференциальными ячейками, имеющими дифференциальные входы и выходы, в частности, — MCML. Попытка использовать общепринятые подходы приводит к тому, что дифференциальные сигналы в процессе логического и физического синтеза рассматриваются как независимые друг от друга, что искажает суть применяемых схемотехнических решений. Таким образом, необходимо, чтобы САПР воспринимал дифференциальную ячейку как традиционную. Для этого, с одной стороны, требуется разработать дополнительные технологические представления, с другой — встроить эти представления в маршрут проектирования цифровых СБИС. Под дополнительными представлениями понимаются Verilog / Liberty / LEF — файлы, которые выполняются в двух вариантах: для дифференциальных ячеек и для их традиционных аналогов. Под специализированным ПО подразумеваются надстройки маршрута проектирования, которые позволяют корректно встраивать представления в маршрут и проводить необходимые проверки: LVS, Formal Verification и т. д.

В настоящий момент разрабатывается специализированное ПО и модифицированный маршрут проектирования цифровых СБИС на его основе.

РЕЗУЛЬТАТЫ И ВЫВОДЫ

Исследована и адаптирована для создания библиотечных элементов схемотехника MCML логики. Разработаны тестовые библиотеки STD/IO ячеек на основе MCML логики в базе отечественной технологии КМОП 90 нм. Разработаны методы характеристики и генерации технологических представлений MCML STD/IO

библиотек. В настоящее время в отделе стандартных библиотек АО «НИИМЭ» ведется разработка маршрута проектирования цифровых СБИС, основанного на использовании созданных библиотек.

Новыми в данной работе являются следующие результаты:

- MCML схемотехника реализована на элементной базе отечественной технологии КМОП 90 нм;
- MCML схемотехника адаптирована для проектирования библиотечных элементов;
- разработана библиотека ячеек ядра и ячеек ввода-вывода.

ЛИТЕРАТУРА

1. Красников Г.Я., Орлов О.М. «Отличительные особенности и проблемы КМОП-технологий при уменьшении проектной нормы до уровня 0,18 мкм и меньше». — Российские нанотехнологии, 2008 г., Т. 3 № 7–8. — С. 124–128.
2. Badel S. et al. “A Genetic Standard Cell Design Methodology for Differential Circuit Styles”, Design Automation and Test in Europe, 2008, pp. 843–848.
3. Alioto M., Palumbo G. “Model and Design of Bipolar and MOS Current — Mode Logic: CML, ECL and SCL Digital Circuits”, New-York, Springer, 2005.
4. Ильин С.А., Кочанов С.К., Ласточкин О.В., Новиков А.А. «Методика автоматизированной генерации и анализа базовых конструктивов для проектирования блоков динамической и статической защиты интегральных схем от ЭСР.», МЭС — 2016. — М.: ИППМ РАН, 2016 г., Часть III. — С. 100–106.

Аналитика

www.j-analytics.ru

НАУЧНО-ТЕХНИЧЕСКИЙ ЖУРНАЛ

Издатель — АО «РИЦ «ТЕХНОСФЕРА»

Журнал «АНАЛИТИКА» — межотраслевой научно-технический журнал о создании, изучении и применении новых веществ и материалов — от фундаментальных исследований до внедрения передовых промышленных технологий.

ЖУРНАЛ «АНАЛИТИКА» ВКЛЮЧЕН в Российский индекс научного цитирования (РИНЦ); в Перечень рецензируемых научных изданий, в которых должны быть опубликованы основные научные результаты диссертаций на соискание ученой степени кандидата наук, на соискание ученой степени доктора наук ВАК.

Тираж 4 500 экз.
Периодичность — 6 номеров в год

Руководитель проекта О. Лаврентьева,
j-analytics@mail.ru
Тел.: (495) 234-0110
Факс: (495) 956-3346

