

ОПТИМИЗАЦИЯ ТОПОЛОГИИ КОНДЕНСАТОРНОЙ МАТРИЦЫ В АЦП ПОСЛЕДОВАТЕЛЬНОГО ПРИБЛИЖЕНИЯ

OPTIMIZING CAPACITOR ARRAY LAYOUT IN SAR ADC

УДК 621.382

БУТУЗОВ ВЛАДИМИР АЛЕКСЕЕВИЧ^{1,2}
v.butuzov@5okb.ru

BUTUZOV VLADIMIR A.^{1,2}
v.butuzov@5okb.ru

БОЧАРОВ ЮРИЙ ИВАНОВИЧ¹
yibocharov@mephi.ru

BOCHAROV YURI I.¹
yibocharov@mephi.ru

ШУНКОВ ВАЛЕРИЙ ЕВГЕНЬЕВИЧ²

SHUNKOV VALERY E.²

КУСЬ ОЛЕГ НИКОЛАЕВИЧ²

KUS OLEG N.²

ПРОКОПЬЕВ ВИТАЛИЙ ЮРЬЕВИЧ^{2,3}

PROKOPYEV VITALY YU.^{2,3}

¹ Национальный исследовательский
ядерный университет «МИФИ»
115409, г. Москва, Каширское шоссе, 31

¹ National Research Nuclear University MEPhI
(Moscow Engineering Physics Institute)
31 Kashirskoe Highway, Moscow, Russian Federation, 115409

² ООО «ОКБ Пятое Поколение»
630090, г. Новосибирск, ул. Николаева, 11

² “OKB Fifth Generation” LLC
11 Nikolaeva St., Novosibirsk, Russian Federation, 630090.

³ Новосибирский государственный университет
630090, Новосибирская область,
г. Новосибирск, ул. Пирогова, 2

³ Novosibirsk State University
2 Pirogova St., Novosibirsk, 630090, Russia

Рассмотрено влияние топологических размеров матрицы переключаемых конденсаторов на погрешность дифференциальной нелинейности АЦП последовательного приближения в составе многоканальных микросхем и систем на кристалле. Даны рекомендации, позволяющие оптимизировать номиналы единичных конденсаторов емкостной матрицы и оценить размеры блока АЦП на ранних стадиях проектирования.

Ключевые слова: аналого-цифровой преобразователь; АЦП; АЦП последовательного приближения; матрица переключаемых конденсаторов; топология; нелинейность; разрешающая способность АЦП.

The paper highlights the influence of the capacitor array layout on the accuracy of successive approximation ADC, as well as gives recommendations for optimizing the values of unit capacitors of the capacitive array and estimating the size of the ADC in the early stages of design.

Keywords: analog-to-digital converter; ADC; SAR ADC; switched capacitor array; layout; nonlinearity; ADC resolution.

ВВЕДЕНИЕ

Аналого-цифровые преобразователи (АЦП) нашли широкое применение и как отдельные микросхемы универсального назначения, и в составе ряда специализированных микросхем, и в системах на кристалле (СнК), которые могут содержать до 100 и более каналов преобразования сигналов [1]. Наблюдается тенденция к использованию АЦП в системах самодиагностики СнК, включающих встроенные средства мониторинга питания, температуры, параметров ряда блоков [2–4]. Одна из причин в том, что многие современные СнК имеют сложную кластерную адаптивно настраиваемую систему электропитания, а также динамически реконфигурируемую архитектуру [5]. Это требует контроля текущих значений режимных параметров блоков, температуры, а также целостности сигналов в ряде шин, например, в шинах питания [6, 7]. СнК для критически важных приложений, разрабатываемые с соблюдением норм и стандартов функциональной безопасности, также должны иметь встроенные средства самодиагностики и тестирования [8].

В системах многоточечного аппаратного мониторинга СнК используют или встроенный АЦП с аналоговым коммутатором

или массив из нескольких АЦП, размещенных в местах расположения контролируемых блоков. Такая распределенная структура во многих случаях оказывается предпочтительной. Для контроля температуры, напряжений и токов в системах с распределенной структурой сбора данных АЦП последовательного приближения средней точности, умеренного быстродействия, с низким уровнем потребляемой мощности оказываются более эффективными по сравнению с другими типами АЦП [9], если минимизирована занимаемая ими площадь. Такие АЦП, дополненные массивом быстродействующих устройств выборки-хранения в точках контроля, применяются также для мониторинга динамических параметров, например, целостности сигналов на чипе СнК [4]. Наряду с использованием в виде сложно-функциональных блоков в составе СнК, эти АЦП находят применение в качестве отдельных микросхем.

Большинство АЦП последовательного приближения, реализуемых по КМОП технологии, используют для генерации эталонных напряжений в процессе уравнивания цифро-аналоговый преобразователь (ЦАП) с балансировкой заряда в матрице

конденсаторов с двоично-взвешенными емкостями. При проектировании таких АЦП, ориентированных на использование в рассмотренных применениях, необходимо оптимизировать топологию их основного блока — матрицы конденсаторов с целью минимизации занимаемой площади при одновременном обеспечении необходимого уровня точности. Этому посвящена настоящая статья. В ней рассматриваются особенности проектирования топологии матрицы, связанные с оптимизацией ее геометрии, в частности, вопросы выбора размеров и емкости единичного конденсатора и расстояния между конденсаторами матрицы.

АНАЛИЗ ВЛИЯНИЯ ГЕОМЕТРИЧЕСКИХ РАЗМЕРОВ КОНДЕНСАТОРНОЙ МАТРИЦЫ

Показано, что основным источником ошибки дифференциальной нелинейности является недвоичная компонента паразитной емкости [10]. Недвоичная составляющая паразитной емкости возникает за счет паразитной емкости верхних обкладок единичных конденсаторов, входящих в состав данного конденсатора, на шины сигналов нижних обкладок, относящихся к другим конденсаторам и не подключенных к данному конденсатору. Поэтому паразитную емкость C_s каждого конденсатора можно оценить следующим образом: $C_s = C_p \cdot k$, где C_p — паразитная емкость единичного конденсатора на проходящую рядом с ним сигнальную шину; k — количество единичных конденсаторов, не входящих в состав данного, рядом с которыми проходит сигнальная шина, подключенная к нижним обкладкам данного конденсатора. На рис. 1 показана паразитная емкость с верхней обкладки единичного конденсатора на сигнальную шину. Ширина конденсатора обозначена a , расстояние от конденсатора до сигнальной шины — h .

Зависимость емкости единичного конденсатора квадратной формы на проходящую рядом с ним сигнальную шину $C_p(a, h)$ от размера конденсатора и расстояния до сигнальной шины может быть аппроксимирована следующим выражением:

$$C_p(a, h) = \frac{a \cdot h_0 \cdot C_E}{(h + h_0)},$$

INTRODUCTION

Analog-to-digital converters (ADCs) are widely used both as standalone general purpose integrated circuits (ICs), and as part of application specific ICs, and as part of such ICs as system on a chip (SoC), which can contain up to 100 and more signal conversion channels [1]. There is a tendency to use ADC in self-diagnostic systems of SoC, including built-in means of monitoring power, temperature, and parameters of a number of blocks [2–4]. One of the reasons is that many SoCs have a complex, adaptively configurable cluster power supply system, as well as a dynamically reconfigurable architecture [5]. This requires monitoring the current values of the block's operating parameters, temperature, and in some cases, monitoring the integrity of the signals in several buses, for example, in power rails [6, 7]. SoCs for mission-critical

applications developed in compliance with the functional safety rules and standards should also have built-in self-diagnosis and testing means [8].

In systems of multi-point hardware monitoring, SoCs use either a built-in ADC with an analog multiplexer or an array of several ADCs placed in the locations of controlled blocks. In many cases such a distributed topology is preferable. For monitoring temperatures, voltages, and currents in SoCs with the distributed data acquisition system, most efficient ADC types are those of successive approximation register (SAR), of medium accuracy, moderate speed, with low power consumption, surpassing after ADC types [9], on condition that the occupied area is minimized. Such ADCs supplemented by an array of high-speed sample-and-hold devices at the points of control are also used to monitor

dynamic parameters, for example, the integrity of signals on a chip [4]. Along with the use as IP-blocks of SoCs, these ADCs are used as standalone ICs.

Most SAR ADCs implemented in CMOS technology use a digital-to-analog converter (DAC) based on charge balancing in an array of capacitors with binary weighted capacitances to generate reference voltages during the balancing process. When designing such ADCs that are meant for the considered applications, it is necessary to optimize the layout of their main unit — the array of capacitors to minimize the occupied area while simultaneously ensuring the required level of accuracy. That is the subject of this paper. It deals with the design features of the layout of the capacitor array related to the optimization of its geometry, in particular, the choice of its dimensions, capacitance of its unit capacitor

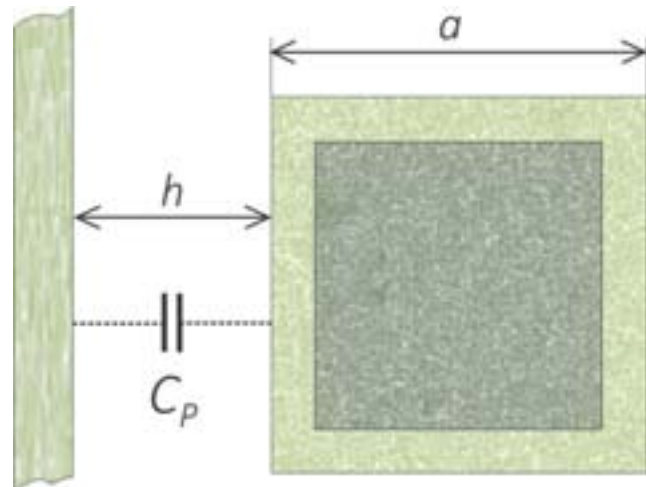


Рис. 1. Емкость между верхней обкладкой единичного конденсатора и сигнальной шиной

Fig. 1. Stray capacitance between top plate of unit capacitor and signal line

где a — длина или ширина конденсатора; C_E — удельная краевая емкость между двумя слоями металлизации (Ф/м), параметр из проектной базы данных; h — расстояние от конденсатора до шины; h_0 — подгоночный параметр, величина которого примерно равна сумме толщины диэлектрика между слоями металлизации и расстояния между краями верхней и нижней обкладок.

Оценка относительной погрешности дифференциальной нелинейности для каждого из N кодов:

$$DNL_{\max} = \frac{\max \left\{ C_i - \sum_{j=0}^{i-1} C_j \right\}}{C_0}, \quad i = 1 \dots N.$$

В числителе этого выражения — максимальная величина разности между паразитной емкостью C_i наибольшего из конденсаторов, переключающихся при переходе от кода $i-1$ к коду i , и суммой паразитных емкостей остальных переключающихся конденсаторов; C_0 — емкость единичного конденсатора. С учетом этих

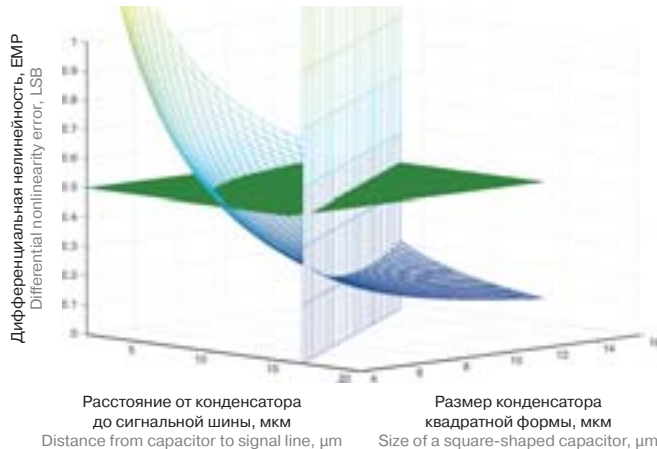


Рис. 2. Зависимость ошибки нелинейности от размеров и расположения конденсаторов

Fig. 2. Relationship between differential nonlinearity, the size of capacitors, and their locations

соотношений зависимость дифференциальной нелинейности от топологических размеров можно записать в виде:

$$DNL_{\max}(a, h) = \frac{C_E \cdot h_0 \cdot \max \left\{ k_i - \sum_{j=0}^{i-1} k_j \right\}}{C_U \cdot a \cdot (h + h_0)},$$

где C_U — удельная емкость единичного конденсатора ($\Phi/\text{м}^2$), параметр из проектной базы данных.

На рис. 2 показана зависимость дифференциальной нелинейности от характерных топологических размеров матрицы конденсаторов. Показаны также плоскости ограничений, обусловленных максимально допустимым уровнем ошибки нелинейности (горизонтальная плоскость) и максимально допустимым размером конденсаторной матрицы (вертикальная плоскость).

Ограничение, связанное с размером матрицы, представляет собой плоскость, описываемую выражением $L = a + h$, где L — параметр, определяющий максимальный размер базовой

ячейки матрицы и, следовательно, характеризующий размер всей матрицы кратный L .

Сечение поверхности погрешности этой плоскостью:

$$DNL_{\max}(a) = \frac{C_E \cdot h_0 \cdot \max \left\{ k_i - \sum_{j=0}^{i-1} k_j \right\}}{C_U \cdot a \cdot (L + h_0 - a)}.$$

Полученное выражение представляет собой зависимость максимального уровня ошибки дифференциальной нелинейности от характерного размера конденсатора a при заданных ограничениях на размер ячейки конденсаторной матрицы L . Очевидно, что функция $DNL_{\max}(a)$ имеет минимум в точке

$$a_{\text{opt}} = \frac{L + h_0}{2}.$$

Очевидно также, что

$$h_{\text{opt}} = \frac{L - h_0}{2}.$$

Таким образом, a_{opt} и h_{opt} являются оптимальными размерами матрицы при заданных ограничениях на максимальный ее размер.

Подстановка a_{opt} и h_{opt} в выражение для дифференциальной нелинейности дает зависимость максимального уровня этого вида погрешности от размера конденсаторной матрицы:

$$DNL_{\max}(L) = \frac{C_E \cdot h_0 \cdot \max \left\{ k_i - \sum_{j=0}^{i-1} k_j \right\}}{C_U \cdot (L + h_0)^2}.$$

Полученное соотношение позволяет оценить ошибку нелинейности при заданном размере конденсаторной матрицы, а также минимальный размер матрицы, необходимый для достижения заданного уровня точности.

Результаты проведенного анализа легли в основу методики оптимизации топологии матрицы конденсаторов в составе блока АЦП последовательного приближения разрядностью 10 бит, реализованного по технологии КМОП с проектной нормой 0,18 мкм.

and the distance between the capacitors and signal lines.

ANALYSIS OF THE EFFECT OF CAPACITOR ARRAY DIMENSIONS

It has been shown that the non-binary component of parasitic capacitance is the main source of the error of differential nonlinearity [10]. The non-binary component of the stray capacitance of a compound capacitor that consists of unit capacitors is due to the capacitance between the top plates of unit capacitors included in this compound capacitor and the signal lines connected to the bottom plates of other capacitors. Therefore, the stray capacitance C_s of each capacitor can be estimated as follows: $C_s = C_p \cdot k$, where C_p is the stray capacitance of a unit capacitor on the signal line passing next to it; k is the

number of unit capacitors that are adjacent to the signal line connected to the capacitor under consideration, but which are not part of this capacitor. Fig. 1 shows a stray capacitance from the top plate of a unit capacitor to the signal line.

The dependence of the stray capacitance $C_p(a, h)$ between a unit square-shaped capacitor and the adjacent signal line on the capacitor size and the distance to the signal line can be approximated by the following expression:

$$C_p(a, h) = \frac{a \cdot h_0 \cdot C_E}{(h + h_0)},$$

where a is the length or width of the capacitor; h is the distance from the capacitor to the signal line; h_0 is an adjustable parameter whose value is approximately equal to the sum of the thickness of the dielectric

between the metal layers and the distance between the edges of the top and bottom plates of capacitor; C_E is a specific edge capacitance between two layers of metallization (F/m). Its value is given in a process design kit (PDK);

Estimation of the relative error of the differential nonlinearity for each of the N codes is given by:

$$DNL_{\max} = \frac{\max \left\{ C_i - \sum_{j=0}^{i-1} C_j \right\}}{C_0}, \quad i = 1 \dots N.$$

The numerator of this expression is the maximum value of the difference between the stray capacitance C_i of the largest capacitor switching on from code $i - 1$ to code i and the sum of the stray capacitances of the other switching capacitors. C_0 is a capacitance of the unit capacitor.



БЛОК АЦП ПОСЛЕДОВАТЕЛЬНОГО ПРИБЛИЖЕНИЯ

Структурная схема АЦП показана на рис. 3. Использована обычная не дифференциальная архитектура с перераспределением заряда. Для уменьшения занимаемой площади матрица конденсаторов ЦАП разделена на две подматрицы. Одна из них управляется семью старшими разрядами кода с выхода регистра последовательного приближения (РПП), другая — тремя младшими разрядами.

Подматрицы соединены между собой через разделительный конденсатор C_a , который выполняет функцию аттенюатора. Номинал единичного конденсатора составляет 90 фФ.

На рис. 4 показана топология блока АЦП. Его высота составляет 230 мкм, что не превышает ширину трех типовых контактных площадок. Поэтому разработанный блок может использоваться для построения многоканальных микросхем с АЦП в каждом канале.

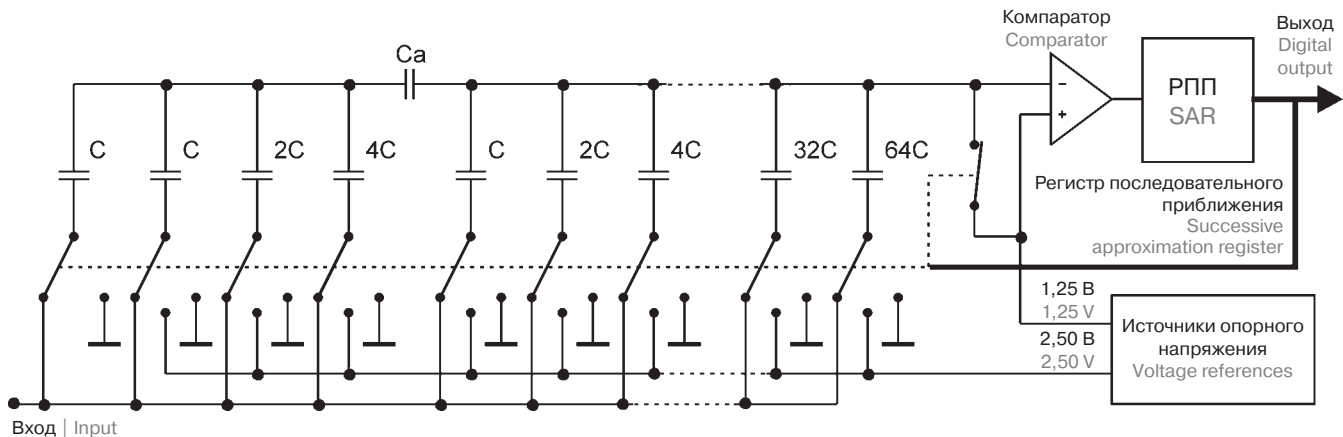


Рис. 3. Структурная схема АЦП

Fig. 3. Schematic diagram of ADC

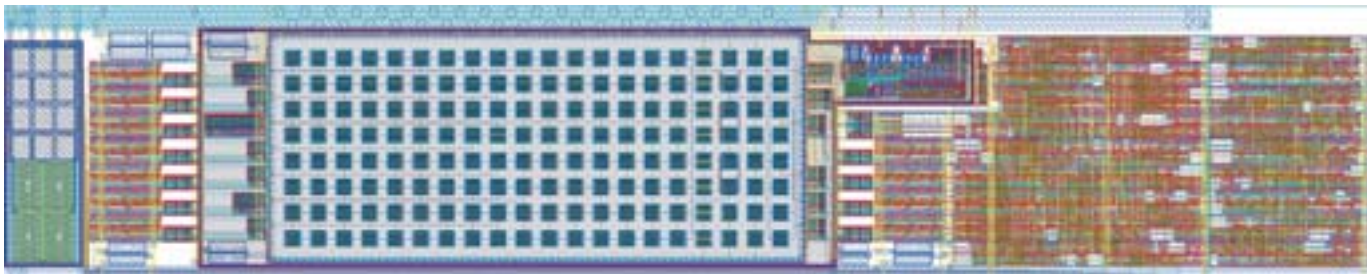


Рис. 4. Топология АЦП

Fig. 4. The ADC layout

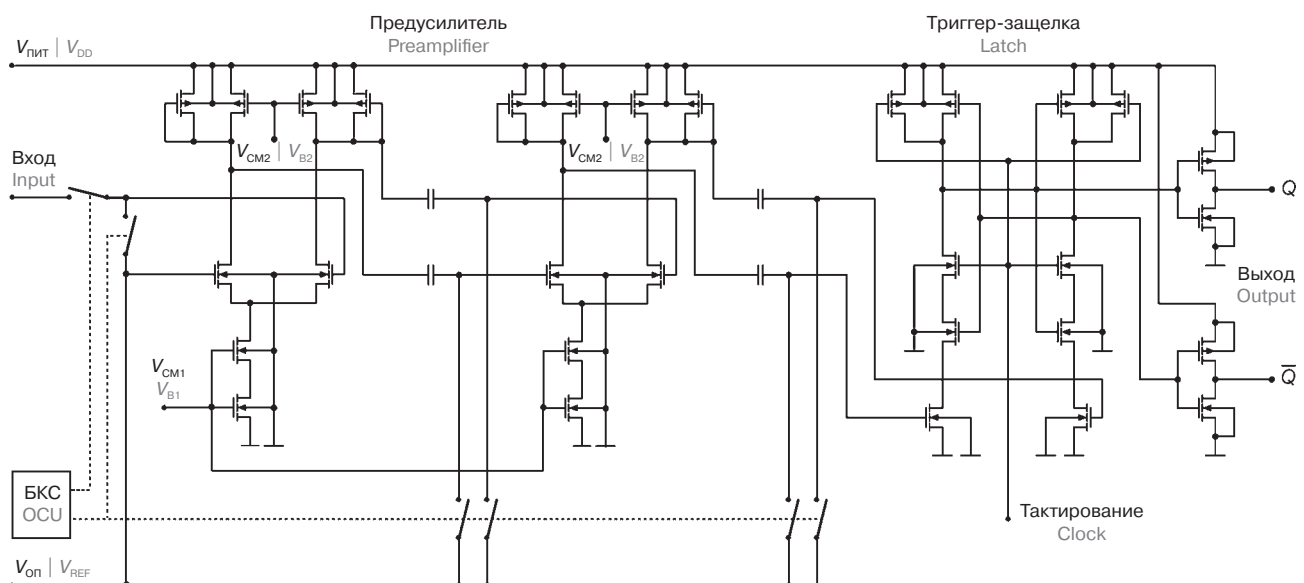


Рис. 5. Компаратор с автоматической коррекцией смещения нуля. БКС — блок коррекции смещения

Fig. 5. Comparator with automatic offset voltage compensation (OCU stands for offset cancelling unit)

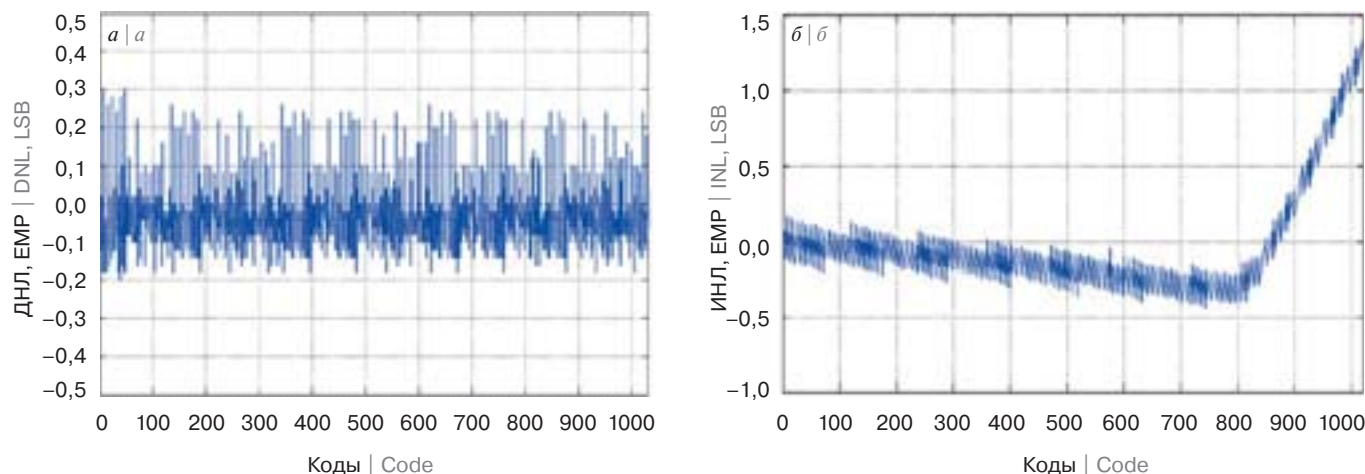


Рис. 6. Статические характеристики АЦП: (а) дифференциальная нелинейность, (б) интегральная нелинейность
 Fig. 6. The ADC static performance: (a) differential nonlinearity and (b) integral nonlinearity

Then the dependence of differential nonlinearity on the size of the elements of capacitor array can be given by:

$$DNL_{max}(a, h) = \frac{C_E \cdot h_0 \cdot \max \left\{ k_i - \sum_{j=0}^{i-1} k_j \right\}}{C_U \cdot a \cdot (h + h_0)},$$

where C_U is a specific capacitance of a unit capacitor (F/m^2). Its value is given in PDK.

Fig. 2 shows the relationship between the differential nonlinearity and the size and location of the capacitors. It also shows two planes of constraints, one of which corresponds to the maximum permissible differential nonlinearity error (horizontal plane), and the other determines the maximum permissible size of the capacitor and the distance between the capacitor and the nearest signal line (vertical plane).

The restriction associated with the dimensions is the plane that is given by the expression $L = a + h$, where L is the parameter that determines the maximum size of the base cell of the array and hence characterizes the size of the entire array because it is a multiple of L .

The section of the error surface by this plane can be given by the following relation:

$$DNL_{max}(a) = \frac{C_E \cdot h_0 \cdot \max \left\{ k_i - \sum_{j=0}^{i-1} k_j \right\}}{C_U \cdot a \cdot (L + h_0 - a)}.$$

This formula shows the dependence of the maximum error of the differential nonlinearity on the characteristic size of the capacitor for given constraints on the size of the capacitor array.

The function $DNL_{max}(a)$ has a minimum at:

$$a_{opt} = \frac{L + h_0}{2}.$$

The optimal value of h is given by:

$$h_{opt} = \frac{L - h_0}{2}.$$

Thus, a_{opt} and h_{opt} are optimal dimensions of the array cell with given restriction on its maximum size. Substitution of these values into the formula for differential nonlinearity gives the relationship between the maximum error and the size of the capacitor array:

$$DNL_{max}(L) = \frac{C_E \cdot h_0 \cdot \max \left\{ k_i - \sum_{j=0}^{i-1} k_j \right\}}{C_U \cdot (L + h_0)^2}.$$

The resulting relation allows us to estimate the nonlinearity error for a given size of the capacitor array, as well as the minimum array size necessary to achieve a given level of accuracy.

The results of the analysis were the basis of the methodology for capacitor array layout optimization in the 10-bit SAR ADC implemented in $0.18\mu m$ CMOS.

SUCCESSIVE APPROXIMATION ADC

Fig. 3 shows a schematic diagram of ADC. It is implemented using a conventional single-ended charge balancing architecture. To reduce the occupied area, the capacitor array of the DAC is divided into two sub-arrays. One of them is controlled by seven most significant bits of the code from the output of the SAR, the other is controlled by three least significant bits. The sub-arrays are connected to each other via capacitor C_a , acting as an attenuator. The capacitance of the unit capacitor is 90fF.

Fig. 4 shows the ADC layout. The height of the block is $230\mu m$, which does not exceed the width of three typical pads. Therefore, it can be used to build multichannel chips with ADC in each channel.

The ADC was developed using radiation hardening by design techniques. In particular, edgeless n-channel MOSFETs with additional guard rings were used, as well as automatic offset compensation in stages of the comparator as shown in Fig. 5.

The ADC has been manufactured in XFAB XPO18 commercial $0.18\mu m$ CMOS process. A feature of this technology is the availability of 5V MOS transistors, which provides a wide range of supply voltages.

Fig. 6 shows the static performance measurements results of the ADC test samples. The level of differential nonlinearity (DNL) does not exceed half the less significant bit (LSB). Integral nonlinearity (INL) is less than 1.5 LSB. The summary of the ADC measured performance is given in Table 1.

CONCLUSION

The paper presents an analysis of the effect of the layout dimensions of elements of a capacitor array on the differential nonlinearity of SAR ADC, as well as gives estimation of the accuracy of the array depending on its size. The obtained results allow estimating the ADC layout dimension and choosing the optimal values of capacitors at the early stages of design.

As an example of practical application of the research results, we have presented a block of a micro-power SAR ADC that has a 10-bit resolution and a speed of 400kps with a current consumption less than 0.1mA. The level of differential nonlinearity does not



Таблица 1. Основные параметры разработанной микросхемы АЦП
Table 1. Summary of the ADC measured performance

Параметр Performance parameter	Значение Value
Разрешение, бит Resolution, bit	10
Быстродействие, квыб/с Conversion rate, kcps	400
Напряжение питания, В Supply voltage, V	3,0–5,5
Температурный диапазон, °C Temperature range, °C	–60...+125
Ошибка дифференциальной нелинейности (макс), ЕМР Differential nonlinearity (max.), LSB	0,5
Ошибка интегральной нелинейности (макс), ЕМР Integral nonlinearity (max.), LSB	1,5
Ток потребления (макс), мА Current consumption (max.), mA	0,1
Интерфейсы Interfaces	Параллельный и SPI Parallel and SPI
Размеры, мкм Dimensions, μm	1100×230
Технология Fabrication process	КМОП, 0,18 мкм CMOS, 0.18 μm

При проектировании блока использовались схемотехнические и топологические методы повышения стойкости к ионизирующему излучению. В частности, реализована функция автоматической коррекции смещения нуля в каскадах компаратора,

как показано на рис. 5. Используются п-канальные МОП транзисторы с кольцевым затвором и дополнительные охранные кольца.

Блок АЦП изготовлен в составе тестовой микросхемы по КМОП технологии XFAV XPO18 с проектной нормой 0,18 мкм. Особенностью использованной технологии является наличие транзисторов с рабочим напряжением до 5 В, что позволило обеспечить широкий диапазон напряжений питания.

На рис. 6 приведены результаты измерений статических характеристик тестовых образцов АЦП. Уровень дифференциальной нелинейности (ДНЛ) не превышает половины единицы младшего разряда (ЕМР). Интегральная нелинейность (ИНЛ) составляет менее 1,5 ЕМР. Значения основных параметров АЦП приведены в табл. 1.

ЗАКЛЮЧЕНИЕ

В работе представлен анализ влияния топологических размеров переключаемых конденсаторов на погрешность дифференциальной нелинейности АЦП последовательного приближения. Дана оценка уровня точности матрицы в зависимости от ее размера. Использование этих результатов позволяет оценить топологический размер блока АЦП и выбрать оптимальные номиналы единичных конденсаторов в составе емкостной матрицы на ранних стадиях проектирования.

В качестве примера практического применения результатов проведенного анализа представлен блок микромощного АЦП последовательного приближения, имеющий разрядность 10 бит и быстродействие 400 квыб/с при величине тока потребления не более 0,1 мА. Уровень дифференциальной нелинейности не превышает 0,5 ЕМР без использования фоновой калибровки.

Разработанный АЦП предназначен для использования в составе специализированных микросхем бортовой электроники

exceed 0.5LSB without using background calibration.

The ADC is designed as part of application-specific IC for spacecraft on-board applications, and also as a standalone IC of multi-channel ADC.

The authors consider that the results of the analysis of the effect of the layout parameters of the capacitor array on the accuracy of the SAR ADC are novel.

REFERENCES

- Zou X., Liu L., Cheong J.H., Yao L., Li P., Cheng M.-Y., Goh W.H., Rajkumar R., Dawe G.S., Cheng K.-W., Je M. *A 100-Channel 1-mW Implantable Neural Recording IC* // IEEE Transactions on Circuits and Systems I: Regular Papers. 2013. Vol. 60. No. 10, P. 2584–2596.
- Zjajo A., van der Meijs N., van Leuken R. *Adaptive Thermal Monitoring of Deep-Submicron CMOS VLSI Circuits* // Journal of Low Power Electronics. 2013. Vol. 9. No. 4, P. 1–11.
- Sonmez U., Sebastiano F., Makinwa K.A.A. *Compact Thermal-Diffusivity-Based Temperature Sensors in 40-nm CMOS for SoC Thermal Monitoring* // IEEE Journal of Solid-State Circuits. 2017. Vol. 52. No. 3, P. 834–843.
- Noguchi K., Nagata M. *An On-Chip Multichannel Waveform Monitor for Diagnosis of Systems-on-a-Chip Integration* // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 2007. Vol. 15. No. 10, P. 1101–1110.
- Sivakumar R., Jothi D. *Recent Trends in Low Power VLSI Design* // International Journal of Computer and Electrical Engineering. 2014. Vol. 6. No. 6, P. 509–523.
- Lee P.H., Lee H.Y., Lee H.B., Jang Y.C. *An On-Chip Monitoring Circuit for Signal-Integrity Analysis of 8-Gb/s Chip-to-Chip Interfaces with Source-Synchronous Clock* // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 2017. Vol. 25. No. 4, P. 1386–1396.
- Whatmough P.N., Das S., Hadjilambrou Z., Bull D.M. *Power Integrity Analysis of a 28nm Dual-Core ARM Cortex-A57 Cluster Using an All-Digital Power Delivery Monitor* // IEEE Journal of Solid-State Circuits. 2017. Vol. 52. No. 6, P. 1643–1654.
- Katoh K., Doumar A., Ito H. *Design of On-Line Testing for SoC with IEEE P1500 Compliant Cores Using Reconfigurable Hardware and Scan Shift* / Proceedings of 11th IEEE International On-Line Testing Symposium. 2005. P. 203–204.
- Zhou H., Gui X., Gao P. *Design of a 12-bit 0.83 MS/s SAR ADC for an IPMI SoC* / Proceedings of 28th IEEE International System-on-Chip Conference (SOCC). Beijing. 2015. P. 175–179.
- Osipov D.L., Bocharov Yu.I., Butuzov V.A. *The Behavioral Model of a Split Capacitor Array Involved in the Successive Approximation Register ADC and Taking into Account the Effect of Parasitic Capacitors* // Russian Microelectronics. 2013. Vol. 42. No 4, P. 253–259.

космических аппаратов, а также в качестве отдельной микросхемы многоканального АЦП.

Авторы считают, что в данной работе новыми являются результаты анализа влияния топологических параметров конденсаторной матрицы на точностные характеристики АЦП последовательного приближения.

ЛИТЕРАТУРА

1. Zou X., Liu L., Cheong J. H., Yao L., Li P., Cheng M.-Y. *et al.* *A 100-Channel 1-mW Implantable Neural Recording IC* // IEEE Transactions on Circuits and Systems I: Regular Papers. 2013. Vol. 60. № 10, pp. 2584–2596.
2. Zjajo A., van der Meijs N., van Leuken R. *Adaptive Thermal Monitoring of Deep-Submicron CMOS VLSI Circuits* // Journal of Low Power Electronics. 2013. Vol. 9. № 4, pp. 1–11.
3. Sonmez U., Sebastiano F., Makinwa K. A. A. *Compact Thermal-Diffusivity-Based Temperature Sensors in 40-nm CMOS for SoC Thermal Monitoring* // IEEE Journal of Solid-State Circuits, 2017. Vol. 52. № 3, pp. 834–843.
4. Noguchi K., Nagata M. *An On-Chip Multichannel Waveform Monitor for Diagnosis of Systems-on-a-Chip Integration* // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 2007. Vol. 15. № 10, pp. 1101–1110.
5. Sivakumar R., Jothi D. *Recent Trends in Low Power VLSI Design* // International Journal of Computer and Electrical Engineering. 2014. Vol. 6. № 6, pp. 509–523.
6. Lee P. H., Lee H. Y., Lee H. B., Jang Y. C. *An On-Chip Monitoring Circuit for Signal-Integrity Analysis of 8-Gb/s Chip-to-Chip Interfaces With Source-Synchronous Clock* // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 2017. Vol. 25. № 4, pp. 1386–1396.
7. Whatmough P. N., Das S., Hadjilambrou Z., Bull D. M. *Power Integrity Analysis of a 28nm Dual-Core ARM Cortex-A57 Cluster Using an All-Digital Power Delivery Monitor* // IEEE Journal of Solid-State Circuits. 2017. Vol. 52. № 6, pp. 1643–1654.
8. Katoh K., Doumar A., Ito H. *Design of On-Line Testing for SoC with IEEE P1500 Compliant Cores Using Reconfigurable Hardware and Scan Shift* / Proceedings of 11th IEEE International On-Line Testing Symposium. 2005, pp. 203–204.
9. Zhou H., Gui X., Gao P. *Design of a 12-bit 0.83 MS/s SAR ADC for an IPMI SoC* / Proceedings of 28th IEEE International System-on-Chip Conference (SOCC). Beijing. 2015, pp. 175–179.
10. Osipov D. L., Bocharov Yu. I., Butuzov V. A. *The Behavioral Model of a Split Capacitor Array Involved in the Successive Approximation Register ADC and Taking Into Account the Effect of Parasitic Capacitors* // Russian Microelectronics. 2013. Vol. 42. № 4, pp. 253–259.

КНИГИ ИЗДАТЕЛЬСТВА "ТЕХНОСФЕРА"



КОМПЬЮТЕРНАЯ АРХИТЕКТУРА. КОЛИЧЕСТВЕННЫЙ ПОДХОД. ИЗДАНИЕ 5-е

Джон Л. Хеннесси, Дэвид А. Паттерсон

При поддержке ПАО «ИНЭУМ» им. И.С. Брука

Перевод с англ. под ред. к.т.н. А.К. Кима

М: ТЕХНОСФЕРА, 2016. – 936 с.
ISBN 978-5-94836-413-1

Цена 1600 руб.

Эта книга издается в России впервые. Ее авторы Дэвид А. Паттерсон и Джон Л. Хеннесси – известные ученые в области вычислительной техники, имеющие опыт разработки компьютерных систем и их узлов, профессора университетов США. Начиная с 1990 г. в США вышло в свет 5 изданий книги, и каждое из них корректировалось с учетом передового и коммерчески успешного текущего состояния компьютерной архитектуры. Книга обоснованно считается классическим учебником в этой области техники.

Компьютерный мир сегодня находится в центре революции: мобильные клиенты и облачные вычисления являются сейчас доминирующей парадигмой в развитии программирования и аппаратных инноваций.

Пятое оригинальное издание «Компьютерной архитектуры» фокусируется на этом существенном сдвиге. Ключевым моментом нового издания является значительно переработанная глава, посвященная параллелизму уровня данных, в которой авторы раскрывают тайну архитектур графических процессоров с помощью четких объяснений, используя традиционную терминологию архитектуры ЭВМ.

Также в книге описывается, каким образом программное обеспечение и облачные технологии стали доступны для сотовых телефонов, планшетных компьютеров, ноутбуков и других мобильных устройств.

Книга предназначена как для профессиональных инженеров и архитекторов, так и для тех, кто связан с преподаванием и изучением курсов современной архитектуры и проектирования компьютеров.

КАК ЗАКАЗАТЬ НАШИ КНИГИ?

✉ 125319, Москва, а/я 91; ☎ +7 (495) 234-0110; ☎ +7 (495) 956-3346; ✉ knigi@technosfera.ru, sales@technosfera.ru