



# ПРИМЕНЕНИЕ ВИЗУАЛЬНОЙ АНАЛИТИКИ И СИСТЕМ ПРИБОРНО-ТЕХНОЛОГИЧЕСКОГО МОДЕЛИРОВАНИЯ ПРИ УПРАВЛЕНИИ КАЧЕСТВОМ ТЕХНОЛОГИЧЕСКИХ ПРОЦЕССОВ ФОРМИРОВАНИЯ КРИСТАЛЛОВ СБИС

## APPLICATION OF VISUAL ANALYTICS AND TCAD SYSTEMS IN QUALITY MANAGEMENT OF VLSI CRYSTAL FORMATION TECHNOLOGICAL PROCESSES

УДК 004.942

ГЛУШКО АНДРЕЙ АЛЕКСАНДРОВИЧ<sup>1,2</sup>*К. т. н., доцент**andrei19386@mail.ru*GLUSHKO ANDREY A.<sup>1,2</sup>*Ph.D, docent**andrei19386@mail.ru*ЯШИН ГЕОРГИЙ АЛЕКСЕЕВИЧ<sup>1,2</sup>*Магистрант**georgtree@gmail.com*YASHIN GEORGY A.<sup>1,2</sup>*Master**georgtree@gmail.com*НОВОСЕЛОВ АНТОН СЕРГЕЕВИЧ<sup>2</sup>*Руководитель группы**anton\_novoselov@srisa.ru*NOVOSELOV ANTON S.<sup>2</sup>*Team leader**anton\_novoselov@srisa.ru*АМИРХАНОВ АЛЕКСЕЙ ВЛАДИМИРОВИЧ<sup>2</sup>*К. ф.-м. н., руководитель группы**aav@srisa.ru*AMIRKHANOV ALEXEY V.<sup>2</sup>*Ph.D, team leader**aav@srisa.ru*ЗИНЧЕНКО ЛЮДМИЛА АНАТОЛЬЕВНА<sup>1</sup>*Д. т. н., профессор**lzinchenko@bmstu.ru*ZINCHENKO LYUDMILA A.<sup>1</sup>*Ph.D, professor**lzinchenko@bmstu.ru*МАКАРЧУК ВЛАДИМИР ВАСИЛЬЕВИЧ<sup>1</sup>*К. т. н., доцент**vvmakarchuk@gmail.com*MAKARCHUK VLADIMIR V.<sup>1</sup>*Ph.D, docent**vvmakarchuk@gmail.com*СЕРГЕЕВА НАТАЛЬЯ АЛЕКСЕЕВНА<sup>1</sup>*Старший преподаватель**snataliaa@yandex.ru*SERGEEVA NATALIA A.<sup>1</sup>*Senior Lecturer**snataliaa@yandex.ru*<sup>1</sup> МГТУ им. Н. Э. Баумана

105005, Москва, 2-я Бауманская ул., 5, стр. 1

<http://www.bmstu.ru><sup>2</sup> ФГУ ФНЦ НИИСИ РАН

117218, Москва, Нахимовский просп., 36, к. 1

<https://www.niisi.ru><sup>1</sup> Bauman MSTU

bld. 1, 5 2nd Baumanskaya St., Moscow, 105005

<http://www.bmstu.ru><sup>2</sup> SRISA RAS

bld. 1, 36 Nakhimovskiy Ave., Moscow, 117218

<https://www.niisi.ru>

Предложена методика применения средств визуальной аналитики для управления качеством технологических процессов формирования кристаллов СБИС. Рассмотрено применение предложенной методики управления качеством на примерах обнаружения неисправности имплантера и проектирования тестовой структуры контроля сопротивления LDD-областей.

*Ключевые слова:* визуальная аналитика; приборно-технологическое моделирование; СБИС; управление качеством.

A technique for using visual analytics to control the quality of VLSI crystal forming processes has been proposed. The application of the suggested quality management technique has been considered using as an example the detection of an implant failure and the designing of test structure for controlling the resistance of LDD areas.

*Keywords:* visual analytics; TCAD simulation; VLSI; quality management.

### ВВЕДЕНИЕ

Проблема управления качеством производства СБИС с субмикронными размерами элементов в настоящее время является одной

из наиболее актуальных и важных проблем производства, решение которой представляет собой весьма сложную задачу. Дело в том, что технологический процесс производства СБИС насчитывает

несколько сотен отдельных технологических операций, при этом каждая операция в той или иной степени влияет на выходные параметры изготавливаемой СБИС. Поэтому необходим контроль отклонения параметров технологического процесса, что реализуется обычно при помощи измерения электрофизических параметров специальных тестовых структур. Однако в ряде случаев имеющийся набор тестовых структур не всегда обладает возможностью предоставить полную информацию о параметрах технологического процесса.

В этой ситуации имеющийся инструмент приборно-технологического моделирования может быть эффективно использован не только для прогноза электрофизических параметров элементов СБИС, что используется на этапе проектирования качества, но также позволяет выявить операцию технологического процесса, на которой мог произойти сбой режима изготовления. На основе полученной информации можно провести анализ возможности выполнения технологических воздействий, позволивших бы нейтрализовать последствия сбоя режима технологического оборудования, тем самым повысив качество изготовления кристаллов СБИС.

### УПРАВЛЕНИЕ КАЧЕСТВОМ ПРОИЗВОДСТВА КРИСТАЛЛОВ СВЕРХБОЛЬШИХ ИНТЕГРАЛЬНЫХ СХЕМ

Управление качеством производства кристаллов СБИС может быть упрощенно представлено в виде реализации трех подсистем:

- подсистема обеспечения качества;
- подсистема контроля качества;
- подсистема управления качеством.

Подсистема обеспечения качества может быть упрощенно представлена в виде блок-схемы, приведенной на рис. 1.

Для обеспечения качества СБИС необходимо использование в едином комплексе различных средств проектирования. Так, например, на основе технических требований к выходным параметрам схемы с помощью схематехнических САПР

устанавливаются требования к параметрам отдельных компонентов — транзисторов, резисторов, конденсаторов. Эти параметры по заданному алгоритму экстрагируются из ряда электрических характеристик, зависящих от конструкции компонента и технологии его формирования. Связь между конструкцией, технологией и электрическими характеристиками компонента СБИС устанавливается с помощью системы приборно-технологического моделирования. Предварительно выполняется структурная и параметрическая идентификация (так называемая калибровка) моделей технологических операций для обеспечения заданной точности прогноза параметров качества на основе моделирования. Затем на основе информации о допустимых отклонениях электрических параметров исследуемого компонента, можно с помощью системы приборно-технологического моделирования оценить коэффициенты влияния технологических режимов на параметры качества. На основании полученных результатов определяются допуски на вариации технологических режимов и осуществляется их выбор.

С использованием приборно-технологического моделирования оценить процент выхода годных СБИС можно следующим образом. Сначала с помощью метода статистических испытаний Монте-Карло следует сгенерировать несколько выборок случайных значений параметров технологического процесса, а затем провести приборно-технологическое моделирование при всех сгенерированных случайных значениях режимов технологического процесса. После этого необходимо оценить долю выборок, при которых функциональные параметры СБИС признаются удовлетворительными. Эта доля выборок и будет отражать процент выхода годных. Точность полученной оценки будет тем выше, чем больше случайных выборок будет проанализировано. С другой стороны, при обеспечении качества следует учитывать и временные ограничения, поскольку время приборно-технологического моделирования даже на достаточно мощных компьютерах может достигать нескольких часов.

### INTRODUCTION

The quality control problem of VLSI production with submicron sizes of elements is currently one of the most urgent and important production problems, whose solution is a very difficult task. The fact is that the technological process of VLSI production has several hundred separate technological operations, with each operation to some extent influencing the output parameters of the VLSI manufactured. Therefore, it is necessary to control the deviation of process parameters, which is usually realized by measuring the electrophysical parameters of special test structures. However, in a number of cases, the existing set of test structures does not always have the ability to provide complete information about the parameters of the technological process.

In this situation, the existing tool for TCAD simulation can be effectively used not only to predict the electrophysical parameters of VLSI elements, which is used at the design stage of quality, but also allows one to identify the operation of the technological process

at which the manufacturing mode failed. On the basis of the received information, it is possible to analyze the feasibility of performing technological influences that would neutralize the consequences of the technological equipment regime failure, thereby improving the quality of VLSI crystal manufacturing.

### QUALITY MANAGEMENT OF VLSI CRYSTAL MANUFACTURING

The quality management of VLSI crystals can be simplified in the form of three subsystems:

- subsystem of quality assurance;
- subsystem of quality control;
- subsystem of quality management.

The quality assurance subsystem can be simplified in the form of a block diagram, shown in Fig. 1.

To ensure the quality of VLSI, it is necessary to use various design tools in a single complex. So, for example, on the basis of technical requirements for output parameters of the circuit with the help of schematic CAD, the requirements for the parameters

of individual components (transistors, resistors, capacitors etc.) are established. These parameters are extracted from a set of electrical characteristics according to a given algorithm, depending on the design of the component and the technology of its formation. The connection between the design, technology and electrical characteristics of the VLSI component is established using the system of TCAD simulation. Preliminary structural and parametric identification (the so-called calibration) of the models of technological operations is performed to ensure the specified accuracy of the forecast of quality parameters on the basis of modeling. Then, based on information on the permissible deviations of the research component electrical parameters, it is possible to estimate the coefficients of the effect of technological regimes on the quality parameters with the help of the TCAD simulation system. On the basis of the results obtained, tolerances are determined on the variation of technological regimes and their choice is made.

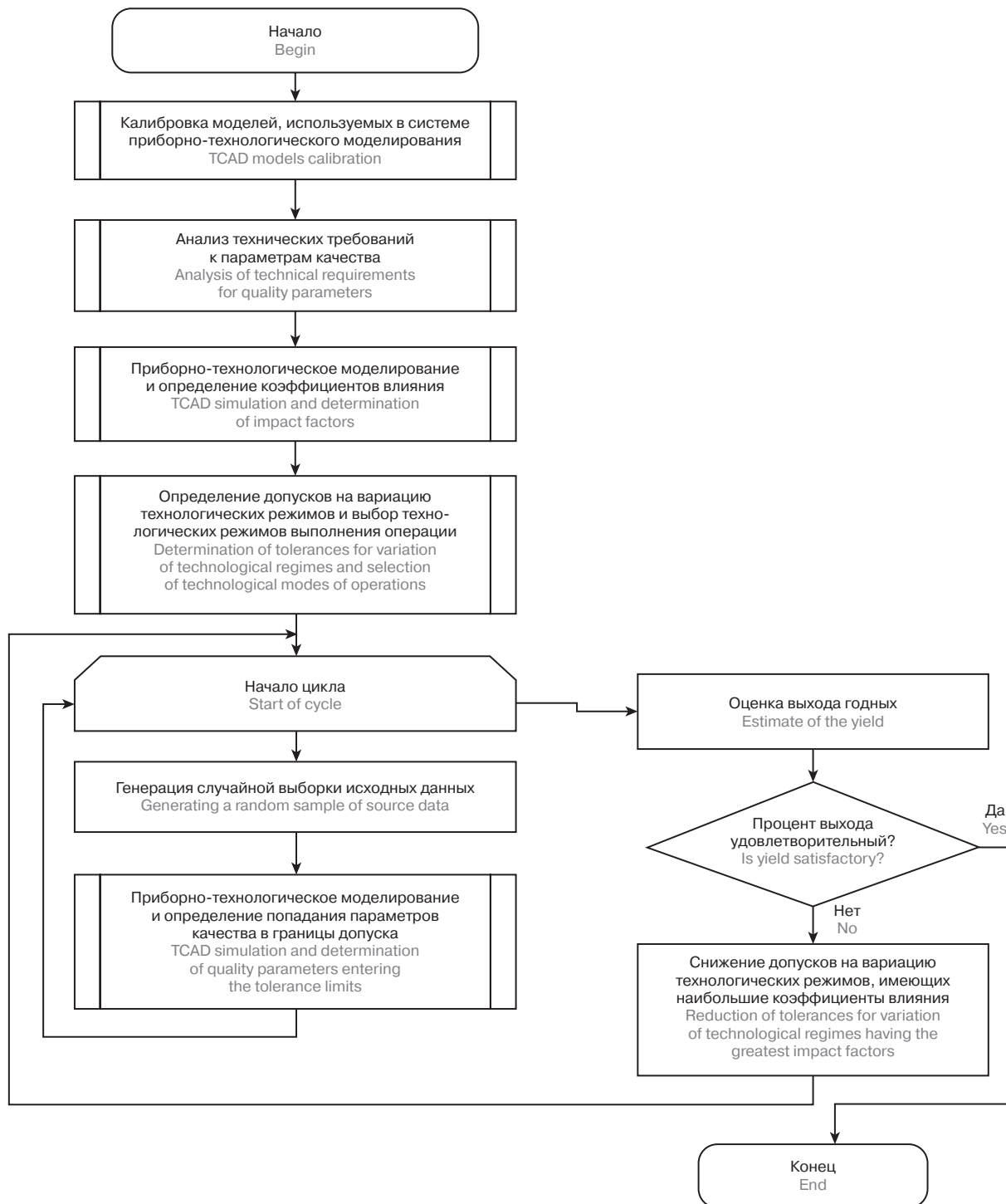


Рис. 1. Упрощенная блок-схема подсистемы обеспечения качества производства СБИС

Fig. 1. Simplified block diagram of the VLSI production quality assurance subsystem

### ПРИБОРНО-ТЕХНОЛОГИЧЕСКОЕ МОДЕЛИРОВАНИЕ КАК ЭЛЕМЕНТ ПОДСИСТЕМЫ КОНТРОЛЯ И УПРАВЛЕНИЯ КАЧЕСТВОМ

Приборно-технологическое моделирование является не только одним из инструментов обеспечения качества, но также позволяет анализировать результаты эксперимента в случае отклонения технологических режимов обработки партии пластин и оценить величину отклонения режимов. Схематично

процесс управления качеством СБИС в этом случае показан на рис. 2.

Процесс локализации технологической операции, на которой произошел сбой, можно описать следующим образом. Сначала на основе приборно-технологического моделирования выявляются взаимосвязи между параметрами качества и технологическими режимами выполнения операций. Эти результаты могут быть оформлены, в частности, в виде причинно-следственной

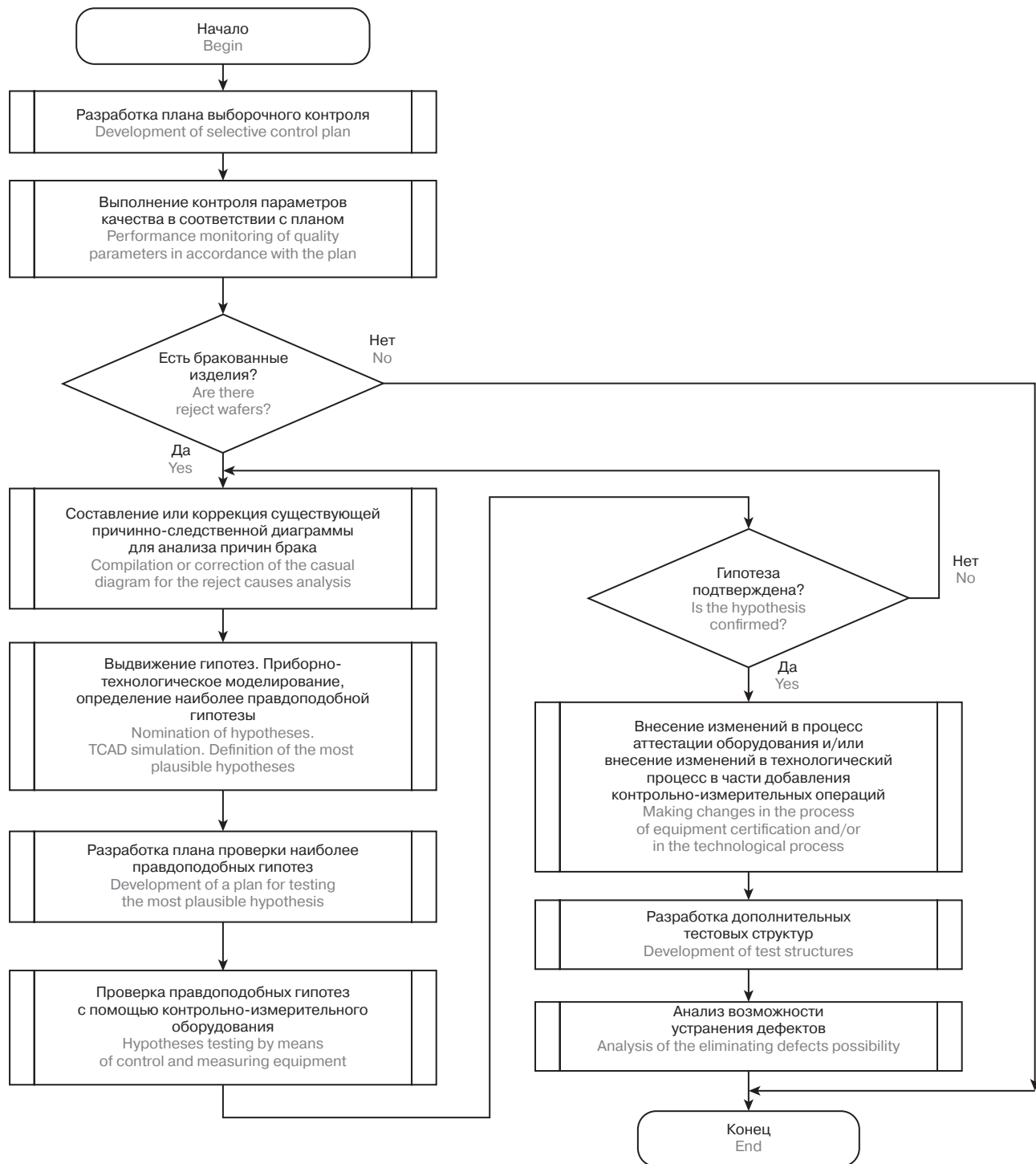


Рис. 2. Подсистема контроля качества и управления качеством производства СБИС  
Fig. 2. The subsystem of quality control and quality management of VLSI production

диаграммы Исикавы [1]. На основе результатов измерений и упомянутой диаграммы выдвигается гипотеза о причинах возможных изменений параметров технологического процесса. В ряде случаев гипотезы должны быть такими, чтобы существующая процедура аттестации оборудования не позволяла бы увидеть сбой в его работе (этот прием еще называют диверсионным анализом). Затем с помощью той же системы приборно-технологического моделирования проверяется состоятельность

сформулированной гипотезы и делается предложение об усовершенствовании процесса аттестации оборудования или о разработке дополнительных тестовых структур контроля параметров технологического процесса.

В случае отклонения параметров технологического процесса возможно на основе приборно-технологической модели оценить возможность реставрации изготавливаемых пластин, а именно, показать, какую обработку пластин и с какими режимами



следует выполнить, для того чтобы обеспечить попадание параметров качества в установленные техническим заданием границы допуска.

Кроме того, инструмент приборно-технологического моделирования позволяет проектировать контрольно-измерительные структуры параметрического монитора. Так, в работе [2] на основе приборно-технологической модели изложены результаты проектирования тестовой структуры контроля уровня легирования LDD-областей.

Ниже будет описано, как такая структура позволила проанализировать годные и забракованные пластины и локализовать причину брака.

### **КОНТРОЛЬ И УПРАВЛЕНИЕ КАЧЕСТВОМ ТЕХНОЛОГИЧЕСКИХ ПРОЦЕССОВ ФОРМИРОВАНИЯ ЭЛЕМЕНТОВ СБИС С ИСПОЛЬЗОВАНИЕМ СИСТЕМ ПРИБОРНО-ТЕХНОЛОГИЧЕСКОГО МОДЕЛИРОВАНИЯ НА ПРИМЕРЕ ОБНАРУЖЕНИЯ НЕИСПРАВНОСТИ ОБОРУДОВАНИЯ ИОННОЙ ИМПЛАНТАЦИИ**

Одним из возможных примеров применения систем приборно-технологического моделирования при контроле и управлении качеством изготавливаемых пластин было обнаружение неисправности в работе имплантера. Дело в том, что по результатам пооперационного контроля было установлено, что в одной из партий пластин пороговое напряжение полевого транзистора оказалось существенно завышено по отношению к такому параметру на пластинах других партий. Проведенный анализ возможных причин такого увеличения порогового напряжения позволил выделить следующие возможные факторы:

1. Увеличилась толщина подзатворного окисла;
2. В окисле изменилось соотношение привнесенных в технологическом процессе зарядов;
3. Изменилось легирование карманов или LDD-областей.

Причинно-следственная диаграмма влияния технологических параметров на пороговое напряжение представлена на рис. 3.

Первый фактор был проверен на основе анализа вольт-фарадных характеристик МОП-конденсатора, являющегося одним из тестовых элементов параметрического монитора. Результат проверки оказался отрицательным. То есть толщина подзатворного окисла существенно не изменилась.

Второй фактор был проверен отжигом пластины, в процессе которого все заряды в окисле должны были рекомбинировать и, как следствие, пороговое напряжение полевого транзистора должно было нормализоваться. Однако проведенный отжиг ощутимых результатов также не дал.

Кроме измеренного порогового напряжения основного транзистора, был измерен аналогичный параметр паразитного, «донного» транзистора, величина которого оказалась порядка 20 В, что было существенно меньше рассчитанного в результате приборно-технологического моделирования.

Полученные результаты позволили выдвинуть гипотезу о том, что в кармане полевого транзистора изменилось соотношение между поверхностной и донной концентрациями легирующей примеси.

Для объяснения этой гипотезы было выполнено приборно-технологическое моделирование всего технологического цикла производства СБИС, которое показало, что такое возможно лишь в том случае, если энергия процесса глубокого легирования кармана полевого транзистора методом ионной имплантации уменьшится в 3 раза (что связано с возможной потерей заряда трехзарядными ионами легирующей примеси и их дальнейшим ускорением, но уже до энергии в 3 раза меньшей заданной имплантеру).

Следует отметить, что стандартный процесс аттестации имплантера, основанный на измерениях поверхностного сопротивления соответствующей тестовой структуры параметрического монитора, не показал неисправности в работе установки, поскольку поверхностное сопротивление главным образом зависит не от энергии, а от дозы легирования (см. рис. 4), которая осталась неизменной.

Выдвинутая гипотеза побудила к дальнейшей проверке качества работы имплантера, которая обнаружила наличие

Using the TCAD simulation, it is possible to estimate the yield of suitable VLSIs in the following way. First, using the Monte Carlo statistical test method, several samples of random process parameter values should be generated, and then an instrument-technological simulation should be performed for all random process values generated. After this, it is necessary to estimate the fraction of samples in which the VLSI functional parameters are recognized as satisfactory. This percentage of samples will reflect the yield of those that are eligible. The accuracy of the obtained estimate will be the higher, the more random samples will be analyzed. On the other hand, with quality assurance, time constraints must also be taken into account, since the time of instrument-technological modeling can reach several hours even on sufficiently powerful computers.

### **TCAD SIMULATION AS AN ELEMENT OF THE QUALITY CONTROL AND MANAGEMENT SUBSYSTEM**

TCAD simulation is not only one of the quality assurance tools, but also allows you to analyze the results of an experiment in the event of technological modes deviation of wafers processing and to estimate the magnitude of the deviation of the regimes. Schematically, the VLSI quality management process in this case is shown in Fig. 2.

The process of the technological operation localization, on which the failure occurred, can be described as follows. First, on the basis of TCAD simulation, the relationships between quality parameters and technological modes of performing operations are revealed. These results can be formalized, in particular, in the form of a causal diagram (Ishikawa diagram) [1]. Based on the

results of measurements and the above diagram, a hypothesis is advanced about the causes of possible changes in the technological process parameters. In a number of cases, the hypotheses should be such that the existing procedure for attesting equipment does not allow one to see failures in its operation (this technique is also called sabotage analysis). Then, with the help of the same system of TCAD simulation, the consistency of the formulated hypothesis is checked and a proposal is made to improve the process of equipment attestation or to develop additional test structures for monitoring the parameters of the technological process.

In the case of process parameters deviation, it is possible to assess the possibility of wafer restoring to be manufactured on the basis of the TCAD model, namely, to show what wafer treatment and with which regimes should be performed in order to ensure that

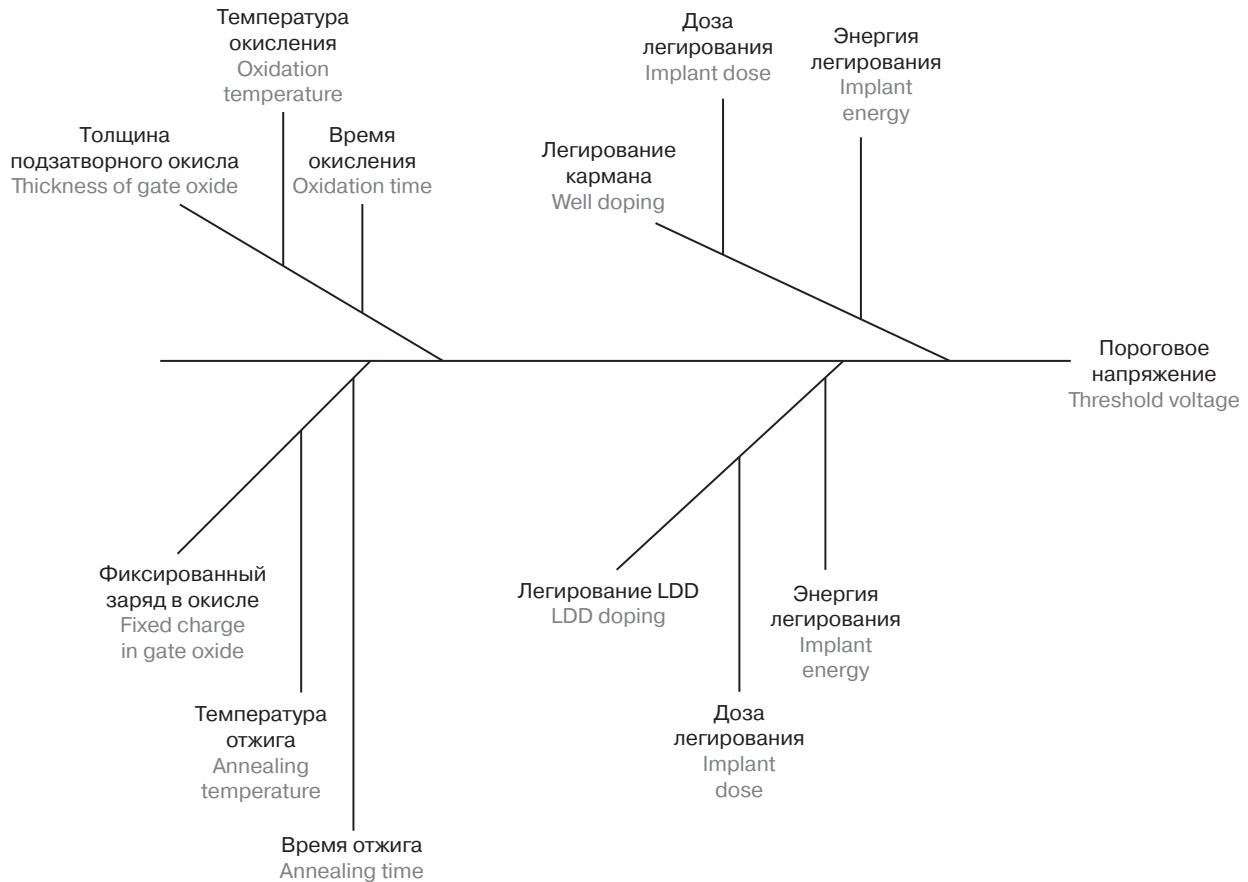


Рис. 3. Причинно-следственная диаграмма влияния технологических параметров на пороговое напряжение полевого транзистора как параметра качества

Fig. 3. The causal diagram of the process parameters influence on the threshold voltage of the field-effect transistor as a quality parameter

повышенного остаточного давления в его рабочей зоне, что указывало на присутствие там атомов газа, от которых по каким-либо причинам не удалось избавиться и наличие которых может приводить к потере части заряда трехзарядными ионами легирующей примеси фосфора.

Для окончательной проверки гипотезы об изменении энергии легирования были подготовлены экспериментальные образцы пластин, легированные трехзарядными ионами фосфора, после чего эти образцы были отправлены на ВИМС-анализ, результаты которого представлены на рис. 5.

Из рисунка видно, что действительно произошло трехкратное уменьшение энергии легирующих ионов. Полученные результаты позволили дополнить процесс аттестации имплантера, включив в него ВИМС-анализ в качестве обязательного элемента аттестации.

### АНАЛИЗ ГОДНЫХ И ЗАБРАКОВАННЫХ ИЗДЕЛИЙ С ПОМОЩЬЮ ОПЕРАЦИИ КОНТРОЛЯ ПАРАМЕТРОВ LDD-ОБЛАСТЕЙ

В предыдущем разделе речь шла об операции легирования карманов полевых транзисторов, контроль за выполнением которой осуществлялся с использованием резистивных структур и структур МОП-конденсаторов. Однако на тот момент контроль за созданием LDD-областей, которые формировались легированием однозарядными ионами малой энергии (5–30 кэВ) бора (для р-канальных транзисторов) или фосфора (для n-канальных транзисторов), еще не был введен, поскольку

потеря заряда ионами в этой технологической операции считалась маловероятной. Однако, как показали исследования, наличие даже небольшого слоя (порядка 100–200 Å) остаточного резиста или окисла может нарушить функционирование транзисторной структуры [2]. Необходимо подчеркнуть, что контроль дозы легирования при формировании LDD-областей

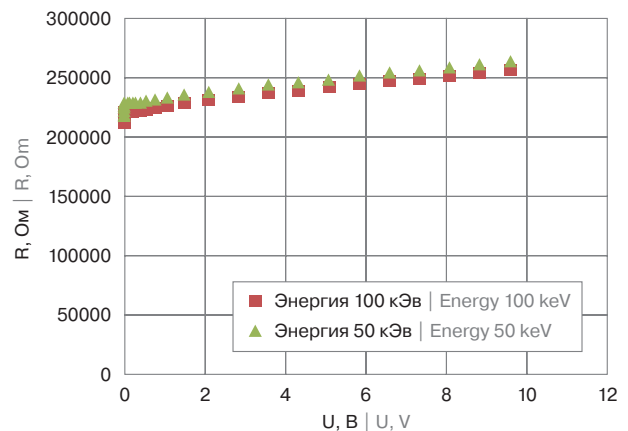


Рис. 4. Влияние энергии ионов легирующей примеси на поверхностное сопротивление области кармана полевого транзистора при постоянной дозе легирования

Fig. 4. The influence of the energy of dopant ions on the surface resistance of the field-effect transistor pocket at a constant dose of doping



на основе измерения сопротивления тестовых структур параметрического монитора был затруднен в связи с тем, что LDD-области в «чистом виде» не присутствовали в тестовых структурах параметрического монитора: имело место либо их включение последовательно с областью легирования карманов (имеющих большее сопротивление), либо параллельно с сильнолегированной областью истока/стока (имеющей меньшее сопротивление). Поэтому была разработана специальная шестиконтактная структура контроля сопротивления LDD-областей, описание которой приведено в [2]. Следует еще раз отметить, что, как показало приборно-технологическое моделирование, качество легирования LDD-областей чрезвычайно чувствительно к толщинам слоев остаточного резиста и окисла.

Разработанная структура позволила установить причину брака в одной из партий пластин, в которой пороговые напряжения полевых транзисторов оказались примерно в 2 раза выше установленной нормы. При этом структуры контроля степени легирования карманов и сильнолегированных областей не имели существенных отклонений в величине сопротивлений относительно средних значений по партиям. Измеренная толщина подзатворного окисла также не имела отличий от заданной нормы. Существенное отклонение от заданной нормы было выявлено только при измерении величины сопротивления LDD-областей. На рис. 6–7

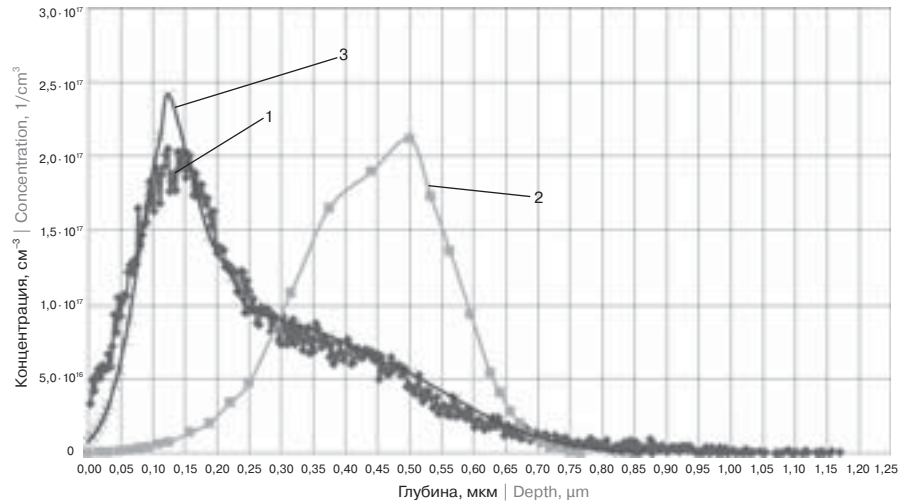


Рис. 5. Результаты ВИМС-анализа по оценке качества работы имплантера: Легирование трехзарядными ионами с энергией 360 кЭв (эксперимент — кривая 1 и моделирование — кривая 2). Легирование ионами с энергией 360/3 = 120 кЭв (моделирование — кривая 3)

Fig. 5. Results of SIMS analysis for assessing the quality of the implanter's work: Doping with triply charged ions with an energy of 360keV (experiment — curve 1 and simulation — curve 2). Doping with ions with an energy of 360/3 = 120keV (simulation — curve 3)

показаны вольтамперные характеристики резисторов на основе областей п- и р-типа легирования для годных пластин, а на рис. 8–9 — аналогичные характеристики в партии бракованных пластин.

Как видно из приведенных рисунков, резисторы, сформированные из LDD-областей, в бракованной партии пластин имеют качественно другую вольтамперную характеристику по сравнению с аналогичными резисторами из партии годных пластин. Поэтому, в соответствии с причинно-следственной

the quality parameters fall within the tolerance limits established by the technical specification.

In addition, the tool of TCAD simulation allows one to design control and measuring structures of a parametric monitor. So in work [2] on the basis of the TCAD model the results of test structure designing for control of the LDD-regions doping level are presented. Below it will be described how such a structure allowed one to analyze the fit and rejected wafers and to localize the cause of the reject.

#### CONTROL AND QUALITY MANAGEMENT OF VLSI ELEMENTS TECHNOLOGICAL PROCESSES USING THE SYSTEMS TCAD SIMULATION ON THE EXAMPLE OF THE ION IMPLANTATION EQUIPMENT FAILURE DETECTION

One of the possible examples of TCAD simulation system application in the control and

quality management for the produced wafers was the detection of a malfunction in the operation of the implanter. The fact is that according to the results of the operational control it was established that in one of the wafers batches the threshold voltage of the field-effect transistor was significantly overestimated in relation to such a parameter on the wafers of other batches. The analysis of possible reasons for this increase in the threshold voltage made it possible to single out the following possible factors:

1. The thickness of the gate oxide increased;
2. In the gate oxide, the ratio of the charges introduced in the technological process changed;
3. Well or LDD areas doping changed.

The causal diagram of technological parameters influence on threshold voltage is represented on Fig. 3.

The first factor was tested basing on the analysis of the MOS capacitor volt-farad characteristics, which is one of the test elements of a parametric monitor. The result of the test

was negative. That is, the thickness of the gate oxide did not change significantly.

The second factor was verified by the wafer annealing, during which all charges in the oxide had to be recombined and, as a consequence, the threshold voltage of the field-effect transistor should be normalized. However, the conducted annealing did not yield any tangible results.

In addition to the measured threshold voltage of the main transistor, an analogous parasitic "bottom" transistor parameter was measured, whose value turned out to be of the order of 20V, which was much less than the calculated TCAD simulation.

The results obtained made it possible to propose a hypothesis that in the well of the field-effect transistor the ratio between the surface and bottom dopant concentrations changed.

To explain this hypothesis, TCAD simulation of the entire VLSI production technological cycle was performed, which showed that this is possible only if the energy of the

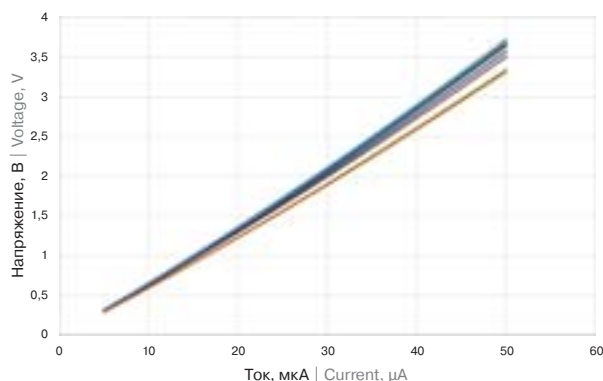


Рис. 6. Вольтамперная характеристика тестовой структуры контроля LDD-областей n-типа у годных пластин

Fig. 6. Volt-ampere characteristic of the n-type LDD-regions control test structure in suitable wafers

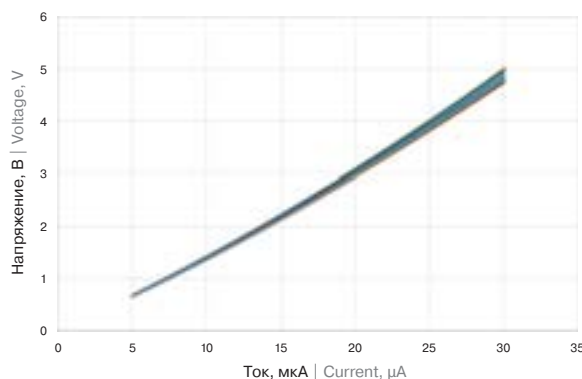


Рис. 7. Вольтамперная характеристика тестовой структуры контроля LDD-областей p-типа у годных пластин

Fig. 7. Volt-ampere characteristic of the p-type LDD-regions control test structure in suitable wafers

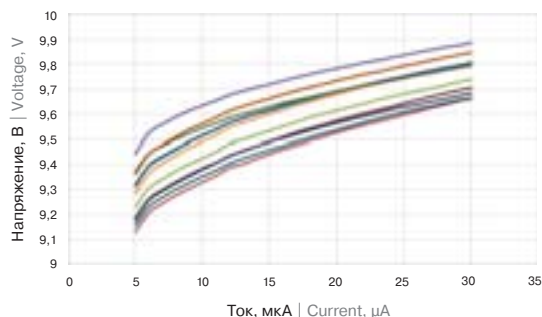


Рис. 8. Вольтамперная характеристика тестовой структуры контроля LDD-областей n-типа у бракованных пластин

Fig. 8. Volt-ampere characteristic of the n-type LDD-regions control test structure in reject wafers

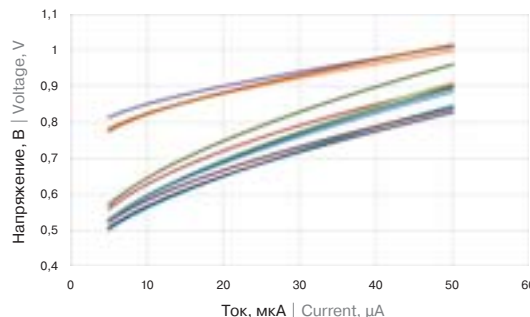


Рис. 9. Вольтамперная характеристика тестовой структуры контроля LDD-областей p-типа у бракованных пластин

Fig. 9. Volt-ampere characteristic of the p-type LDD-regions control test structure in reject wafers

deep doping well process for the field-effect transistor by the ion implantation method decreases by a factor of 3 (due to the possible loss of charge by three-charged ions of the doping impurity and their further acceleration, but already up to energy 3 times lower than the preset implant).

It should be noted that the standard process of the implanter attestation based on corresponding test structure surface resistance measurements did not show a malfunction in the plant operation, since the surface resistance mainly depends not on the energy but on the doping dose (see Fig. 4), which remained unchanged.

The proposed hypothesis prompted further implanter's operation quality testing, which revealed the presence of an increased residual pressure in its working zone, which indicated the presence of gas atoms there, which for some reason could not be disposed of and whose presence could lead to the loss of a part of the charge by triply charged ions doping impurity of phosphorus.

For the final verification of hypothesis discussed, experimental wafer samples doped with triply charged phosphorus ions were prepared, after which these samples were sent for SIMS analysis, the results of which are shown in Fig. 5.

It can be seen from the figure that a threefold decrease in the energy of the doping ions actually occurred. The obtained results allowed one to supplement the process of the implanter attestation, including SIMS analysis as an obligatory element of certification.

#### ANALYSIS OF FIT AND REJECTED WAFERS USING THE PARAMETER CONTROL OPERATION OF LDD-AREAS

In the previous section we talked about the operation of field-effect transistors doping well, whose control was carried out using resistive structures and MOS capacitor structures. However, at that time, control over the LDD regions doping, which were formed

by doping with low-energy (5–30keV) single-charged ions of boron (for p-channel transistors) or phosphorus (for n-channel transistors) had not yet been introduced, since the loss of charge by ions in this technological operation was considered unlikely. However, research has shown that the presence of even a small residual resist or oxide layer (of the order about 100–200Å) can disrupt the functioning of the transistor structure [2]. It should be emphasized that controlling the dose of doping in the formation of LDD-regions based on measuring the resistance of the test structures was hampered by the fact that the LDD regions were not present in the “pure form” in the test structures: consequentially with an area of doping wells (having greater resistance), or in parallel with a heavily doped source / drain region (having a lower resistance). Therefore, a special six-contact structure for controlling the resistance of LDD regions was developed, whose description is given in [2]. It should be noted again that, as demonstrated





диаграммой, можно локализовать причину двукратного повышения порогового напряжения как сбой при выполнении операции легирования LDD-областей, вызванный либо наличием загрязнений на пластине, либо наличием остаточных слоев окисла/резиста. Следовательно, перед формированием LDD-областей необходимо осуществлять визуальный контроль поверхности пластин на предмет наличия остаточных слоев резиста или окисла, а также загрязнений. Кроме того, перед формированием защитного окисла следует проверять чистоту поверхности пластины, а также постоянно контролировать его толщину.

### ВЫВОДЫ И РЕКОМЕНДАЦИИ

Приборно-технологическое моделирование может быть неотъемлемым инструментом как обеспечения, так и контроля и управления качеством технологических процессов. С его помощью может быть разработана причинно-следственная диаграмма и выполнена оценка выхода годных при заданном разбросе технологических режимов.

Кроме того, этот инструмент позволяет оперативно проверять гипотезы возможных причин брака, проводить диверсионный анализ с целью улучшения качества выпускаемых микросхем и анализа узких мест в разработанном технологическом маршруте их производства.

Инструмент приборно-технологического моделирования является неотъемлемым помощником и для разработки тестовых

структур контроля, что было продемонстрировано при разработке структуры контроля легирования LDD-областей.

Таким образом, в статье предложен комплекс методик, позволяющий обеспечить управление качеством технологических процессов производства СБИС.

### БЛАГОДАРНОСТИ

Авторы благодарят инженера-технолога Отделения микротехнологий ФГУ ФНЦ НИИСИ РАН О. И. Вылеталину за предоставленные результаты ВИМС-анализа.

Приборно-технологическое моделирование выполнялось в системе TCAD Sentaurus, установленной на вычислительном сервере МГТУ им. Н. Э. Баумана.

*Работа выполнена при частичной финансовой поддержке РФФИ (грант 15-07-03116).*

### ЛИТЕРАТУРА

1. Глудкин О. П., Горбунов Н. М. и др. Всеобщее управление качеством. Учебник для вузов / Под ред. О. П. Глудкина. — М.: Горячая линия — Телеком, 2001. — 600 с.
2. Яшин Г. А. [и др.] / Яшин Г. А., Амирханов А. В., Глушко А. А., Зинченко Л. А., Макачук В. В., Михальцов Е. П. Моделирование в системе TCAD процесса формирования LDD-областей субмикронных КНИ МОП-транзисторов. // Наноиндустрия. 2017. № Спецвыпуск (74). — С. 218–223.

by instrumentation and technology, the quality of LDD regions doping is extremely sensitive to the thicknesses of residual resist and oxide layers.

The developed structure made it possible to establish the cause of the reject in one of the wafer parties, in which the threshold voltages of the field-effect transistors turned out to be approximately 2 times higher than the established norm. At the same time, the control structures of the well doping and heavily doped regions did not have significant deviations in the resistance value relative to the average values by different parties. The measured thickness of the gate oxide also did not differ from the set norm. A significant deviation from the given norm was revealed only when measuring the resistance of LDD regions. Figures 6–7 show the current-voltage characteristics of resistors based on the n- and p-type doping regions for suitable wafers, and in Figures 8–9 show similar characteristics in a batch of defective wafers.

As can be seen from the figures above, resistors formed from LDD regions in a faulty wafer batch have a qualitatively different volt-ampere characteristic in comparison with similar resistors from a suitable wafer batch. Therefore, in accordance with the cause-effect diagram, it is possible to localize the reason for the double

increase in the threshold voltage as a malfunction in the LDD-alloying operation, caused either by the presence of impurities on the wafer, or by the presence of residual oxide / resist layers. Therefore, before forming the LDD-areas, it is necessary to visually check the surface of the plates for the presence of resist or oxide residual layers, as well as contaminants. In addition, before forming the protective oxide, it is necessary to check the cleanliness of the wafer surface, as well as constantly to monitor its thickness.

### CONCLUSIONS AND RECOMMENDATIONS

TCAD simulation can be an integral tool for both ensuring and controlling and managing the quality of technological processes. With its help, a causal diagram can be developed and an estimate of the technological regimes yield suitable for a given spread can be made.

In addition, this tool allows you to quickly test hypotheses of possible reject causes, conduct sabotage analysis in order to improve the quality of manufactured microcircuits and analyze bottlenecks in the developed technological route of their production.

The tool of TCAD simulation is also an integral aid for the development of test control structures, which was demonstrated when

developing a control structure for LDD regions doping.

Thus, the article offers a set of techniques that allow one to ensure the quality management of VLSI production processes.

### ACKNOWLEDGMENT

The authors are grateful to engineer-technologist of the SRISA RAS, O. I. Viletalina for the results of SIMS analysis.

TCAD simulation was carried out in TCAD Sentaurus system, installed on the BMSTU server.

*The work was carried out with partial financial support of RFBR (Grant 15-07-03116).*

### REFERENCES

1. Gludkin O. P., Gorbunov N. M. and others. *Total Quality Management. Textbook For High Schools* / Edited by O. P. Gludkin. — M.: Gorachaya Liniya — Telecom, 2001. — 600 pp. (In Russian).
2. Yashin G. A. [and others] / Yashin G. A., Amirkhanov A. V., Glushko A. A., Zinchenko L. A., Makarchuk V. V., Mikhaltsov E. P. *Simulation Of The Process Of Forming LDD-Regions In Submicron SOI MOSFETs In TCAD System*. — Nanoindustry. 2017. № S4 (74). P. 218–223.