



ВЛИЯНИЕ CLOCK GATING ЯЧЕЕК НА УСТОЙЧИВОСТЬ НАВИГАЦИОННОГО ПРИЕМНОГО ТРАКТА К ВОЗДЕЙСТВИЮ ОЯЧ

THE INFLUENCE OF CLOCK GATING CELLS ON NAVIGATION RECEIVER PATH IMMUNITY TO SINGLE NUCLEAR PARTICLES IMPACT

УДК 621.382+621.396.6

ФАТЕЕВ ИВАН АЛЕКСАНДРОВИЧ

Ведущий инженер

fateev@mri-progress.ru

ШАЛАШОВА ЕЛЕНА СЕРГЕЕВНА

Проект-инженер

shalashova@mri-progress.ru

АО «НИИМА «Прогресс»

125183, г. Москва, проезд Черепановых, 54

FATEYEV IVAN A.

Lead engineer

fateev@mri-progress.ru

SHALASHOVA ELENA S.

Project engineer

shalashova@mri-progress.ru

JSC "PROGRESS MRI"

54 Cherepanovikh Lane, Moscow 125183, Russia

В данной статье рассмотрено воздействие clock gating ячеек на чувствительность КМОП схемы к воздействию одиночных ядерных частиц. Проанализировано влияние применения clock gating ячеек на количество чувствительных областей и произведено сравнение для схем с clock gating ячейками и без них.

Ключевые слова: КМОП; ТЗЧ; одиночные эффекты; сбоеустойчивость; ГНСС.

The paper highlights the influence of clock gating cells on CMOS circuit vulnerability to single nuclear particles impact. It also analyses the influence of clock gating cells application on a number of sensitive regions and compares the operation of circuits with and without clock gating cells.

Keywords: CMOS; heavy charged particles; single event effects (SEE); fault resistant; GNSS.

ВВЕДЕНИЕ

Космические аппараты в течение времени своего активного существования в космическом пространстве подвергаются воздействию различных факторов. Потoki элементарных частиц высокой энергии являются одним из основных факторов, который влияет на надежное функционирование микросхем, входящих в состав бортовой аппаратуры.

Воздействие потоков тяжелых заряженных частиц на субмикронные СБИС приводит к различным сбоям в их работе и даже может привести к возникновению катастрофических отказов. При прохождении частицы через материал полупроводника возникает трек ТЗЧ, с основанием на поверхности, причем диаметр основания тем больше, чем больше энергия частицы [1–3]. Активизированные электронно-дырочные пары с зарядом Q вызывают импульс тока и напряжения на одном из контактов. Запас сбоеустойчивости характеризуется $Q_{кр}$ — критическим зарядом, необходимым для переключения элемента хранения и появления сбоя. При собирании заряда от воздействия тяжелой заряженной частицы с меньшим показателем критического заряда ($Q < Q_{кр}$), — происходит временное нарушение уровней сигналов на выходах элемента хранения, без изменения их последующего состояния.

Рост производительности связан с уменьшением технологических норм, что, в свою очередь, ведет к уменьшению напряжения питания, уменьшению внутренних емкостей, уменьшению критического заряда и повышению чувствительности к воздействию отдельных ядерных частиц. В то же время, с уменьшением толщин окислов падает влияние общей накопленной дозы. Таким образом, для современных КМОП микросхем характерно доминирование влияния одиночных событий (SEE) над дозовыми (TID) [4].

БОРЬБА С ОДИНОЧНЫМИ СОБЫТИЯМИ

На данный момент существует большое количество исследований, посвященных разработке новых вариантов сбоеустойчивых ячеек, таких как DICE, NASA, HIT, Niper [6–9]. Увеличение устойчивости к сбоям в этих ячейках достигается за счет использования дополнительных копий данных и применения внутренних обратных связей для восстановления состояния. При применении специализированных ячеек происходит уменьшение чувствительности КМОП схемы к SEU. В этом случае растет вклад в частоту сбоев от SET.

Событие одиночного переходного процесса проявляется в виде кратковременного импульса напряжения на выходе комбинационной логики под воздействием тяжелой заряженной частицы. При дальнейшем продвижении по схеме этот импульс может быть записан в ячейку памяти, что приведет к искажению хранимых данных. Восприимчивость схемы к SET сильно зависит от рабочей частоты и размеров «окна уязвимости» (Window of Vulnerability), временного отрезка вблизи активного среза тактового сигнала [8].

Особое внимание нужно обратить на элементы дерева синхронизации тактового сигнала. При возникновении SET на тактовом входе, внутрь триггеров могут записаться неверные данные. В данной работе представлен анализ влияния clock gating ячеек на устойчивость регистров памяти к воздействию SET. Внедрение clock gating ячеек является частью стандартного маршрута проектирования и может быть произведено автоматически, при использовании специальных опций программного обеспечения логического синтеза (рис. 1). Принцип работы clock gating ячейки заключается в следующем — при наличии разрешающего сигнала на входе ($EN = \langle 1 \rangle$) тактовый сигнал проходит через ячейку на регистр триггеров; при запрещающем сигнале, тактовый сигнал блокируется.

ВЕРОЯТНОСТЬ БЕССБОЙНОЙ РАБОТЫ С CLOCK GATING ЯЧЕЙКОЙ И БЕЗ НЕЕ

Так как вероятность бессбойной работы системы равна произведению вероятностей бессбойной работы ее частей [10], можно рассчитать вероятность бессбойной работы P_{wocg} схемы без clock gating ячейки рис. 2:

$$P_{wocg} = (1 - Q_D)^N (1 - Q_{EN}) (1 - Q_{MUX})^N (1 - Q_{BUF})^K (1 - Q_{CLK}),$$

где Q_D — вероятность одиночного события в триггере, Q_{EN} — вероятность одиночного события в цепи EN, Q_{MUX} — вероятность одиночного события в мультиплексоре, Q_{BUF} — вероятность одиночного события в буфере дерева синхросигнала, Q_{CLK} — вероятность одиночного события в дереве синхросигнала, N — разрядность регистра, K — количество буферов тактового сигнала.

Аналогично рассчитаем вероятность бессбойной работы схемы с clock gating ячейкой рис. 3:

$$P_{cg} = (1 - Q_D)^N (1 - Q_{EN}) (1 - Q_{BUF})^K (1 - Q_{CLK}) (1 - Q_{CG}),$$

где Q_D — вероятность одиночного события в триггере, Q_{EN} — вероятность одиночного события в цепи EN, Q_{BUF} — вероятность одиночного события в буфере дерева синхросигнала, Q_{CLK} — вероятность одиночного события в дереве синхросигнала, Q_{CG} — вероятность одиночного события в дереве синхросигнала, N — разрядность регистра, K — количество буферов тактового сигнала.

Примем следующие допущения:

- вероятность одиночных событий для триггеров одинакова;
- окно уязвимости (WoV) одинаково.

Данные допущения можно сделать, исходя из того, что при проектировании сложных цифровых систем используется библиотека стандартных ячеек. Значит, триггера будут иметь идентичную топологию и, соответственно, идентичные показатели по критическому заряду и емкостям внутренних узлов.

Следовательно, можно выразить отношение вероятностей бессбойной работы схем с ячейкой clock gating и без нее по формуле:

$$\frac{P_{cg}}{P_{wocg}} = \frac{(1 - Q_{CG})}{(1 - Q_{MUX})^N}. \tag{1}$$

Из отношения (1) видно, что отношение вероятностей бессбойной работы схем с ячейкой clock gating и без нее сводится

INTRODUCTION

Space vehicles during their active service life in cosmic space are exposed to the impact of various factors. Fluxes of high energy elementary particles are one of the main factors affecting reliable functioning of microcircuits, constituting a part of air-borne equipment.

The impact of heavy charged particles on VLSIs results in various upsets of their operation and even may lead to catastrophic failures. In the course of the particle passage through semiconductor's material a heavy charged particle track is left with the footprint located on semiconductor's surface; the larger is the footprint diameter, the higher is the particle energy [1–3]. The activated electron-hole pairs with

charge Q initiate current and voltage impulse at one of the contacts. The margin of upset resistance is characterized by Q_{crit} or critical charge required for triggering the storage element and for causing upset. If collected charge caused by heavy charged particle impact is less than critical one ($Q < Q_{crit}$), temporary signal level disturbance occurs at storage elements output without their subsequent state change.

An increase in performance is attributed to a decrease in minimum feature size, which in its turn results in the reductions of voltage supply, internal capacities, critical charge and an increase in vulnerability to single nuclear particles impact. At the same time, the effect of total accumulated doze decreases with

reduction of oxides thickness. That is why predominance of single events effect (SEE) over ionization doze (TID) is typical for modern CMOS microcircuits [4].

SINGLE EVENTS MITIGATION

Currently there is a large number of investigations devoted to developing new variants of upset resistant cells, such as DICE, NASA, HIT, Hiper [6–9]. Increase in upset resistance in these cells is attained by additional data copies and internal feedbacks used for state restoring. With application of special-purpose cells, vulnerability to SEU of CMOS circuit reduces. In this case single event transient (SET) contribution in upset rate increases.

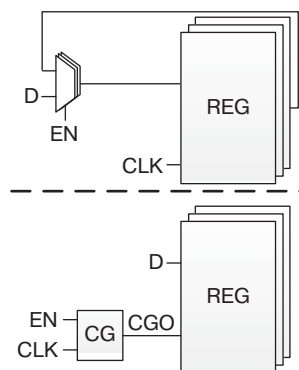


Рис. 1. Принципиальная схема регистров с clock gating ячейкой и без нее
Fig. 1. Circuit diagram of registers with clock gating cell and without it

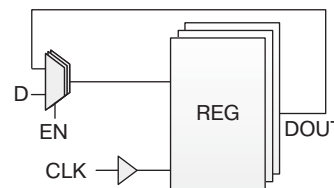


Рис. 2. Структурная схема регистра без clock gating ячейки
Fig. 2. Block diagram of register without clock gating cell

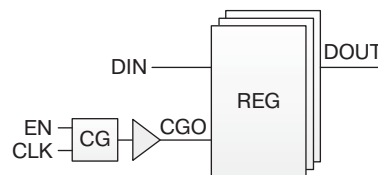


Рис. 3. Структурная схема регистра с clock gating ячейкой
Fig. 3. Block diagram of register with clock gating cell

к вероятности возникновения SET на мультиплексоре или на clock gating ячейке.

МЕТОДИКА РАСЧЕТА ВЕРОЯТНОСТИ ВОЗНИКНОВЕНИЯ SET

Для начала нужно рассмотреть вероятность возникновения SET для ячейки NAND рис. 4.

Вероятность появления SET на выходе элемента NAND можно разделить на две составляющих. SET может проявиться

вследствие воздействия на внутренние транзисторы Q_{INT} или при внешних воздействиях на входных узлах Q_{EXT} .

Вероятность SET для внутренних транзисторов зависит от текущего состояния входных сигналов. Для комбинации на входе АВ, равных «00», выход равен «1», тогда при воздействии ТЗЧ на обратносмещенный р-п-переход транзистора 2 может возникнуть переходной процесс «1» в «0». Аналогично, можно определить вероятность для каждой комбинации входных данных. Считая скажность нахождения входных сигналов в любом состоянии равной 1/4, можно вычислить:

$$Q_{INT} = \frac{(Q_2 + Q_3 + Q_4) + (Q_0 + Q_1)}{4}, \quad (2)$$

где Q_0, Q_1, Q_2, Q_3 — вероятности возникновения SET на транзисторах рис. 4.

Вероятность SET на внешних входах также зависит от состояния и может быть вычислена по следующей формуле:

$$Q_{EXT} = \frac{(Q_{AR} \cdot Q_{BR} + Q_{AR} + Q_{BF} + Q_{AF} + Q_{BR}) + (Q_{AF} + Q_{BF})}{4}, \quad (3)$$

где Q_{AR}, Q_{BR} — вероятности возникновения отрицательного SET, а Q_{BF}, Q_{AF} — вероятности возникновения положительного SET на входах, приводящих к изменению выходного напряжения.

Введем два новых показателя Q_{NANDR} и Q_{NANDF} . Q_{NANDR} — вероятность возникновения отрицательного SET, при выходном значении «1». Q_{NANDF} — вероятность возникновения положительного SET, при выходном значении «0». Эти показатели можно вычислить по формулам (4) и (5):

$$Q_{NANDR} = \frac{(Q_0 + Q_1) + (Q_{AF} + Q_{BF})}{4} = \frac{Q_{AF} + Q_{BF}}{4} + Q_{INTR}, \quad (4)$$

$$Q_{NANDF} = \frac{(Q_2 \cdot Q_3 + Q_2 + Q_3) + (Q_{AR} \cdot Q_{BR} + Q_{AR} + Q_{BF} + Q_{AF} + Q_{BR})}{4} = \frac{Q_{AR} \cdot Q_{BR} + Q_{AR} + Q_{BF} + Q_{AF} + Q_{BR}}{4} + Q_{INTF}, \quad (5)$$

Single event transient appears in the form of short voltage pulse at combination logic input under heavy charged particle impact. With further propagation through the circuit this pulse may be written into memory cell distorting stored data. Circuit susceptibility to SET strongly depends on the operating frequency and size of “vulnerability window”, time segment near active share plane of clock signal [8].

Special attention should be paid to clock tree elements. In case of SET appearance at clock input, anomalous data may be written inside triggers. This research analyses how the clock gating cell affects memory registers upset resistance. Clock gating cells implementation is a part of standard design route and may be performed automatically, using special options of logical synthesis software (Fig. 1). The principle of clock gating cell operation consists in the following: in the presence of enabling signal at the input (EN = “1”) the clock signal passes through the cell at triggers

register, in the presence of disabling signal the clock signal is interlocked.

PROBABILITY OF FAULTLESS OPERATION WITH CLOCK GATING CELL AND WITHOUT IT

As the probability of faultless system operation is equal to the product of faultless operation probabilities of its parts [10], it is possible to compute probability of faultless circuit operation P_{wog} without clock gating cell as presented on Fig. 2:

$$P_{wog} = (1 - Q_D)^N (1 - Q_{EN}) (1 - Q_{MUX})^N \times (1 - Q_{BUF})^K (1 - Q_{CLK}),$$

where Q_D is probability of single event at trigger, Q_{EN} — probability of single event on E_N node, Q_{MUX} — probability of single event at multiplexer, Q_{BUF} — probability of single event at clock tree buffer, Q_{CLK} — probability of single event at clock tree, N — register word length, K — amount of clock buffers.

Probability of faultless circuit operation with clock gating cell presented on Fig. 3 can be computed similarly:

$$P_{cg} = (1 - Q_D)^N (1 - Q_{EN}) (1 - Q_{BUF})^K \times (1 - Q_{CLK}) (1 - Q_{CG}),$$

where Q_D is probability of single event at trigger, Q_{EN} — probability of single event on E_N node, Q_{BUF} — probability of single event at clock tree buffer, Q_{CLK} — probability of single event at clock tree, Q_{CG} — probability of single event at clock tree, N — register word length, K — amount of clock buffers.

Let us assume the following:

- Probabilities of single events for all triggers are identical;
- Window of vulnerability (WoV) is the same.

These assumptions may be done proceeding from the fact that while designing complex digital systems libraries of standard cell are applied. Therefore, triggers will have identical layout and, correspondingly, identical

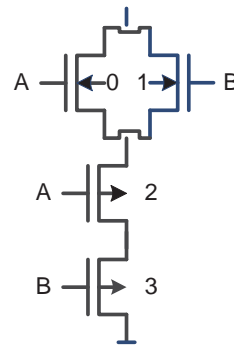


Рис. 4. Структурная схема NAND ячейки

Fig. 4. Block diagram of NAND cell

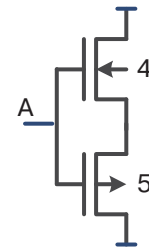


Рис. 5. Структурная схема ячейки инвертора

Fig. 5. Block diagram of inverter cell

где Q_{INTF} и Q_{INTR} — вероятности положительного и отрицательного импульса переходного процесса, вызванные воздействием ТЗЧ на «закрытые» транзисторы ячейки NAND.

Данную методику можно использовать для расчета SET ячейки инвертора рис. 5.

Вероятности возникновения SET на выходе инвертора можно вычислить по формулам (6) и (7):

$$Q_{INVR} = \frac{(Q_{AF} + Q_4)}{2}, \quad (6)$$

где Q_{AF} — вероятность положительного SET на входе А инвертора и Q_4 — вероятность возникновения SET на «закрытом» транзисторе 4.

$$Q_{INVF} = \frac{(Q_{AR} + Q_5)}{2}, \quad (7)$$

где Q_{AR} — вероятность отрицательного SET на входе А инвертора и Q_5 — вероятность возникновения SET на «закрытом» транзисторе 5.

РАСЧЕТ ВЕРОЯТНОСТИ ВОЗНИКНОВЕНИЯ SET В ЯЧЕЙКАХ CLOCK GATING И МУЛЬТИПЛЕКСОРА

Рассмотрим структуру мультиплексора рис. 6.

Используя формулы (4)–(7), можно рассчитать вероятности возникновения SET для всех внутренних узлов. Итак, для узла N получим:

$$Q_{NF} = \frac{(Q_{KR} \cdot Q_{LR} + Q_{KR} + Q_{LF} + Q_{KF} + Q_{LR})}{4} + Q_{INTF}, \quad (8)$$

$$Q_{NR} = \frac{Q_{KF} + Q_{LF}}{4} + Q_{INTR}, \quad (9)$$

где Q_{KR} , Q_{KF} , Q_{LR} , Q_{LF} — вероятности SET для узлов K и L соответственно.

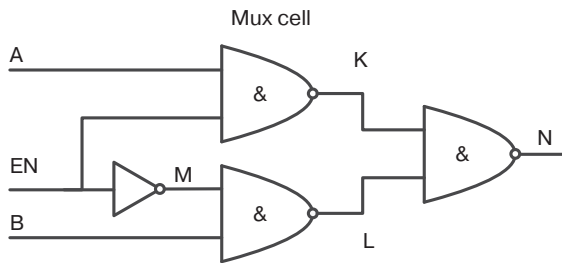


Рис. 6. Структурная схема ячейки мультиплексора
Fig. 6. Block diagram of multiplexor cell

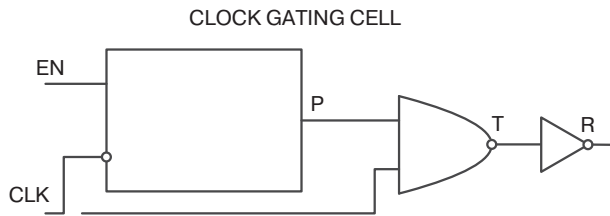


Рис. 7. Структурная схема clock gating ячейки
Fig. 7. Block diagram of clock gating cell

При сложении результатов выражений (8) и (9) получим вероятность возникновения SET для узла N, что является Q_{MUX} .

Далее рассмотрим структуру clock gating ячейки рис. 7.

Принимая во внимание, что «зашелка» состоит из двух ячеек инвертора, можно вычислить вероятность возникновения положительного и отрицательного SET для узла R:

$$Q_{PF} = \frac{Q_3 + Q_4}{2} + \frac{Q_{ENF} \cdot T}{2t}, \quad (10)$$

$$Q_{PR} = \frac{Q_4 + Q_5}{2} + \frac{Q_{ENR} \cdot T}{2t}. \quad (11)$$

где Q_{ENF} и Q_{ENR} — вероятности возникновения отрицательного и положительного импульса напряжения на входе EN, t — размер «окна уязвимости» (WoV), T — период тактовой частоты.

По выражениям (12) и (13) можно вычислить вероятность SET для узла R, что является Q_{CG} :

$$Q_{RR} = \frac{(Q_{TR} + Q_4)}{2}, \quad (12)$$

$$Q_{RF} = \frac{(Q_{TF} + Q_5)}{2}. \quad (13)$$

На рис. 8 представлен график Q_N и Q_R в зависимости от вероятности SET на внутренних узлах. Из рисунка видно, что Q_N превосходит Q_R .

На рис. 9 представлен график отношения P_{cg}/P_{woeg} в зависимости от вероятности SET на внутренних узлах в логарифмическом масштабе для количества триггеров в регистре 32 и 8. Из графика видно, что вероятность бесбойной работы схемы с clock gating ячейкой выше, чем без нее. Причем, с увеличением разрядности регистра возрастает преимущество варианта с clock gating ячейкой.

Аналогично произведем расчет вероятностей бесбойной работы для схем с clock gating ячейкой и без, для стандартных «зашелок», зашелок типа DICE, вариантов с редким сигналом EN. Причем при редком EN использовалось следующее допущение:

characteristics in terms of critical charge and internal nodes capacities.

Consequently, it is possible to express the ratio of faultless operation probabilities with clock gating cell and without it by the following formula:

$$\frac{P_{cg}}{P_{woeg}} = \frac{(1 - Q_{CG})}{(1 - Q_{MUX})^N}. \quad (1)$$

From (1) one can see that the ratio of faultless operation probabilities for circuits with clock gating cell and without it reduces to a probability of SET arising at multiplexor or at clock gating cell.

METHODS OF CALCULATING SET ARISING PROBABILITY

First, it is necessary to examine the probability of SET arising for NAND-cell presented on Fig. 4.

Probability of SET arising at NAND-cell input may be divided into two constituents.

SET may arise as a result of impact on internal transistors Q_{INT} or as a result of external impacts on input nodes Q_{EXT} .

Probability of SET arising for internal transistors depends on actual condition of input signals. For combinations at AB input equaling “00”, output equals “1”; then in case of heavy charged particle impact on reversely biased p-n junction of 2nd transistor, transient process from “1” to “0” may arise. In a similar way it is possible to determine probability for each combination of input data. Assuming the duty ratio of input signals being equal to ¼ in any possible state, we can compute:

$$Q_{INT} = \frac{(Q_2 + Q_3 + Q_3) + (Q_0 + Q_1)}{4}, \quad (2)$$

where Q_0 , Q_1 , Q_2 , Q_3 are probabilities of SET arising at transistors presented on Fig. 4.

Probability of SET arising at external inputs also depends on the state and can be computed by the following formula:

$$Q_{EXT} = \frac{(Q_{AR} \cdot Q_{BR} + Q_{AR} + Q_{BF} + Q_{AF} + Q_{BR}) + (Q_{AF} + Q_{BF})}{4}, \quad (3)$$

where QAR, QBR are probabilities of negative SET arising, QBF, QAF — probabilities of positive SET arising at inputs, resulting in change of output voltage.

Let us introduce two new indices, Q_{NANDR} and Q_{NANDF} . Q_{NANDR} are probabilities of negative SET arising in case of output value “1”. Q_{NANDF} is probability of positive SET arising in case of output value “0”. These indices can be calculated using formulas (4) and (5):

$$Q_{NANDR} = \frac{(Q_0 + Q_1) + (Q_{AF} + Q_{BF})}{4} = \frac{Q_{AF} + Q_{BF}}{4} + Q_{INTR}; \quad (4)$$

$$Q_{NANDF} = \frac{(Q_2 \cdot Q_3 + Q_2 + Q_3) + (Q_{AR} \cdot Q_{BR} + Q_{AR} + Q_{BF} + Q_{AF} + Q_{BR})}{4} = \frac{Q_{AR} \cdot Q_{BR} + Q_{AR} + Q_{BF} + Q_{AF} + Q_{BR}}{4} + Q_{INTF}, \quad (5)$$

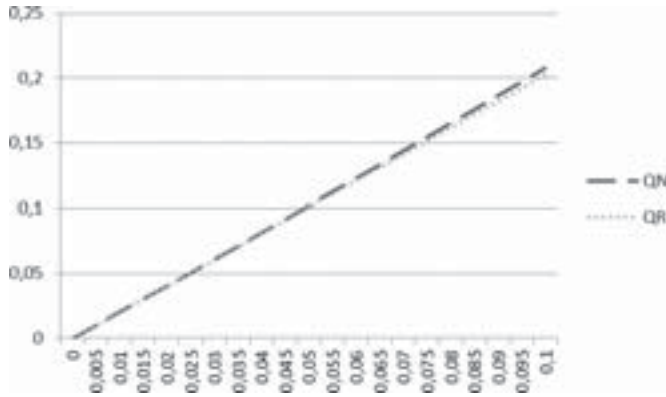


Рис. 8. Зависимость вероятности возникновения SET на выходе мультиплексора (узел N) и выходе ячейки clock gating (узел R) от вероятности SET на внутренних узлах

Fig. 8. Probability of SET arising at multiplexor output (N node) and at clock gating cell output (R node) depending on probability of SET arising at internal nodes

EN очень редко переходит из «0» в «1», а значит, Q_{ENF} стремится к 0. Данный вариант работы характерен для конфигурационных регистров приемных трактов, изменения данных в которых происходят раз в несколько миллионов тактов [11].

На рис. 10 представлен график зависимостей вероятности бесбойной работы схем с clock gating ячейкой и стандартной «зашелкой» (STD и STDLR — редким сигналом EN), clock gating ячейкой и DICE «зашелкой» (DICE и DICELR) и без clock gating ячейки (MUX и MUXLR).

where Q_{INTF} and Q_{INTR} are probabilities of positive and negative pulse of transient process, caused by heavy charged particle impact on “closed” transistors of NAND cell.

This method can be used for estimating probability of SET arising in inverter cell presented on Fig. 5.

Probability of SET arising at inverter input may be estimated using formulas (6) and (7):

$$Q_{INVR} = \frac{(Q_{AF} + Q_4)}{2}, \quad (6)$$

where Q_{AF} is probability of positive SET arising at inverter input A and Q_4 — probability of SET arising in “closed” 4th transistor.

$$Q_{INVF} = \frac{(Q_{AR} + Q_5)}{2}, \quad (7)$$

where Q_{AR} is probability of negative SET arising at inverter input A and Q_5 — probability of SET arising in “closed” 5th transistor.

ESTIMATING PROBABILITY OF SET ARISING AT CLOCK GATING CELL AND AT MULTIPLEXOR

Let us take a look at the structure of presented on Fig. 6 multiplexor.

Using formulas (4)–(7) it is possible to calculate probabilities of SET arising for all internal nodes. So, for N node we obtain:

$$Q_{NF} = \frac{(Q_{KR} \cdot Q_{LR} + Q_{KR} + Q_{LF} + Q_{KF} + Q_{LR})}{4} + Q_{INTF} \quad (8)$$

$$Q_{NR} = \frac{Q_{KF} + Q_{LF}}{4} + Q_{INTR}, \quad (9)$$

where Q_{KR} , Q_{KF} , Q_{LR} , Q_{LF} — are probabilities of SET arising for nodes K and L respectively.

Adding the results of (8) and (9) we will obtain probability of SET arising for node N, that is Q_{MUX} .

Let us examine the next structure of clock gating cell presented on Fig. 7.

Taking in consideration that “latch” consists of two cells of inverter, it is possible to estimate the probability of positive and negative SET arising for P node:

$$Q_{PF} = \frac{Q_5 + Q_4}{2} + \frac{Q_{ENF} \cdot T}{2t} \quad (10)$$

$$Q_{PR} = \frac{Q_4 + Q_5}{2} + \frac{Q_{ENR} \cdot T}{2t} \quad (11)$$

where Q_{ENF} and Q_{ENR} are probabilities of negative and positive voltage pulse arising at EN input, t — “window of vulnerability” (WoV) size, T — clock cycle.

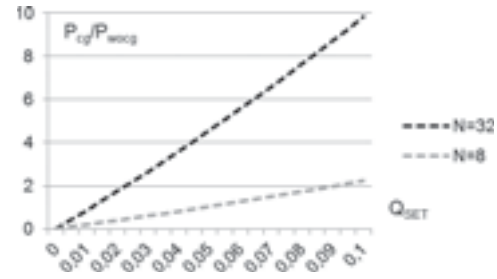


Рис. 9. Зависимость отношения вероятности бесбойной работы схем с и без clock gating ячейки для двух разрядностей регистров от вероятности SET на внутренних узлах

Fig. 9. Ratio of faultless circuit operation probabilities with and without clock gating cell for two register capacities depending on probability of SET arising at internal nodes

РЕЗУЛЬТАТЫ

В результате данной работы получена методика, позволяющая выполнять качественное сравнение комбинационных схем. Установлено, что применение clock gating ячеек позволяет увеличить вероятность бесбойной работы для регистров любой разрядности, причем при увеличении разрядности относительная вероятность бесбойной работы для схем с clock gating ячейкой увеличивается. Продемонстрированные расчеты показывают, что для увеличения вероятности бесбойной работы, clock gating ячейки должны автоматически вставляться для регистров начиная с разрядности 1, а не с разрядности 3, как того требует low power идеология. Применение в clock gating ячейке «зашелки» типа DICE позволит не только снизить вероятность SEU в ячейке, но снизить вероятность SET всей схемы.

Using expressions (12) and (13) we can calculate the probability of SET arising for R node, that is Q_{MUX} .

$$Q_{RR} = \frac{(Q_{TR} + Q_4)}{2}, \quad (12)$$

$$Q_{RF} = \frac{(Q_{TF} + Q_5)}{2}. \quad (13)$$

Fig. 8 presents a diagram of Q_N and Q_R depending on SET arising probability at internal nodes. On this figure one can see that Q_N surpasses Q_R .

Fig. 9 presents a diagram of P_{cg}/P_{wocg} ratio depending on probability of SET arising at internal nodes in logarithmic scale for 32 and 8 triggers in register. On this diagram one can see that probability of circuit faultless operation with clock gating cell is higher than without it. Besides, with an increase in register capacity, the advantage of variant with clock gating cell is growing.

Let us calculate in a similar way faultless circuit operation probabilities with and without clock gating cell for standard “latches”, for latches of DICE-type, variants with sparse signal EN. It should be noted that in case of sparse EN the following assumption was made: EN very seldom transits from “0” into “1”, which means that Q_{ENF} tends to 0. This variant

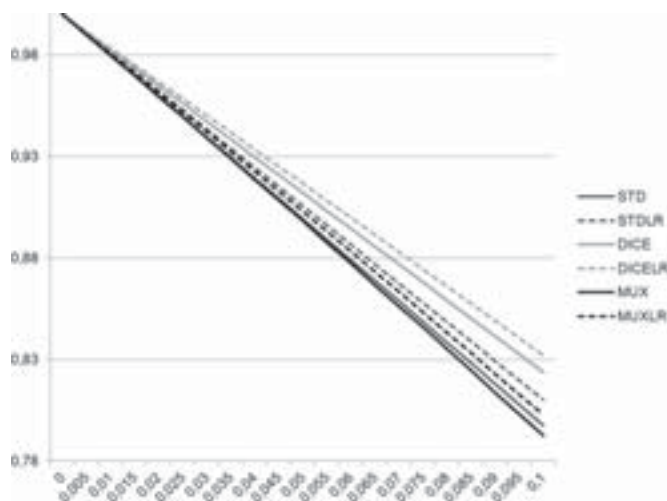


Рис. 10. Вероятность бесбойной работы различных вариантов схем с и без clock gating ячейкой от вероятности SET на внутренних узлах
Fig. 10. Faultless operation probability of various circuits with and without clock gating cell depending on probability of SET arising at internal nodes

ЛИТЕРАТУРА

1. Чумаков А. И. Действие космической радиации на интегральные схемы. — М.: Радио и связь, 2004. — 320 с.
2. Таперо К. И., Улимов В. Н., Членов А. М. Радиационные эффекты в кремниевых интегральных схемах космического применения. [Radiation Effects in Space Application Silicon ICs]. — М.: БИНОМ. Лаборатория знаний, 2012. — 304 с.

of operation is typical for configuration registers in reception paths, in which data variations occur once in several millions of clocks [1].

Fig. 10 presents a diagram of faultless circuit operation probability with clock gating cell and standard “latch” (STD and STDLR — sparse signal EN), with clock gating cell and DICE “latch” (DICE and DICELR) and without clock gating cell (MUX and MUXLR).

RESULTS

The research has resulted in a method making it possible to conduct qualitative comparison of combinational circuits. It has been found that the application of clock gating cells enables one to increase faultless operation probability for registers of arbitrary word length, while an increase in word length leads to an increase in relative probability of faultless operation for circuits with clock gating cell. The calculations have shown that to increase faultless operation probability clock gating cells have to be automatically installed on registers whose capacity is no less than 1, instead of capacity 3 in accordance with low power ideology. The application of a “latch” of DICE type in clock gating cell will make it possible not only to reduce the probability of SEU

arising in the cell, but also to reduce the probability of SEU arising in the whole circuit.

REFERENCES

1. Chumakov A. I. *Deistvie kosmicheskoi radiatsii na integral'nye skhemy*. M.: Radio i svyaz', 2004. 320 p. (In Russian).
2. Tapero K. I., Ulimov V. N., Chlenov A. M. *Radiatsionnye efekty v kremnievykh integral'nykh skhemakh kosmicheskogo primeneniya*. M.: BINOM. Laboratoriya znaniy, 2012. 304 p. (In Russian).
3. *Ionizing Radiation Effects in MOS Devices and Circuits* / Ed. by T.-P. Ma and P. V. Dressendorfer. — N.-Y.: Wiley, 1989.
4. Z. Yanfu, Y. Suge. *Single Event Soft Error in Advanced Integrated Circuit* // Journal of Semiconductors. Vol. 36. № 11, P. 1–14. 2015.
5. Calin T., Nicolaidis M., and Velazco R. *Upset Hardened Memory Design for Submicron CMOS Technology* // Nuclear Science, IEEE Transactions on — 1996, Vol. 43, Issue 6, Part 1, pp. 2874–2878.
6. Whitaker S., Canaris J., and Liu K. *SEU Hardened Memory Cells for a CCSDS Reed-Solomon Encoder* // Nuclear Science, IEEE Transactions on — 1991, Vol. 38, Issue 6, Part 1, pp. 1471–1477.

3. *Ionizing Radiation Effects in MOS Devices and Circuits* / Ed. by T.-P. Ma and P. V. Dressendorfer. — N.-Y.: Wiley, 1989.
4. Zhao Yanfu, Yue Suge. *Single Event Soft Error in Advanced Integrated Circuit* // Journal of Semiconductors — Vol. 36. — № 11, pp. 1–14. — 2015.
5. Calin T., Nicolaidis M., and Velazco R. *Upset Hardened Memory Design for Submicron CMOS Technology* // Nuclear Science, IEEE Transactions on — 1996, Vol. 43, Issue 6, Part 1, pp. 2874–2878.
6. Whitaker S., Canaris J., and Liu K. *SEU Hardened Memory Cells for a CCSDS Reed-Solomon Encoder* // Nuclear Science, IEEE Transactions on — 1991, Vol. 38, Issue 6, Part 1, pp. 1471–1477.
7. Velazco R., Bessot D., Duzellier S., Ecoffet R., and Koga R. *Two CMOS Memory Cells Suitable for the Design of SEU-tolerant VLSI Circuits* // Nuclear Science, IEEE Transactions on — 1994, Vol. 41, Issue 6, Part 1–2, pp. 2229–2234.
8. Riadul Islam. *A Highly Reliable SEU Hardened Latch and High Performance SEU Hardened Flip-flop* // Quality Electronic Design (ISQED), 2012 13th International Symposium on, 2012, pp. 347–352.
9. Тимошенко В. П., Фатеев И. А., DICE КМОП КНИ-триггер, устойчивый к воздействию тяжелых заряженных частиц для применения в приемных трактах // Изв. вузов. Электроника. — 2017. — Т. 22. — № 4. — С. 402–406. DOI: 10.214151/1561-5405-2017-22-4-402-406.
10. Половко А. М., Гуров С. В. Основы теории надежности, Изд. 2-е, БХВ-Петербург, 2006 г. 702 с.
11. Бакитко Р. В., Болденков Е. Н., Булавский Н. Т., и др. ГЛО-НАСС. Принципы построения и функционирования. Изд. 4-е, М.: Радиотехника, 2010. 800 с.

7. Velazco R., Bessot D., Duzellier S., Ecoffet R., and Koga R. *Two CMOS Memory Cells Suitable for the Design of SEU-tolerant VLSI Circuits* // Nuclear Science, IEEE Transactions on — 1994, Vol. 41, Issue 6, Part 1–2, pp. 2229–2234.
8. Riadul Islam. *A Highly Reliable SEU Hardened Latch and High Performance SEU Hardened Flip-flop* // Quality Electronic Design (ISQED), 2012 13th International Symposium on, 2012, pp. 347–352.
9. Timoshenkov V. P., Fateev I. A. *DICE КМОП КНИ-триггер, устойчивый к воздействию тяжелых заряженных частиц для применения в приемных трактах* // Изв. вузов. Электроника. — 2017. Vol. 22. № 4. P. 402–406. DOI: 10.214151/1561-5405-2017-22-4-402-406. (In Russian).
10. Polovko A. M., Gurov S. V. *Osnovy teorii nadezhnosti*, Izd. 2-e, BKhV-Peterburg, 2006. 702 p. (In Russian).
11. Bakit'ko R. V., Boldenkov E. N., Bulavskii N. T., i pr. *GLONASS. Printsipy postroeniya i funktsionirovaniya*. Izd. 4-e, M.: Radiotekhnika, 2010. 800 p. (In Russian).