



# ТРЕХМЕРНАЯ МИКРОСБОРКА НА ОСНОВЕ КОММУТАЦИОННЫХ ПЛАТ ИЗ КРЕМНИЯ И БЕСКОРПУСНЫХ ЭЛЕМЕНТОВ МЭМС

## 3D MICROASSEMBLY BASED ON SILICON INTERCONNECTION BOARDS AND UNPACKAGED MEMS ELEMENTS

УДК 621.3.049.76

**ВЕРТЯНОВ ДЕНИС ВАСИЛЬЕВИЧ<sup>1,2</sup>**

*vdv.vertyanov@gmail.com*

**БУРАКОВ МИХАИЛ МИХАЙЛОВИЧ<sup>1</sup>**

*taixo01@mail.ru*

**КРУЧИНИН СЕРГЕЙ МИХАЙЛОВИЧ<sup>1</sup>**

*sergeycx075@mail.ru*

**СИДОРЕНКО ВИТАЛИЙ НИКОЛАЕВИЧ<sup>2</sup>**

*vitaly@microsborka.ru*

**БРЫКИН АРСЕНИЙ ВАЛЕРЬЕВИЧ<sup>1</sup>**

**VERTYANOV DENIS V.<sup>1,2</sup>**

*vdv.vertyanov@gmail.com*

**BURAKOV MIKHAIL M.<sup>1</sup>**

*taixo01@mail.ru*

**KRUCHININ SERGEI M.<sup>1</sup>**

*sergeycx075@mail.ru*

**SIDORENKO VITALY N.<sup>2</sup>**

*vitaly@microsborka.ru*

**BRYKIN ARSENIY V.<sup>1</sup>**

<sup>1</sup> Национальный исследовательский университет «МИЭТ»  
124498, г. Москва, г. Зеленоград, площадь Шокина, 1

<sup>2</sup> АО «Зеленоградский нанотехнологический центр»

<sup>1</sup> National Research University of Electronic Technology  
1 Shokin Square, Zelenograd, Moscow, 124498, Russia

<sup>2</sup> Zelenograd Nanotechnology Center JSC

В статье представлена концепция технологии трехмерной микросборки на основе коммутационных плат из кремния. Описаны преимущества применения данной технологии для производства малогабаритных изделий микросистемной техники на основе бескорпусных элементов МЭМС. Представлены результаты исследований процессов формирования сквозных металлизированных отверстий в коммутационных платах из кремния. Рассмотрены конструкции отечественных акселерометров, разработанных по технологии трехмерной микросборки.

*Ключевые слова:* трехмерная микросборка; бескорпусный чувствительный элемент; МЭМС; внутренний монтаж; кристалл; коммутационная плата из кремния; акселерометр; переходное отверстие в кремнии.

The paper presents the concept of 3D microassembly technology based on silicon interconnection boards, highlighting the main advantages of the technology for manufacturing small-sized products of microsystem hardware on the base of unpackaged MEMS elements. Besides, it gives the results of research into processes of plated-through holes formation in silicon interconnection boards, as well as designs of domestic accelerometers developed using 3D microassembly technology.

*Keywords:* 3D microassembly; unpackaged sensitive element; MEMS; embedded component technology; die; silicon substrate; accelerometer; TSV.

С каждым годом возрастают требования по соблюдению минимальных массогабаритных параметров отечественных изделий микросистемной техники при одновременном повышении их производительности и функциональной сложности. Обеспечение данных требований путем использования традиционных решений уже достигло своего предела. Под традиционным и самым распространенным решением понимается использование корпусированных элементов, объединенных в схему на печатной плате (печатных платах) из стеклотекстолита (керамики). При этом, в настоящее время отечественные чувствительные элементы (ЧЭ) МЭМС и интегральные схемы (ИС) корпусируются, как правило, в металлостеклянные или металлокерамические корпуса. Большинство таких корпусов помимо явных достоинств имеют ряд недостатков: высокая стоимость, относительно большие массогабаритные показатели, используются традиционные технологии сборки и монтажа в корпус, предполагающие процессы разварки проволокой или пайки.

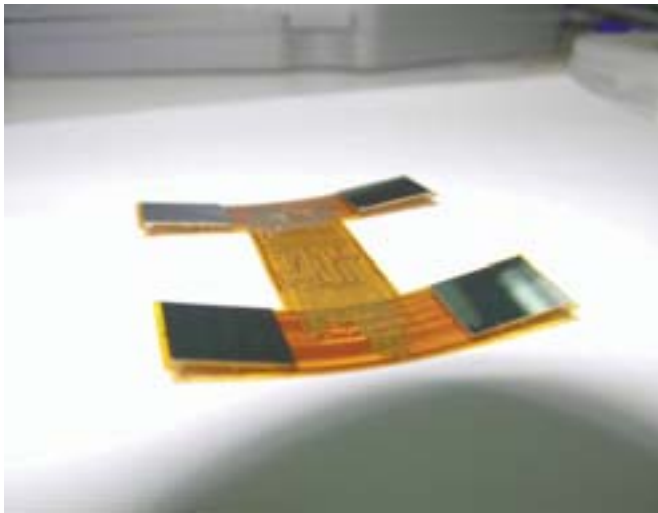
Перспективными решениями, позволяющими производить конкурентоспособные изделия микросистемной техники, являются технологии внутреннего монтажа и трехмерной (3D) микросборки на основе коммутационных плат из кремния [1].

### КОНЦЕПЦИЯ ТЕХНОЛОГИИ 3D МИКРОСБОРКИ

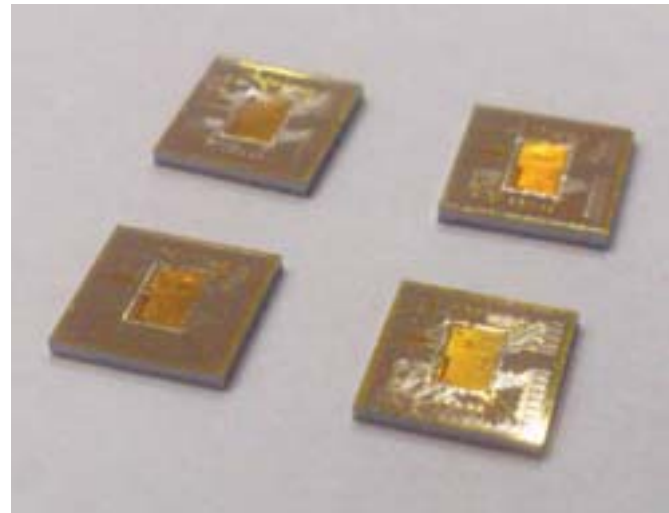
Технология 3D микросборки может включать в себя различные комбинации методов и конструктивно-технологических решений (рис. 1):

- flip-chip монтаж;
- корпусирование на уровне пластины (wafer level packaging — WLP);
- TSV (through silicon via), интерпозеры, встроенные кристаллы (embedded dies).

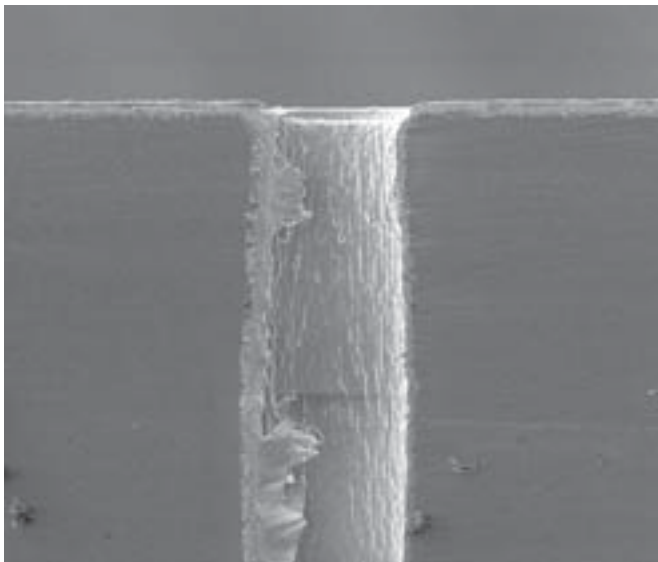
Наибольшую плотность интеграции среди всех высокоплотных технологий имеет интеграция с помощью TSV [2]. TSV используется для создания 3D сборки микросхем памяти,



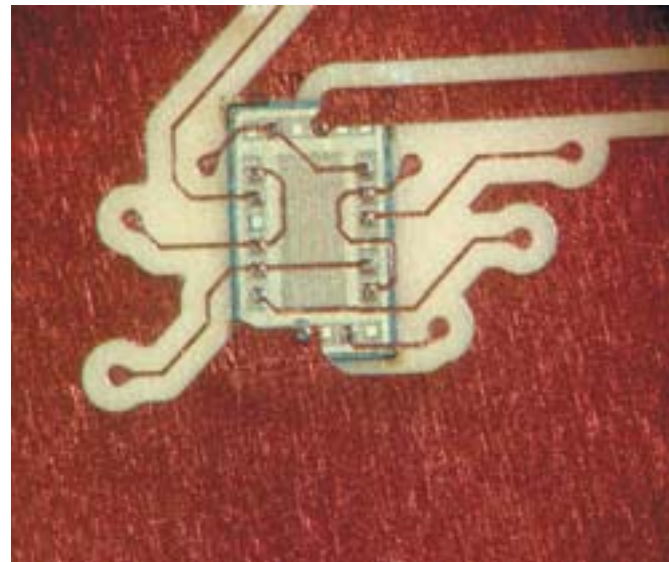
a | a



б | b



в | c



г | d

Рис. 1. Примеры образцов и элементов, выполненных по высокоплотным технологиям: а) многокристальный модуль на полиимидном носителе с кристаллами, смонтированными по методу flip-chip; б) образцы корпусированных кристаллов после разделения пластины (WLP); в) изображение среза TSV-отверстия на растровом электронном микроскопе (РЭМ); г) первый слой микросборки со встроенным кристаллом

Fig. 1. Examples of samples and elements performed by high-density technologies: a) multi-die module on polyimide carrier with dies mounted using flip-chip technology; b) samples of packaged chips after wafer separation (wafer level packaging); c) image of TSV-hole cross-section obtained by Scanning Electron Microscope (SEM); d) first microassembly layer with embedded chip

Every year sets ever more strict requirements for domestic microsystem devices as to both minimal mass-dimensional parameters and maximal performance and functional complexity. Provision of the given requirements by conventional solutions use has already reached the limit. The traditional and most common solution implies application of packaged elements combined into circuit on printed board (printed boards) made of glass-fibre plastic (ceramics). Meanwhile, at present, domestic sensitive elements (SE) of MEMS and integrated circuits (IC)

are packaged, as a rule, into metallic glass or ceramic-metal packages. Besides obvious advantages, most of these packages have a number of shortcomings: high cost, relatively large mass-dimensional indices, the use of conventional assembling and packaging technologies involving processes of wire bonding or soldering.

Embedded component and 3D microassembly technologies based on silicon interconnection boards [1] are promising solutions making possible manufacturing of competitive items of microsystem engineering.

### THE CONCEPT OF 3D MICROASSEMBLY TECHNOLOGY

3D microassembly includes various methods combinations and design and technology solutions (Fig. 1):

- flip-chip mounting;
- wafer level packaging (WLP);
- TSV (through silicon via), interposers, embedded dies.

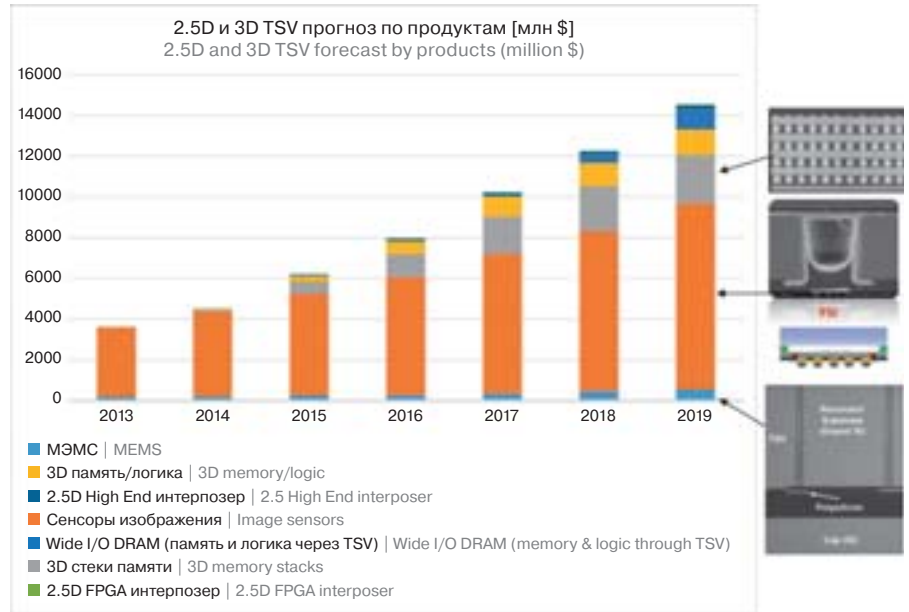
3D TSV assembly provides high-density integration as compared with other technologies [2]. TSV is used for 3D assembly of memory microcircuits, MEMS structures together



структур МЭМС совместно с кристаллами управляющей логики, а также интерпозеров. При этом применение TSV в микросхемах ограничено высокой стоимостью и сложностью технологии (рис. 2).

На основе конструктивно-технологических решений и методов, применяемых в технологиях flip-chip монтажа, многокристальных модулях, внутреннего монтажа, группового корпусирования кристаллов на уровне пластины, интерпозеров с TSV-отверстиями была разработана технология изготовления 3D микросборок из кремния.

3D микросборка представляет собой унифицированную многоуровневую сборку из кремниевых коммутационных плат с TSV (интерпозеров) по периметру (рис. 3а). Кристалл (микросхема в бескорпусном исполнении) с заранее сформированными бампами из припоя на контактных площадках монтируется на коммутационную плату методом flip-chip (рис. 3б). Уровни сборки соединяются между собой посредством коммутационных рамок из кремния (рис. 3в), имеющие также по периметру TSV и бампы для обеспечения объемной коммутации. Свободное пространство в микросборке заполняется двумя типами компаундов (на кремнийорганической и эпоксидной

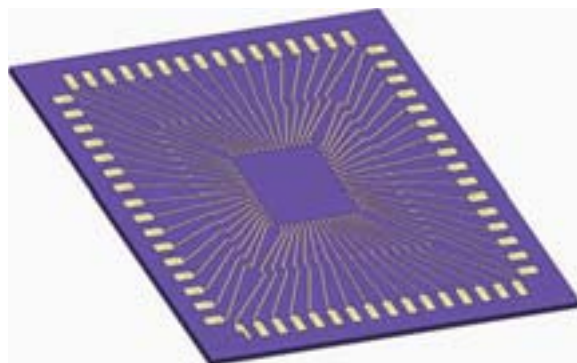


Source: Yole 2014, ams AG

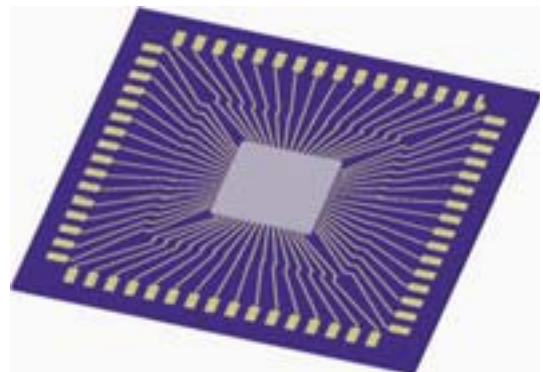
Рис. 2. Прогноз развития рынка изделий с 2.5D и 3D с применением технологии TSV (по данным Yole Development)

Fig. 2. Market development forecast of 2.5D and 3D products using TSV technology (according to Yole Development report)

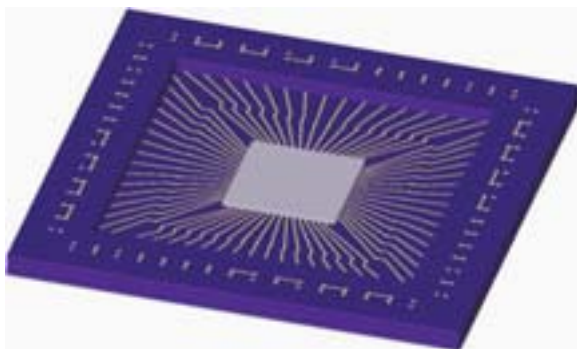
основе). Унификация достигается за счет одинакового количества внешних контактных площадок (КП) с переходными отверстиями (TSV) для каждого типоразмера коммутационной платы



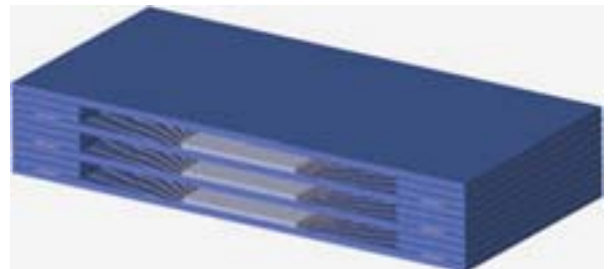
а | а



б | б



в | в



г | г

Рис. 3. Модели 3D микросборки и ее основных элементов: а) коммутационная плата из кремния с TSV по периметру; б) коммутационная плата из кремния со смонтированным по технологии flip-chip кристаллом; в) уровень 3D микросборки; г) 3D микросборка

Fig. 3. 3D models of microassembly and its main elements: а) silicon interconnection board with TSV installed along perimeter; б) silicon interconnection board with a chip mounted using flip-chip technology; в) level of 3D microassembly; г) 3D microassembly



Таблица 1. Сравнение свойств материалов

Table 1. Comparison of materials properties

Материал/ Параметр Material/ Parameter	Al <sub>2</sub> O <sub>3</sub>	AlN	Si	FR-4	PTFE/ E-glass	TGV	TQV	Полиимид Фоточувств. Polyimide Photosensitive	Пленка полиимидная Film made of polyimide
Диаметр отверстий Holes diameter	60–100	60–100	1–2, аспект. соотн. до 20:1 1-2, aspect ratio up to 20:1	110	75	40	30–50	3–5	9
Минимальный шаг топологии, мкм Minimal topology step, micron	140	110–150	Вплоть до десятков нм Up to dozens of nm	60	40	25	25	2	2,5
ТКЛР 10 <sup>-6</sup> 1/С° Thermal coef- ficient of lin- ear expansion (TCLE) 10 <sup>-6</sup> 1/С°	6,8	4,7	5,1	14–17	17	3,5–10	0,5–1,0	60	20
Диэлектрич. проницаемость Dielectric constant	9,8	9,0	Зависит от диэлектрика Depends on dielectric	4,1–4,2 на 1 ГГц	2,65–2,7 на 1 ГГц	3,8–5,8	3,85,8	3,4	3,4
Тангенс угла потерь Dissipation factor	0,0003	0,0005	Зависит от диэлектрика Depends on dielectric	0,0016– 0,0018	0,0005– 0,0010	0,0002– 0,0005	0,0002	0,002	0,002
Теплопровод. Вт/м·К Heat conductance W/m·K	24	170	149	0,29–0,33	0,2–1,44	~5,8	~5,8	0,22	0,22

и рамки, при этом внутренняя топология изменяется в зависимости от схемы уровня. Каждый уровень в 3D микросборке может являться функционально-законченным модулем.

Для выбора оптимального базового материала коммутационных плат 3D микросборки проведен сравнительный анализ наиболее распространенных материалов (табл. 1): Al<sub>2</sub>O<sub>3</sub> — оксидная керамика, AlN — алюминитридная керамика, Si — кремний, FR4 — стеклотекстолит, TGV — твердое стекло, TQV — синтетический кварц, PTFE/E-glass — материал на основе политетрафторэтилена и алюмоборосиликатного стекла с содержанием оксидов щелочных металлов.

По результатам анализа в качестве материала для создания 3D микросборок был выбран кремний. Применение кремния в качестве коммутационных плат позволяет обеспечить высокую теплопроводность (в 50 раз больше, чем у LTCC керамики), более высокие топологические нормы, чем на стеклотекстолите и керамике (диаметр переходных отверстий менее 70 мкм, ширина проводника и зазор между проводниками менее 80 мкм), максимально близкий ТКЛР с базовыми материалами элементов МЭМС и интегральных схем (ИС).

Из достоинств применения кремния вытекают преимущества и недостатки технологии TSV.

Преимущества TSV:

- монокристаллическая структура материала;
- малый диаметр и шаг отверстий при высоком аспектном соотношении;
- доступность материала (стандартные пластины кремния без специальных требований);

- возможность применения для формирования топологии на поверхности подложки стандартных технологий производства ИС;
  - минимальные топологические нормы;
  - отсутствие разности ТКЛР между материалом кристалла и материалом подложки с TSV;
  - возможность использования в качестве подложки для TSV кристалла ИС;
- Недостатки:
- кремний является полупроводником и имеет небольшое сопротивление, поэтому для формирования отверстий в кремнии необходимо предварительно создавать слой диэлектрика, как правило, оксида или нитрида кремния;

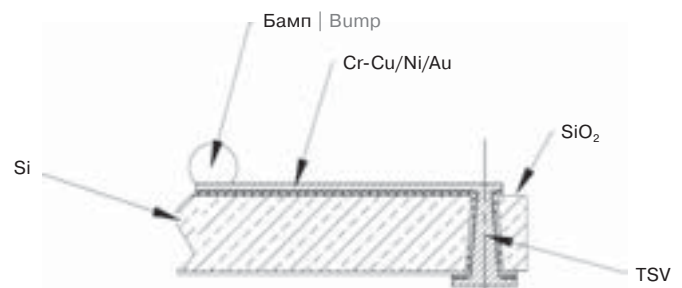


Рис. 4. Структура фрагмента коммутационной платы из кремния с элементами вертикальной коммутации (TSV и бамп)

Fig. 4. The structure of interconnection silicon board fragment with elements of vertical interconnection (TSV and bump)



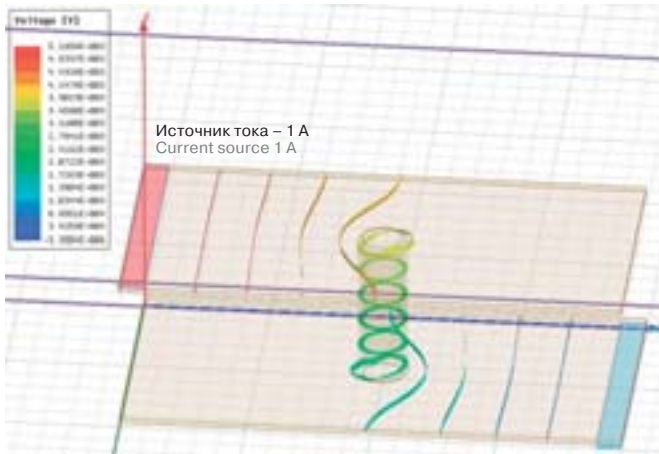


Рис. 5. Результат моделирования сопротивления отверстий диаметром 60 мкм  
 Fig. 5. The result of resistance simulation performed for 60 micron hole

источника краю нижней КП), основной проводящий материал — медь. Для упрощения расчета был установлен ток источника равный 1А (рис. 5). Размер контактных площадок с двух сторон носителя составляет 0,8 мм на 0,4 мм. Толщина кремниевой пластины 300 мкм, толщина SiO<sub>2</sub> 1 мкм, толщина подслоя хрома 50 нм.

По результатам моделирования была определена зависимость сопротивления сквозного металлизированного отверстия от толщины металлизации:

1. Для толщины металла в 10 мкм сопротивление составило:  $R_{от10} = 1,7 \text{ мОм};$
2. Для толщины металла в 15 мкм сопротивление составило:  $R_{от15} = 1,3 \text{ мОм};$
3. Для полностью заполненного металлом отверстия  $\varnothing 60 \text{ мкм}$   $R_{от30} = 0,7 \text{ мОм}.$

В работе использовался монокристаллический кремний р-типа проводимости с удельным сопротивлением от 0,5–20 Ом·см с ориентацией «111» и толщиной 300 мкм, диаметры формируемых отверстий от 40 до 120 мкм.

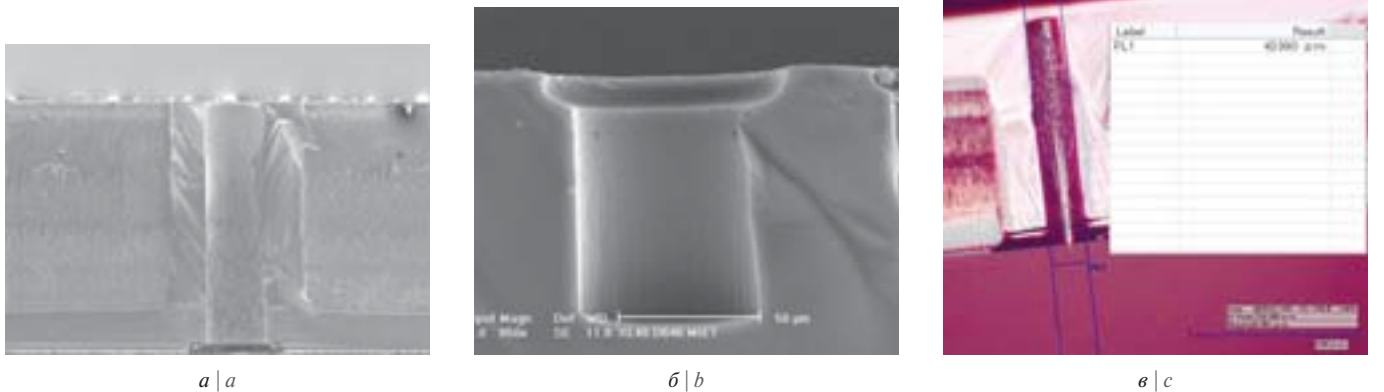


Рис. 6. Варианты профилей TSV-отверстий в кремнии толщиной 300 мкм: а) изображение профиля сквозного отверстия диаметром 60 мкм на РЭМ; б) изображение профиля отверстия с вертикальными стенками и фаской в верхней части на РЭМ; в) изображение профиля сквозного отверстия диаметром около 45 мкм  
 Fig. 6. Variants of TSV-holes profiles in silicon with 300 micron thickness: a) profile image of a through hole 60 microns in diameter obtained by raster electron microscope (Scanning Electron Microscope); b) profile image of a hole with vertical walls and bevel in the upper part obtained by raster electron microscope (Scanning Electron Microscope); c) profile image of a through hole about 45 microns in diameter

- кремний относительно хрупкий материал;
- дорогая технология при формировании TSV в структуре ИС с последующей 3D сборкой.

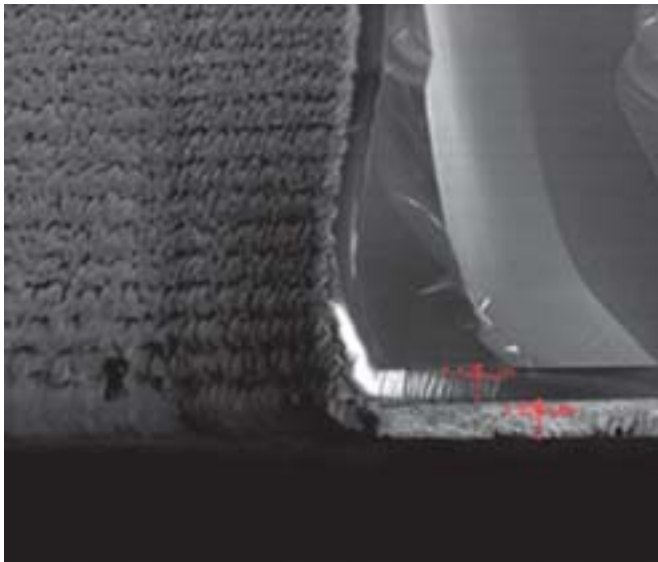
Для вертикальной коммутации уровней микросборки необходимо наличие в коммутационных платах из кремния сквозных металлизированных отверстий с высокой проводимостью (рис. 4). Задача формирования переходных отверстий в кремнии с максимально низким сопротивлением является наиболее сложной и востребованной в настоящее время для отечественной микроэлектроники.

**ИССЛЕДОВАНИЕ ПРОЦЕССОВ ФОРМИРОВАНИЯ СКВОЗНЫХ МЕТАЛЛИЗИРОВАННЫХ ОТВЕРСТИЙ В КРЕМНИИ**

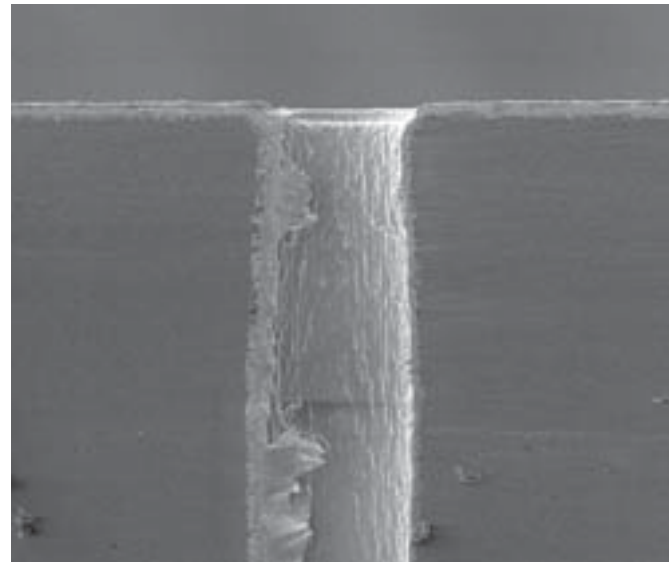
В первую очередь проведено моделирование сопротивления структуры металлов, осажденных на поверхности отверстия. Моделирование проводилось со следующими условиями: плоскость земли и источник располагались на контактных площадках пластины с верхней и нижней сторон при максимальном удалении друг от друга (плоскость источника на краю верхней КП, плоскость земли на противоположном по отношению к плоскости

Формирование отверстий разного диаметра проходило на установке глубокого плазменного травления. Вытравливались как сквозные, так и несквозные отверстия в зависимости от варианта технологического процесса. Установлено влияние формы отверстия на особенности реализации последующих процессов металлизации. Отверстия в кремнии формировались Bosch-процессом. Параметры Bosch-процесса варьируются в зависимости от выбранного конструктивно-технологического варианта создания отверстий. Для формирования фасок дополнительно вводилась стадия изотропного травления. На рис. 6 представлены примеры реализации различных вариантов профиля отверстий в кремниевой пластине. Исследования проводились на растровом электронном микроскопе FEI Quanta 3D FEG.

Из рассмотренных способов формирования сквозных отверстий в кремнии был выбран вариант с вертикальными стенками и небольшими фасками с обеих сторон отверстия. Как показали результаты исследований, предпочтительным вариантом реализации технологии металлизации является маршрут, предусматривающий нанесение подслоя из хрома и меди магнетронным способом, с последующим



a | a



б | б

Рис. 7. Стадии металлизации отверстий в кремнии: а) изображение фрагмента отверстия диаметром 60 мкм после вакуумного напыления структуры металлов на РЭМ; б) изображение профиля металлизированного сквозного отверстия после электрохимического осаждения на РЭМ

Fig. 7. Stages of holes metallization in silicon: a) image of 60 micron hole fragment upon metal sputtering in vacuum obtained by raster electron microscope; b) image of plated through hole profile upon electrochemical deposition obtained by raster electron microscope (Scanning Electron Microscope)

наращиванием меди электрохимическим осаждением. На рис. 7 представлены изображения металлизации отверстий после формирования подслоя и электрохимического осаждения меди (профили отверстий для исследований получены методом дисковой резки пластины на заданную глубину с последующим разламыванием). В случае магнетронного распыления осажденный слой имеет характерную столбчатую структуру, описываемую моделью Мовчана – Демчишина. Морфология медного слоя в значительной степени зависит от скорости осаждения, при этом возможно получение как пористых, так и плотных непористых слоев [3]. При обработке процесса

электрохимического осаждения режимы были выбраны таким образом, чтобы обеспечить максимально плотную непористую структуру осаждаемой пленки.

По результатам отработки и исследований технологических процессов формирования отверстий, осаждения диэлектрического слоя и металлизации, подобраны оптимальные режимы и разработана технология изготовления интерпозеров (рис. 8), а также проведены измерения сопротивления в переходных отверстиях в изготовленных тестовых образцах (рис. 9).

Среднее значение сопротивления составило 23,5 мОм (данный результат получен с учетом сопротивления в местах контакта КП

with chips of control logic as well as interposers. However TSV application in microcircuits is restricted by high cost and complexity of technology (Fig. 2).

Basing on design and technological solutions and methods used in flip-chip assembly, 3D IC modules, SiP technology, a new technology of 3D microassemblies using silicon interposers has been developed.

3D microassembly is a system-in-chip and could contain different IC (including NVM, MEMS, RF analog) connected with a silicon interposer providing IC interconnection (Fig. 3a). Chip (unpackaged one) with preformed solder bumps on contact pads is mounted on interconnection board using flip-chip method (Fig. 3b). Assembly levels are interconnected by silicon interconnection frames (Fig. 3c), with TSV interconnection and bumps along perimeter for assuring volumetric commutation. Free space

in microassembly is filled with two types of compounds (with silicon-organic and epoxy base). Unification is attained by means of equal number of external contact pads (CP) with through-silicon vias for each standard size of interconnection board and frame, with internal topology changing depending on the level scheme. Each level in 3D microassembly may be functionally completed module.

To choose optimal basic material for 3D microassembly interconnection boards, a comparative analysis of most common materials was made (Table 1):  $Al_2O_3$  — oxide ceramics, AlN — aluminum nitride ceramic, Si — silicon, FR4 — glass-fibre plastic, TGV — hard glass, TQV — synthetic quartz, PTFE/E-glass — material based on polytetrafluoroethylene and alumina-borosilicate glass with alkali metals oxides content.

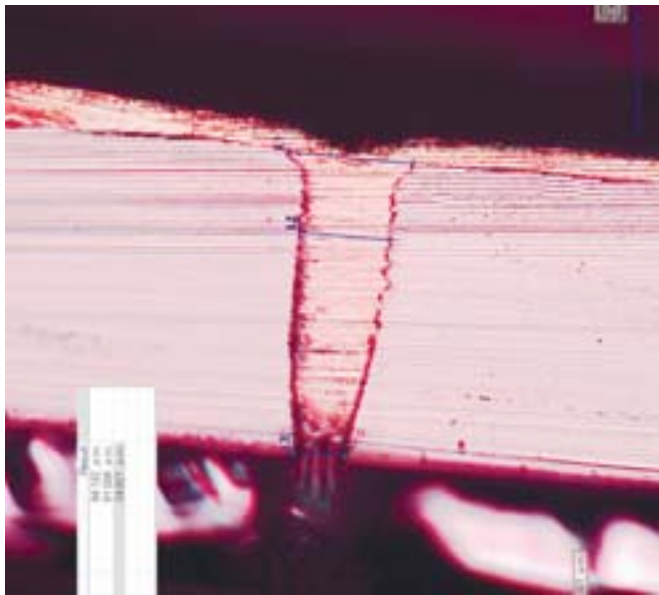
According to the analysis results silicon was selected as material for 3D microassemblies.

The application of silicon as interconnection boards makes it possible to provide high heat conduction (50 times greater than in case of LTCC ceramics), higher topological norms than in case of glass-fibre plastic and ceramics (diameter of through vias is less than 70 microns, conductor width and gap between conductors are less than 80 microns), thermal coefficient of linear expansion maximally close to those of basic materials of MEMS elements and integrated circuits.

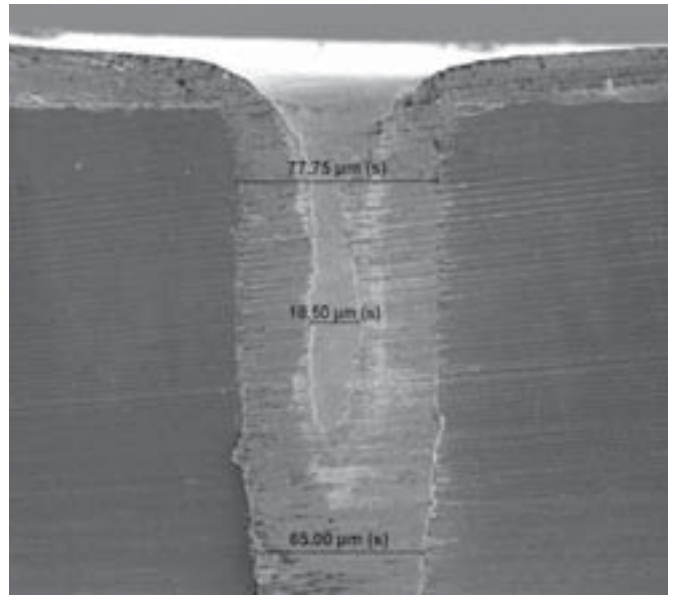
The advantages of silicon application determine the advantages and disadvantages of TSV technology.

The advantages of TSV are as follows:

- monocrystalline structure of material;
- small diameter and pitch of holes at high aspect ratio;
- availability of material (standard silicon wafers without specified requirements);



a | a



б | б

Рис. 8. Результаты формирования металлизации в TSV отверстиях: а) изображение профиля TSV отверстия диаметром 60 мкм на РЭМ; б) изображение профиля TSV отверстия диаметром 75 мкм на РЭМ

Fig. 8. The results of TSV holes metallization: a) image of TSV 60 micron hole profile obtained by raster electron microscope (Scanning Electron Microscope); b) image of 75 micron TSV hole profile obtained by raster electron microscope (Scanning Electron Microscope)

и измерительных щупов). Измерения проводились на цифровом мультиметре Agilent 34405A.

Проведены также два эксперимента на работоспособность образцов при крайних значениях рабочих температур и воздействии на вибрацию.

Среднее значение сопротивления переходных отверстий после температурного воздействия с учетом погрешности составило 24,1 мОм. Условия проведения: понижение температуры с комнатной до  $-60^{\circ}\text{C}$  в течение часа, затем плавный нагрев до  $+85^{\circ}\text{C}$  в течение 2 часов и остывание до комнатной в течение 1 часа.

Среднее значение сопротивления переходных отверстий после воздействия случайных вибраций в диапазоне 20–2000 Гц

с учетом погрешности составило 23,8 мОм. Условия проведения: постепенное повышение частоты от 20 до 2000 Гц с амплитудой ускорения 5 g.

Данные результаты экспериментов позволяют говорить о достаточном качестве металлизации в отверстиях изготовленных тестовых образцов.

**ОБРАЗЫ ИНТЕРПОЗЕРОВ И 3D МИКРОСБОРКИ**

По результатам исследований были изготовлены образцы коммутационных плат и рамок (рис. 10) из кремния со сквозными металлизированными отверстиями (TSV) со следующими параметрами:

- ability to use standard IC manufacturing technologies for layout formation on substrate surface;
- minimal topological norms;
- absence of difference in thermal coefficient of linear expansion between chip material and substrate material with TSV;
- ability to use IC chip as a substrate for TSV; The disadvantages of TSV are as follows:
- silicon is a semiconductor and has small resistance, so for holes formation in silicon it is necessary to pre-form a layer of dielectric, as a rule, oxide or nitride of silicon;
- silicon is relatively brittle material;
- expensive technology of TSV formation within IC structure with subsequent 3D assembly.

For vertical level interconnection it is necessary to provide plated-through holes with high conductance in interconnection silicon

boards (Fig. 4). The formation of through holes in silicon with maximally low resistance is a most complex task and a real challenge facing domestic microelectronics.

**INVESTIGATION OF PLATED-THROUGH HOLES FORMATION IN SILICON**

Firstly, resistance of metals deposited on the holes surface was simulated. It was done under following conditions: the ground plane and the source plane were located on wafer's contact pads at maximum distance between upper and lower sides (the source plane at the edge of upper contact pad, the ground plane at the opposite side relative to the source plane edge of the lower contact pad), the main conducting material being copper. To simplify calculations the current source was set equal to 1A (Fig. 5). Contact pads dimensions from both

sides of the carrier make  $0.8 \times 0.4 \text{ mm}$ . Silicon wafer thickness is 300 microns,  $\text{SiO}_2$  thickness is 1 micron, thickness of chrome sublayer is 50nm.

According to the results of resistance simulation, the dependence of plated-through hole resistance on plating thickness has been determined:

1. For 10 micron thick metal layer the resistance is:  $R_{10} = 1.7 \text{ mOhm}$ ;
2. For 15 micron thick metal layer the resistance is:  $R_{15} = 1.3 \text{ mOhm}$ ;
3. For  $\varnothing 60$  micron hole completely filled with metal:  $R_{30} = 0.7 \text{ mOhm}$ .

In the research we used monocrystalline silicon with p-type conductance, with electrical resistivity ranging in value from 0.5 to 20  $\text{Ohm}\cdot\text{cm}$ , with "111" orientation and 300 microns thick; diameters of formed holes were ranging in value from 40 to 120 microns.



- планарные размеры: 15×15 мм;
- толщина: 335±10 мкм;
- количество слоев коммутации: 2;
- диаметр сквозных металлизированных отверстий: 60 мкм;
- основной материал заполнения сквозных отверстий: Cu;
- топологические нормы: толщина проводника/зазор: 0,09/0,09 мм.

Коммутационная плата является основой уровня и основным элементом для создания трехмерной микросборки. Каждый уровень содержит прототип микросхемы в бескорпусном исполнении, отвечающий за определенный функционал. Кристалл микросхемы устанавливается на интерпозер по методу flip-chip монтажа с помощью припойных бампов SAC305 (Sn = 96,5%; Ag = 3%; Cu = 0,5%) с исходным диаметром 100 мкм (рис. 11а, б, в). Кроме безсвинцовых бампов возможно также использовать материалы из золота или припоя с содержанием свинца различного диаметра. Зазор между кристаллом и поверхностью коммутационной платы заливается сверхтекучим компаундом (рис. 11з). В состав уровня входит кремниевая рамка, необходимая для осуществления вертикальной коммутации с другими уровнями микросборки. Рамка устанавливается на основании уровня по методу flip-chip монтажа. Толщина рамки с бампами чуть больше, чем толщина смонтированного кристалла на бампах, и содержит точно такое же количество внешних контактных площадок с TSV-отверстиями, как и количество КП на коммутационной плате.

Holes different in diameter were formed at deep plasma etching installation. Both through holes and blind holes were etched depending on the selected technological process. The holes shape effect on peculiarities of subsequent metallization process has been determined. Holes in silicon were formed by means of Bosch-process. Parameters of Bosh-process vary depending on selected design and technological variant of holes formation. An additional stage of isotropic etching was introduced for bevels formation. Fig. 6 presents examples of different variants of holes profile in silicon wafer. The tests were carried out using electron microscope FEI Quanta 3D FEG.

From all tested methods of through holes formation in silicon wafer we have chosen the one with vertical walls and small bevels at both sides of the hole. According to the results of the tests it was determined that preferable variant of through holes metallization technology is a route providing pre-coating by chrome and copper by means of magnetron method with subsequent copperplating using process of electrochemical deposition. Fig. 7 presents images of holes metallization

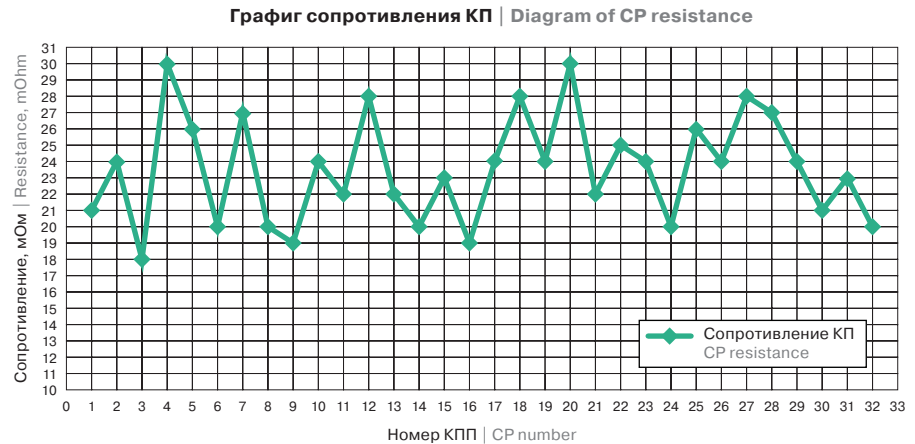


Рис. 9. Результаты измерения сопротивления сквозных металлизированных отверстий в одном из тестовых образцов

Fig. 9. The results of resistance measurements in plated-through holes in one of the test samples

После монтажа коммутационной рамки уровень заливается теплопроводящим компаундом. По аналогии изготавливаются остальные уровни и монтируются последовательно на первый уровень для получения трехмерной микросборки (рис. 12а, б).

На основе полученных результатов разработана трехмерная микросборка акселерометров с бескорпусными МЭМС и микросхемами обработки сигналов на коммутационных платах из кремния.

Микросборка включает два уровня:

1 уровень: 2 «капсулированных» чувствительных элемента МЭМС акселерометров с пассивными компонентами, смонтированных на интерпозер, и рамка кремниевая со сквозными металлизированными отверстиями и бампами.

after sublayer formation and electrochemical deposition of copper (holes profiles for tests were obtained using sawing wafer technique at predefined depth with subsequent cracking). In case of magnetron sputtering the deposited layer has characteristic columnar structure described by Movchan-Demchishin model. The copper layer morphology significantly depends on deposition rate, and there exists a possibility of obtaining porous and compact non-porous layers [3]. While developing the electrochemical deposition process different modes were selected so as to provide maximal dense non-porous structure of deposited film.

Using the results of tests conducted for technological processes of holes formation, dielectric layer deposition and metallization, optimal modes were selected and technology of interposers manufacturing was developed (Fig. 8), as well as resistance measurements in via holes in manufactured test samples were conducted (Fig. 9).

The mean resistance value made 23.5mOhm (the result was obtained with due account of resistance at places of CP and measuring probes contact). Measurements were made using Agilent 34405A multimeter.

Two experiments were conducted to determine samples operability for extreme values of operating temperatures and vibration impact.

The mean resistance value of via holes after thermal effect allowing for an error makes 24.1mOhm. Test conditions were as follows: decrease in temperature from room temperature to  $-60^{\circ}\text{C}$  in an hour, and then gradual heating up to  $+85^{\circ}\text{C}$  in two hours and cooling down to room temperature in an hour.

The mean resistance value of via holes after random vibrations in the range 20–2000Hz allowing for an error makes 23.8mOhm. Test conditions were as follows: gradual frequency increase from 20 to 2000Hz with acceleration amplitude being 5g.

The experimental data make it possible to conclude that the quality of metallization in test samples holes is sufficient.

### SAMPLES OF INTERPOSERS AND 3D MICROASSEMBLIES

Basing on the results obtained, samples of interconnection boards and frames were manufactured (Fig. 10) with plated-through





Рис. 10. Образцы интерпозеров: а) коммутационная плата с финишным покрытием из Au; б) коммутационная рамка с финишным покрытием из Au; в) интерпозеры с финишным покрытием из ImmSn

Fig. 10. Samples of interposers: a) interconnection board with top coating by Au; b) interconnection frame with top coating by Au; c) interposers with top coating by ImmSn

Технология «капсулирования» заключается в создании защитной крышки над инерциальной массой ЧЭ МЭМС. Подвижность элементов инерциальной структуры обеспечивается углублением в крышке из кремния, которая соединяется с верхней частью ЧЭ посредством технологии сращивания. Для получения электрического контакта от ЧЭ в крышке формируются сквозные металлизированные отверстия TSV (рис. 13).

2 уровень: кристалл микросхемы обработки сигналов с пассивными компонентами, смонтированными на интерпозер, и рамка кремниевая со сквозными металлизированными отверстиями и бампами (рис. 14).

Параметры модели 3D микросборки акселерометра:

- планарные размеры: 15×15 мм;

- высота: около 1,5 мм;
- количество внешних КП: 48 шт.;
- диаметр сквозных отверстий в рамке: 0,1 мм;
- диапазон измерений:  $\pm 1 \dots \pm 200$  г;
- нелинейность: до 0,2%;
- спектральная плотность шума: до  $10^{-5}$  г/Гц<sup>-1/2</sup>;
- диапазон рабочих температур: -60...+125 °С.

Ключевыми особенностями 3D микросборки являются интеграция разнородных отечественных элементов (МЭМС, ИС) в единую функционально-законченную систему с максимально плотным размещением, применение кремния в качестве коммутационной платы, вертикальная коммутация уровней микросборки с применением TSV и бампов, применение «капсулированных»

holes in silicon (TSV) wafer having the following parameters:

- planar dimensions: 15×15mm;
- thickness: 335±10 microns;
- number of interconnection layers: 2;
- diameter of plated-through holes: 60 microns;
- main material for via holes filling: Cu;
- layout norms of conductor thickness/gap: 0.09/0.09mm.

Interconnection board is the layer base and main element used for 3D microassembly. Each layer contains unpackaged microcircuit prototype responsible for the defined functional. Microcircuit die is mounted on interposer using flip-chip technology with the help of solder bumps made of SAC305 alloy (Sn = 96.5%; Ag = 3%; Cu = 0.5%) with initial diameter 100 microns (Figs 11a, 11b, 11c). It is possible to use both lead-free bumps and materials with Au or solders containing lead with various diameters. The gap between die and interconnection board surface is filled with superfluid compound (Fig. 11d). The layer structure contains a silicon frame necessary to perform vertical interconnections

with other microassembly layers. The frame is mounted on the layer base using flip-chip technology. The thickness of the frame with bumps is just over the thickness of the die mounted on bumps and contains exactly the same number of external contact pads with TSV-holes as the number of contact pads on interconnection board.

Upon mounting interconnection frame the layer is filled with heat conducting compound. The other layers are manufactured similarly and sequentially mounted at the first level to obtain 3D microassembly (Fig. 12a, 12b).

Basing on obtained results 3D microassembly of accelerometers has been developed with unpackaged MEMS and signal processing microcircuits on silicon interconnection boards.

Microassembly includes two levels:

1st level: two “encapsulated” sensitive elements of MEMS accelerometers with passive components mounted on interposer and silicon frame with plated-through holes and bumps.

The encapsulated technology involves the creation of a protective cover above inertial mass of sensitive MEMS element. The mobility

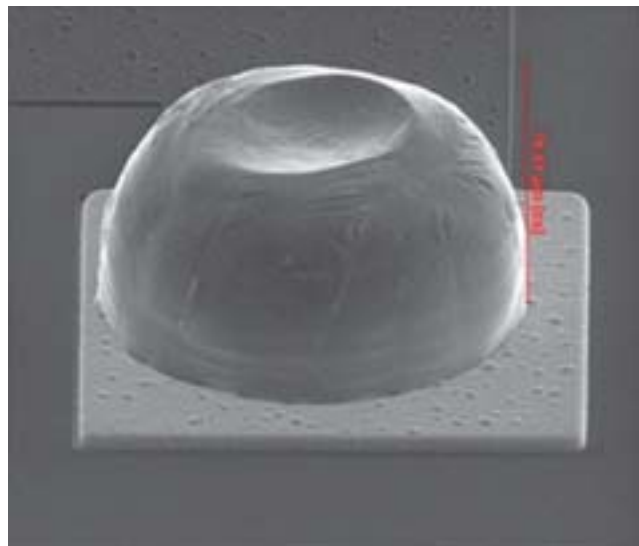
of inertial structure elements is provided by a dimple in the silicon cover connected with the upper part of sensitive element by means of splicing technique. To provide electrical contact with sensitive element plated-through TSV holes are formed in the cover (Fig. 13).

2nd level: chip of microcircuit for signals processing with passive components mounted on interposer and a silicon frame with plated-through holes and bumps (Fig. 14).

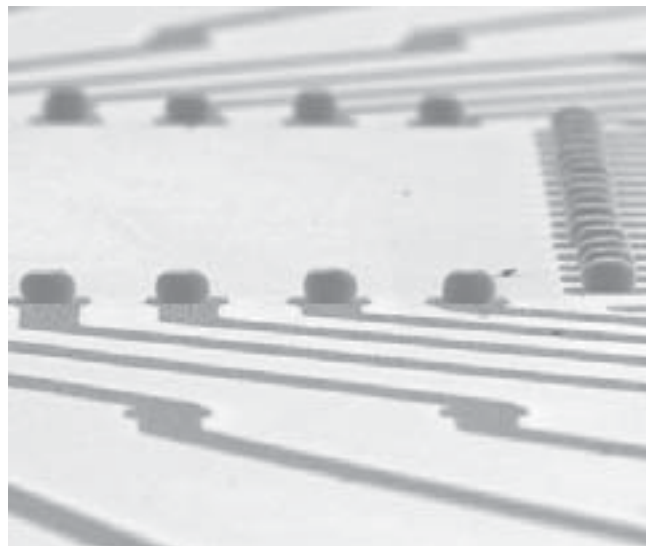
Parameters of model for 3D microassembly of accelerometer are as follows:

- planar dimensions: 15×15mm
- height: ~ 1.5mm;
- number of external CP: 48 pc.;
- diameter of through holes in frame: 0.1mm;
- measurement range:  $\pm 1 \dots \pm 200$ g;
- non-linearity: up to 0.2%;
- noise spectral density: up to  $10^{-5}$  g/Hz<sup>-1/2</sup>;
- range of operating temperatures: from - 60 up to +125 °C.

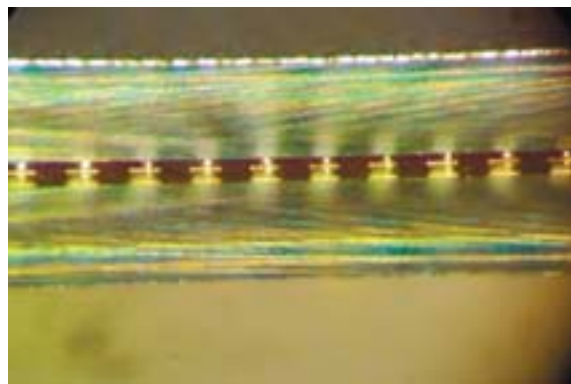
Key peculiarities of 3D microassembly are integration of heterogeneous domestic elements (MEMS, IC) into a single, functionally completed system with maximally dense placement, the use of silicon as interconnection board,



а | а



б | б



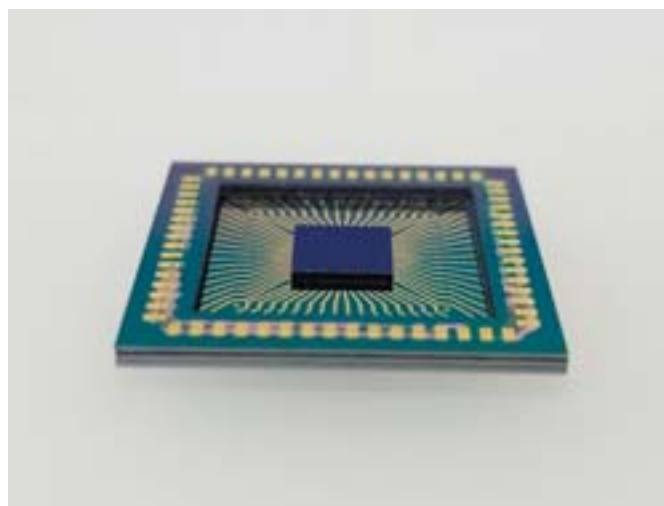
в | с



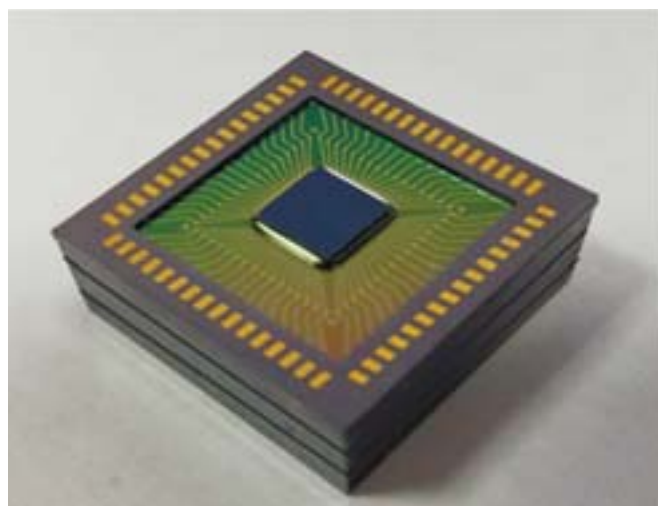
г | д

Рис. 11. Этапы сборки и монтажа кристалла одного уровня 3D микросборки: а) изображение бампа SAC305 для вертикального монтажа уровней на РЭМ; б) изображение бампов на КП интерпозера на РЭМ; в) кристалл, смонтированный на интерпозер методом flip-chip (вид сбоку); г) кристалл на интерпозере с заливкой компаундом

Fig. 11. The stages of assembling and mounting die at one of 3D microassembly level: a) image of bump made of SAC305 alloy for vertical levels installation obtained by raster electron microscope; b) image of bumps on interposer contact pad obtained by raster electron microscope; c) die mounted on interposer using flip-chip method (side view); d) die on interposer filled with compound



а | а



б | б

Рис. 12. Образец 3D микросборки: а) уровень микросборки; б) 3D микросборка на основе коммутационных плат из кремния

Fig. 12. Sample of 3D microassembly: a) microassembly level; b) 3D microassembly on the base of silicon interconnection boards



МЭМС, отсутствие проволочных соединений для микромонтажа элементов на интерпозер.

В рамках работы получены следующие результаты:

1. Отработаны основные процессы формирования сквозных металлизированных отверстий в коммутационных платах из кремния.
2. Проведены исследования TSV отверстий диаметром от 40 мкм до 120 мкм в кремниевых пластинах р-типа проводимости с удельным сопротивлением от 0,5–20 Ом·см с ориентацией «111» и толщиной 300 мкм.
3. Изготовлены образцы коммутационных плат из кремния (интерпозеров) с планарными размерами 15×15 мм, толщиной около 330 мкм, с диаметром TSV отверстий 60 мкм, со средним значением сопротивления переходных отверстий 23 мОм (основной проводящий материал — медь).

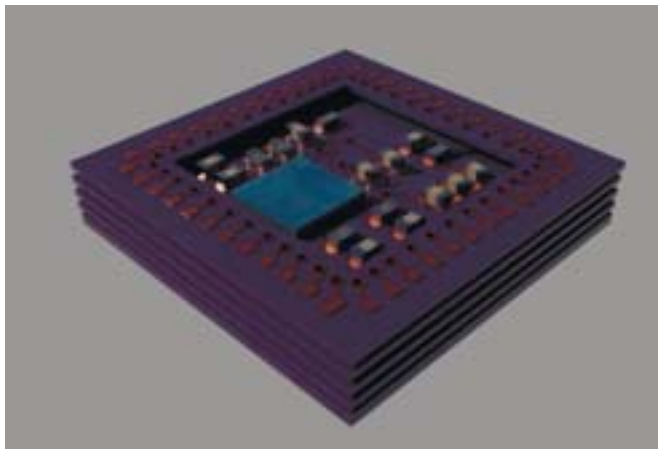


Рис. 14. Модель 3D микросборки акселерометра  
Fig. 14. Model of 3D accelerometer microassembly

vertical interconnection of microassembly levels with application of TSV and bumps, application of “encapsulated” MEMS, absence of wired joints for microassembling elements on interposer.

The research has made it possible to obtain the following results:

1. Main processes of plated-through holes formation in silicon interconnection boards have been developed;
2. Tests of TSV holes from 40 to 120 micron in diameter made in silicon wafer with p-type conductance and resistance ranging in value from 0.5 to 20 Ohm·cm with “111” orientation and 300 micron thickness have been carried out;
3. Samples of silicon interconnection boards have been manufactured (interposers) with the planar dimensions 15×15mm, thickness ~ 330 microns, with TSV holes

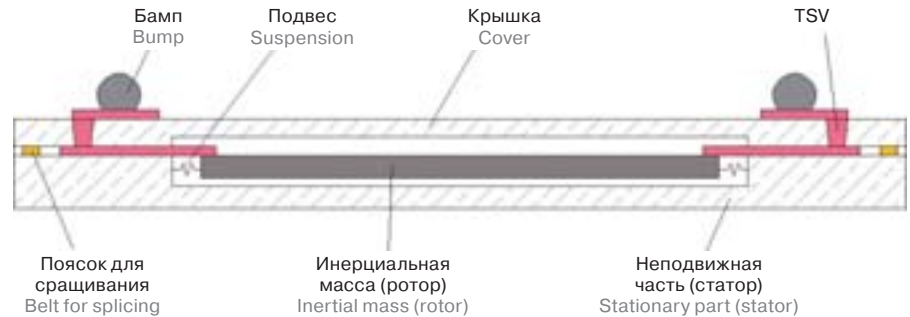


Рис. 13. Структура упрощенной модели капсулированного МЭМС акселерометра  
Fig. 13. The structure of simplified encapsulated MEMS accelerometer model

4. Разработана технология 3D микросборки и отработаны основные этапы изготовления: установка бампов на контактные площадки, установка кристаллов методом flip-chip монтажа на интерпозер, формирование уровней 3D микросборки, заливка подкристалльного пространства и уровней компаундами, сборка и монтаж уровней.
5. Разработана модель 3D микросборки акселерометра с двумя уровнями на основе коммутационных плат из кремния и бескорпусных элементов МЭМС и ИС.

Представленное в статье направление работ по технологии 3D микросборки развивается совместно с АО «НИИМЭ».

**ЛИТЕРАТУРА**

1. Вертянов Д. В., Петров В. С., Шабунин Д. А., Бураков М. М., Брыкин А. В. Преимущества технологии внутреннего монтажа при производстве инерциальных систем на основе отечественных МЭМС. Научно-технологический журнал «Наноиндустрия. Спецвыпуск 2017 (74)». — С. 579–580.
2. Garrou P., Bower Ch., Ramm P. Handbook of 3D Integration. Technology and Applications of 3D Integrated Circuits. 2008.
3. Boyko A., Gaev D., Timoshenkov S., Litmanovich D. “Controllable Growth of Copper Fractal Aggregates on Structurally Modified Silicon Surface”, Proc. of the XXXII Int. Sc. Conf. ELNANO’2013, Kyiv, 2013, pp. 185–187.

**REFERENCES**

1. Vertyanov D. V., Petrov V. S., Shabunin D. A., Burakov M. M., Brykin A. V. *Preimushchestva tekhnologii vnutrennego montazha pri proizvodstve inertsiial'nykh sistem na osnove otechestvennykh MEMS*. Nauchno-tekhnologicheskii zhurnal “Nanoindustriya. Spetsvypusk 2017 (74)”. — S. 579–580. (In Russian).
2. Garrou P., Bower Ch., Ramm P. *Handbook of 3D Integration*. Technology and Applications of 3D Integrated Circuits. 2008.
3. Boyko A., Gaev D., Timoshenkov S., Litmanovich D. “Controllable Growth of Copper Fractal Aggregates on Structurally Modified Silicon Surface”, Proc. of the XXXII Int. Sc. Conf. ELNANO’2013, Kyiv, 2013, pp. 185–187.

- 60 microns in diameter, with mean value of via holes resistance 23mOhms (the main conducting material being copper);
  4. 3D microassembly technology has been developed and main stages of its manufacturing have been worked out: bumps installation on contact pads, mounting dies on interposer using flip-chip method, levels formation of 3D microassembly, filling under chip gap and layers with compounds, layers assembling and installation;
  5. 3D microassembly accelerometer model has been developed basing on silicon interconnection boards and unpackaged MEMS elements and IC.
- The lead of 3D microassembly technology presented in this paper has been developed jointly with JSC “NIIME”.