



УДК 621.372

DOI: 10.22184/NanoRus.2019.12.89.120.125

РАЗРАБОТКА СЛОЖНО-ФУНКЦИОНАЛЬНОГО БЛОКА ПРИЕМОПЕРЕДАТЧИКА ИНТЕРФЕЙСА SERIAL RapidIO 2,5 ГБИТ/С НА ОСНОВЕ ОТЕЧЕСТВЕННОГО ТЕХНОЛОГИЧЕСКОГО ПРОЦЕССА ДЛЯ ПРИМЕНЕНИЯ В СОСТАВЕ РАДИАЦИОННО-СТОЙКИХ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

DEVELOPING RAD HARD SERIAL RapidIO 2.5G INTERFACE TRANSCEIVER IP BASED ON RUSSIAN TECHNOLOGICAL PROCESS

БУМАГИН АЛЕКСЕЙ ВАЛЕРИЕВИЧ
К. т. н.

BUMAGIN ALEXEY V.
Ph.D

ГОНДАРЬ АЛЕКСЕЙ ВАСИЛЬЕВИЧ

GONDAR ALEXEY V.

САВЕЛЬЕВ СЕРГЕЙ АПОЛЛИНАРЬЕВИЧ

SAVELYEV SERGEY A.

*Филиал акционерного общества «Объединенная ракетно-космическая корпорация» — «Научно-исследовательский институт космического приборостроения»
111250, г. Москва, ул. Авиамоторная, 53*

*Department of Joint-Stock Company "United Rocket and Space Corporation" — "Institute of Space Device Engineering"
53 Aviamotornaya St., Moscow, 111250, Russia*

Представлены разработанные схемотехнические решения СФ-блока интерфейса Serial RapidIO со скоростью передачи данных до 2,5 Гбит/с для применения в составе интегральных микросхем космического назначения на основе отечественного технологического процесса КМОП HCMOS8D с технологическими нормами 0,18 мкм.

Ключевые слова: приемопередатчик интерфейса Serial RapidIO; логика на основе переключателей тока; интегральная микросхема; бортовая аппаратура космических аппаратов; СФ-блок; параметры технологического процесса; КМОП-технология; радиационно-стойкая библиотека.

The paper presents the schematic and topological solutions of designed rad hard Serial RapidIO 2.5G interface transceiver IP based on Russian technological process — CMOS HCMOS8D (180 nm) — to be used in space class ICs.

Keywords: serial RapidIO interface transceiver; current-mode logic; integrated circuit; onboard space apparatus; intellectual property; process design kit; CMOS-technology; Rad Hard Library.

Существенное увеличение объемов информации, передаваемой в модернизируемых и перспективных космических аппаратах (КА), предполагает применение в составе их бортовой аппаратуры высокоскоростных последовательных интерфейсов, одним из которых является Serial RapidIO.

В настоящее время рядом отечественных предприятий проводится создание интегральных микросхем, предназначенных для применения в космических унифицированных интегрированных бортовых информационных системах, содержащих в своем составе высокоскоростной интерфейс Serial RapidIO со скоростью передачи данных до 2,5 Гбит/с.

На данные микросхемы, как правило, распространяются стандартные требования по стойкости к воздействию внешних и специальных факторов, предъявляемые к современной ЭКБ для бортовой аппаратуры космических аппаратов, а также совместимости с аппаратурой потребителя.

В условиях зарубежных санкционных ограничений в составе интегральных микросхем, создаваемых по программе импортозамещения, требуется применение полупроводниковых кристаллов, изготовленных на основе отечественных технологических процессов.

На сегодняшний день известны наработки ряда отечественных предприятий (ФГУ ФНЦ НИИСИ РАН и др.) по созданию спецстойких интегральных микросхем (ИМС), содержащих высокоскоростные последовательные интерфейсы со скоростями передачи данных до 2,5 Гбит/с, однако последние либо не отвечают предъявляемым требованиям по спецстойкости, либо благодаря наличию быстродействующих процессорных ядер содержат полупроводниковые кристаллы, изготовленные с применением зарубежных технологических процессов с проектными нормами 90 нм и менее.

К зарубежным аналогам микросхем космического применения, включающим интерфейс Serial RapidIO, можно отнести RAD750, RAD5545 (фирмы MAXIM, США).

Авторы считают, что в данной работе новым результатом является разработка схемотехнических решений сложно-функционального (СФ) блока приемопередатчика Serial RapidIO 2,5 Гбит/с на основе отечественных технологических процессов для применения в составе радиационно-стойких интегральных микросхем, что на сегодняшний день является высокоактуальной задачей, решению которой посвящена настоящая работа.

Описанные ниже результаты получены при проведении инициативной работы, выполняемой филиалом АО «ОРКК» — «НИИ КП».

По данным потребителя, разрабатываемый СФ-блок должен отвечать следующим основным требованиям:

- разработка на основе комплекта средств проектирования (PDK-Process Design Kit) технологического процесса отечественной кремниевой фабрики;
- для разработки должен быть использован хорошо отработанный на момент начала 2017 г. технологический процесс с проектными нормами не менее 0,18 мкм, предназначенный для создания радиационно-стойких приложений;
- наличие радиационно-стойкой библиотеки стандартных ячеек и элементов ввода/вывода;
- соответствие электрической спецификации интерфейса RapidIO LP-Serial;
- скорость передачи битового потока — до 2,5 Гбит/с;
- диапазон рабочих температур окружающей среды — от минус 60 до 85°C;
- напряжение питания элементов ввода-вывода — 3,3 В ± 10 %;
- напряжения питания ядра микросхемы — 1,8 В ± 10 %;
- наличие режима пониженного энергопотребления;
- наличие отключаемого интегрального терминирования линий ввода-вывода данных;
- реализация функции предьсказания спектра (pre-Emphasis) выходного сигнала в передатчике для компенсации частотной характеристики канала.

На входе передатчика и выходе приемника должны присутствовать цифровые сигналы, совместимые с логикой на основе переключателей тока (Current-Mode Logic, CML); на входе передатчика и выходе приемника — сниматься дифференциальный аналоговый сигнал LP-Serial.

Для обеспечения сбое- и отказоустойчивости разрабатываемого СФ-блока в составе микросхемы используются технологические, схемотехнические и системотехнические следующие методы.

Необходимо особо подчеркнуть, что в составе радиационно-стойких библиотек для отечественных технологических процессов отсутствуют аналоговые высокоскоростные функциональные блоки, требуемые для реализации приемопередатчика интерфейса Serial RapidIO, обеспечивающего скорость обмена данными до 2,5 Гбит/с.

Основываясь на опыте разработок филиала АО «ОРКК» — «НИИ КП», а также на опыте ряда известных российских и зарубежных компаний, для разработки СФ-блока предложили технологический процесс КМОП НСМО8D_6М_3.3V с нормами 0,18 мкм ПАО «Микрон». Для указанного технологического процесса существует радиационно-стойкая библиотека стандартных ячеек Mki180rtsc и радиационно-стойкая

библиотека периферийных элементов mki180rtio, разработанные АО НПЦ «ЭЛВИС» [1, 2].

Библиотеки спроектированы для использования в том числе в ЭКБ для бортовой аппаратуры КА (суммарная накопленная доза радиационного излучения — до 300 Крад; стойкость по одиночным эффектам отказов — до 60 МэВ·см²/мг).

Требуемая скорость передачи данных близка к предельно возможной для этого технологического процесса. Следовательно, исходя из перечисленных факторов наиболее сложной и ответственной задачей является разработка высокочастотной части СФ-блока.

Рассмотрим структурную схему разрабатываемого СФ-блока приемопередатчика Serial RapidIO, приведенную на рис. 1.

Для создания приемопередатчика интерфейса Serial RapidIO 2,5 Гбит/с были разработаны следующие основные функциональные блоки:

а) приемник интерфейса Serial RapidIO (RapidIO_Rx). Данный блок имеет встроенный гистерезис ±30 мВ для обеспечения помехозащищенности по входам DP, DM. Данный блок содержит интегральный терминирующий резистор 100 Ом с возможностью отключения, в случае если требуется организовать внешнее терминирование. Также в данном блоке реализована настройка тока выходного CML-буфера в составе приемника. Данная настройка является вспомогательной и применяется для обеспечения работоспособности на всех характеристических углах;

б) передатчик интерфейса Serial RapidIO (RapidIO_Tx).

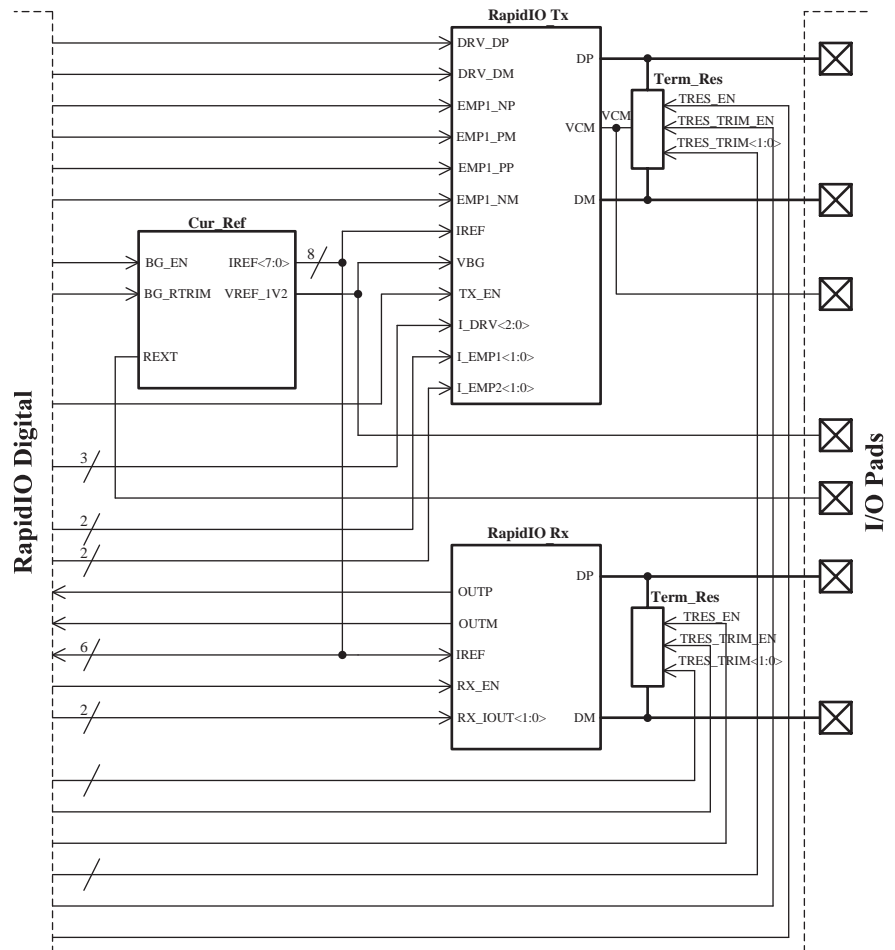


Рис. 1. Структурная схема СФ-блока приемопередатчика Serial RapidIO



В данном блоке реализована функция предусиления (pre-emphasis) выходного сигнала, а также добавлены дополнительные настройки выходного тока и тока предусиления. Данный блок содержит интегральный терминирующий резистор 100 Ом с возможностью отключения, в случае если требуется организовать внешнее терминирование. Для возможности гибкой настройки передатчика в его составе была реализована подстройка выходных токов с драйвера и предусилительных каскадов;

в) источник опорного тока (Cur_Ref).

Также для СФ-блока приемопередатчика разработаны следующие СФ-блоки:

а) источник опорного тока (ИОТ) для схемы фазовой автоподстройки частоты (Cur_source_pll) с управляющим входом для подстройки тока;

б) блок управления эквалайзером (Preemphasis_4b);

в) блок ФАПЧ (PLL), предназначенный для выработки тактового сигнала для внутренней логики СФ-блока.

Блок содержит управляющие входы для управления коэффициентом деления, управления фильтром, управления опорным током.

На основании проведенного моделирования набора элементов последовательностной логики было принято решение

использовать библиотеку стандартных ячеек на частотах не более 1 ГГц.

Для реализации схем, работающих на более высоких частотах, было принято решение осуществить разработку отдельного СМЛ-базиса, функционирующего на частоте не менее 2,5 ГГц.

СМЛ-базис разрабатывался с учетом набора всех необходимых для выполнения задачи функций. Для обеспечения требуемого быстродействия в составе базиса использовались логические функции с максимальным числом уровней, равным 2.

Разработанный базис СМЛ-блоков включает в себя следующие элементы:

- а) буфер (x1, x2, x3, x4 мощности), cml_buf;
- б) схема лог. «И», «И-НЕ» (cml_and/nand);
- в) схема лог. «ИЛИ», «ИЛИ-НЕ» (cml_or/nor);
- г) мультиплексор 2:1 (cml_mux);
- д) лог. элемент защелки (cml_latch);
- е) D-триггер (cml_dfb);
- ж) схема лог. «ИСКЛ. ИЛИ» (cml_xor);
- з) конвертер из СМЛ в КМОП-логику (cml_to_cmos);
- и) конвертер из КМОП-логики в СМЛ (cmos_to_cml).

Каждая СМЛ-ячейка обладает возможностью инверсии дифференциального выхода.

С использованием разработанного СМЛ-базиса созданы СФ-блоки, предназначенные для применения в составе при-

емопередатчика интерфейса Serial RapidIO 2,5 Гбит/с.

Ниже рассмотрим схемотехнические особенности построения отдельных функциональных блоков, входящих в состав приемопередатчика интерфейса Serial RapidIO.

Блок Cur_Ref выполняет функцию формирования опорного тока для функциональных блоков приемника и передатчика данных интерфейса Serial RapidIO (RapidIO_Rx, RapidIO_Tx).

Опорный ток задается внешним резистором, номинал которого рассчитывается по формуле

$$R_{EXT} = \frac{V_{REF_IV2}}{I_{REF}},$$

где V_{REF_IV2} — опорное напряжение, которое либо задается встроенным типовым источником опорного напряжения 1,2 В (Bandgap), либо снимается с внешней площадки ввода-вывода микросхемы; I_{REF} — требуемый опорный ток.

Для выбранного техпроцесса рекомендуется использовать номинал резистора 12 кОм, т. к. функциональные блоки разрабатывались с учетом опорного тока $I_{REF} = 100$ мкА.

Данный тип блоков под воздействием ионизирующего излучения (ИИ) теряет свои рабочие характеристики, что может привести к нарушению функционирования СФ-блока приемопередатчика.

Для улучшения устойчивости к ионизирующему излучению в блоке ИОТ

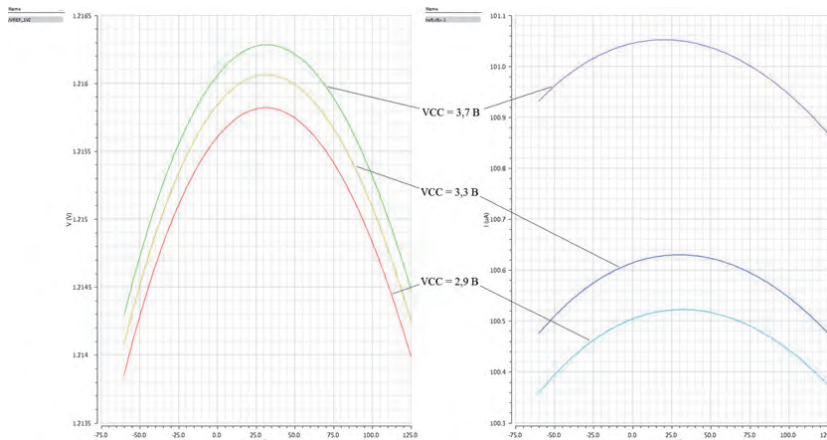


Рис. 2. Зависимость параметров зависимости выходного опорного напряжения V_{REF_IV2} и выходного опорного тока I_{REF} от температуры

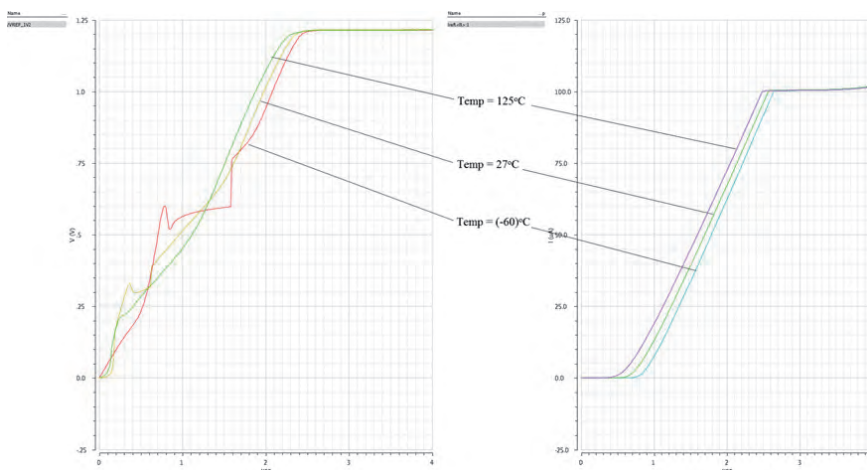


Рис. 3. Зависимость параметров зависимости выходного опорного напряжения V_{REF_IV2} и выходного опорного тока I_{REF} от напряжения питания

реализована настройка рабочего тока для подстройки режима функционирования под ток нагрузки.

В составе блока ИОТ используются два вновь разработанных под применяемый технологический процесс блока: источник опорного напряжения величиной 1,2 В, не зависящего от температуры окружающей среды и напряжения питания микросхемы (Bandgap), и буферный повторитель напряжения (Op_Amp).

На рис. 2 и 3 представлены результаты моделирования блока ИОТ (Cur_Ref), демонстрирующие зависимости выходного опорного напряжения V_{REF_IV2} и выходного опорного тока I_{REF} от температуры окружающей среды и напряжения питания соответственно.

Функциональный блок терминирования дифференциальных линий передачи данных DP и DM (Term_Res)

Так как имеет место существенная зависимость номинала сопротивления терминирующего резистора от стабильности параметров техпроцесса, в данном блоке была предусмотрена внешняя настройка его величины, позволяющая компенсировать технологический разброс при изготовлении кристаллов.

В составе функционального блока Term_Res используются следующие блоки, разработанные для данного технологического процесса: блок управления подстройкой и отключения терминирования (Term_Res_Control), преобразователь напряжения (Conv_IV8to3V3), конвертирующий низкоуровневые по напряжению сигналы в высокоуровневые, и терминирующий резистор (Term_Res_Segment).

Результаты моделирования блока терминирования дифференциальных линий передачи данных, отражающие зависимость номинала терминирующего резистора от постоянной

составляющей напряжения на выводах дифференциальных линий DP и DM (Term_Res), представлены на рис. 4 и 5.

Как видно из полученных результатов, номинал терминирующего резистора существенно зависит от температуры окружающей среды, что может являться существенным недостатком при использовании интегрального терминирования.

На основе сопоставления зависимостей, приведенных на рис. 3, можно сделать вывод, подтверждающий целесообразность подстройки номинала терминирующего резистора в блоке Term_Res.

Функциональный блок передатчика интерфейса Serial RapidIO (RapidIO_Tx)

Данный блок рассчитан на передачу данных со скоростью до 2,5 Гбит/с (1,25 ГГц).

Блок содержит настраиваемый токовый выход с функцией внесения предискажений (pre-Emphasis) для компенсации влияния линий связи на спектр передаваемого сигнала.

Схемотехническая реализация предусилительных каскадов позволяет при необходимости перевести их выходы в высокоимпедансное состояние.

В составе блока передатчика интерфейса Serial RapidIO (RapidIO_Tx) используются буферы цифровых сигналов управления (Tx_Std_Bufs) для преобразования входных CML-сигналов в сигналы управления драйверами линий DP и DM (Conv_IV8to3V3, Tx_cml_to_3V3).

На рис. 6 представлены соответственно эпюры и глазковая диаграмма выходных сигналов функционального блока передатчика интерфейса Serial RapidIO (RapidIO_Tx) при передаче случайной битовой последовательности моделирования, полученные посредством моделирования.

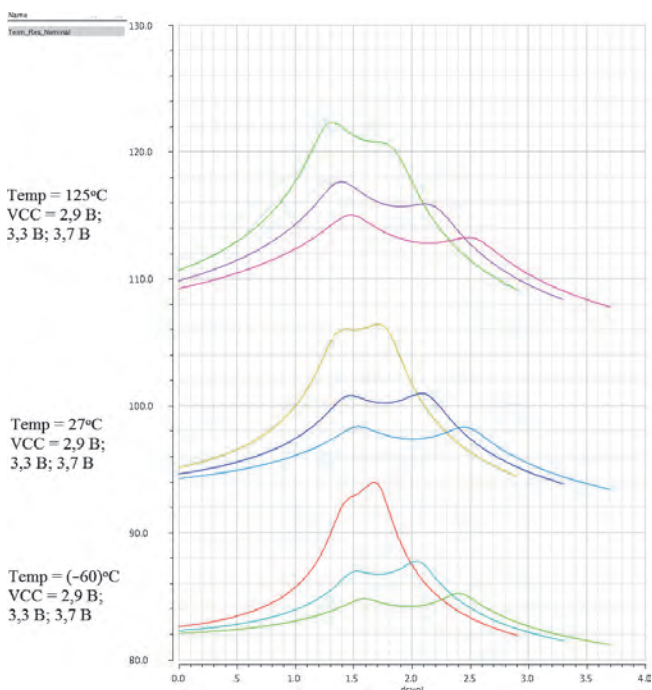


Рис. 4. Зависимость номинала терминирования дифференциальных линий передачи данных (Term_Res) от напряжения на входах DP и DM без использования функции подстройки терминирующего резистора

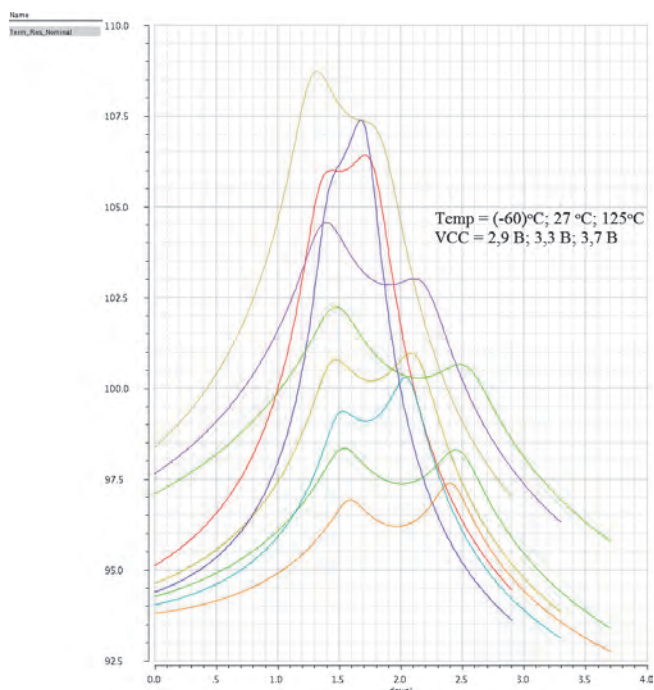


Рис. 5. Зависимость номинала терминирования дифференциальных линий передачи данных (Term_Res) от напряжения на входах DP и DM с использованием функции подстройки терминирующего резистора

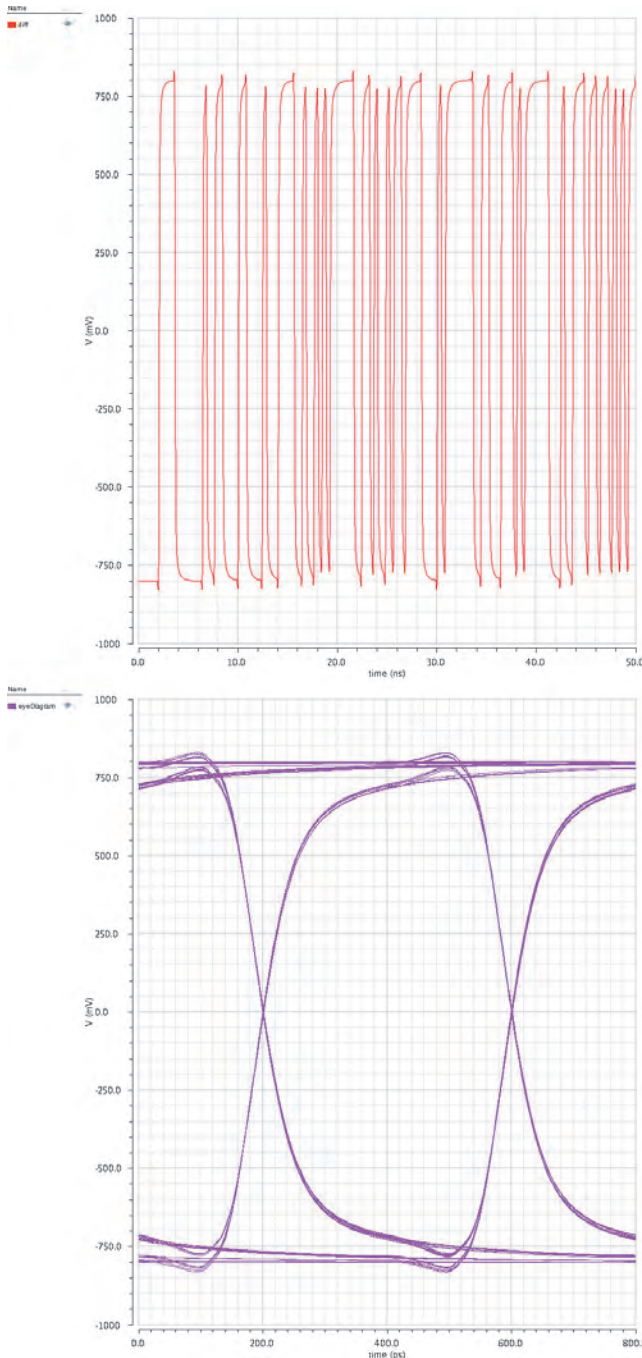
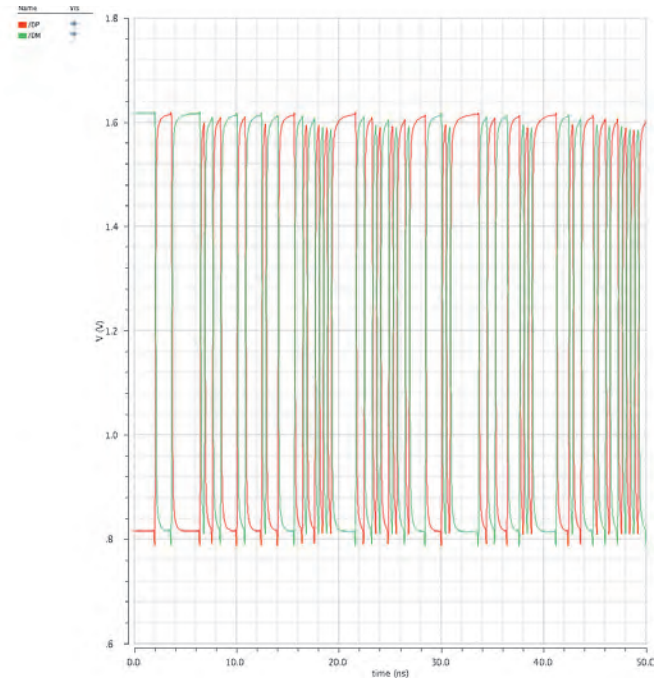


Рис. 6. Результаты моделирования СФ-блока передатчика интерфейса Serial RapidIO RapidIO_Tx при передаче случайной битовой последовательности

Функциональный блок приемника интерфейса Serial RapidIO (RapidIO_Rx)

Блоком принимаются данные на дифференциальных линиях DP и DM, передаваемые на скоростях до 2,5 Гбит/с (частотах до 1,25 ГГц).

Для увеличения помехоустойчивости по дифференциальным входам на входе блока обеспечен гистерезис по напряжению величиной ± 30 мВ. Также для обеспечения работоспособности на всех характеристических углах и различных по величине нагрузках в функциональном блоке приемника интерфейса



Serial RapidIO (RapidIO_Rx) реализована настройка тока выходного CML-буфера.

В целях проверки комплементарности функциональных блоков приемника и передатчика интерфейса Serial RapidIO (RapidIO_Rx и RapidIO_Tx) было поведено их совместное моделирование в составе СФ-блока приемопередатчика Serial RapidIO, для чего было разработано тестовое окружение.

Результаты моделирования совместного функционирования блоков RapidIO_Rx и RapidIO_Tx в составе СФ-блока приемопередатчика Serial RapidIO с использованием в качестве данных случайной битовой последовательности продемонстрированы на рис. 7.

Результаты моделирования СФ-блока приемопередатчика Serial RapidIO показали, что разработанные схемотехнические решения позволяют создать интегральные микросхемы, отвечающие заявленным требованиям по быстродействию на основе выбранного техпроцесса.

Разработанный СФ-блок использован в составе ИМС контроллера Serial RapidIO 2,5 Гбит/с и параллельного интерфейса, разрабатываемой в настоящее время филиалом АО «ОРКК» — «НИИ КП» и имеющей в своем составе резервированный контроллер интерфейса Serial RapidIO 2,5 Гбит/с, резервированный контроллер интерфейса Space Wire с максимальной скоростью передачи данных 200 Мбит/с, процессорное ядро на основе RISC-архитектуры, обеспечивающее управление работой микросхемы, контроллер удаленного доступа к памяти (RMAP Target) интерфейса Space Wire, ряд контроллеров низкоскоростных последовательных интерфейсов (SPI, CAN, I²C, UART), таймеры, ОЗУ, контроллер внешней памяти с детектированием и исправлением битовых ошибок и другие СФ-блоки.

Таким образом, получены схемотехнические решения СФ-блока интерфейса Serial RapidIO со скоростью передачи данных до 2,5 Гбит/с для применения в составе интегральных микросхем космического применения на основе отечественного

технологического процесса КМОП HCMOS8D_6M_3.3V с нормами 0,18 мкм ПАО «Микрон».

Разработка выполнена с использованием набора стандартных библиотечных элементов и для реализации высокочастотных схем — специально разработанного базиса CML-элементов, функционирующего на частоте не менее 2,5 ГГц.

Множество настроек, заложенных в СФ-блоке, позволяют добиться требуемых показателей приема и передачи данных для различных условий по температуре и напряжению питания, а также при вариации параметров технологического процесса.

В перспективе предполагается апробация полученных результатов в образцах ИМС.

ЛИТЕРАТУРА

1. НПП «ЭЛВИС». Отечественные микросхемы на базе платформы «Мультикор» // Каталог 2012. — Зеленоград, 2012.

2. Специализированные СБИС для космических применений: проблемы разработки и производства / Бумагин А. В., Гулин Ю. Ю., Заводсков С., Кривякин В. М., Руткевич А. В., Стешенко В. Б., Сухоруков А. Г., Шишкин О. Н. // Электроника: Наука. Технология. Бизнес, 2010. — № 1.

