УДК 621.382.2/.3, ББК 32.844.1
ГСНТИ 47.14.07, SPIN 1213-6377
DOI: 10.22184/NanoRus.2019.12.89.126.127

РЕАЛИЗАЦИЯ ВЫСОКОСКОРОСТНЫХ ИНТЕРФЕЙСОВ В ПРОЦЕССОРАХ ФГУ ФНЦ НИИСИ РАН ДЛЯ КОСМИЧЕСКИХ ПРИМЕНЕНИЙ

HIGH-SPEED INTERFACES IN SRISA PROCESSORS FOR SPACE APPLICATIONS

НОВОЖИЛОВ Е. А.
novozhil@niisi.msk.ru

РОГАТКИН Ю. Б.
ryb@cs.niisi.ras.ru

ЛАРИОНОВ А. В.
alar@cs.niisi.ras.ru

ЗАДЯБИН С. О.
zserg@cs.niisi.ras.ru

ФГУ ФНЦ НИИСИ РАН
117218, Москва, Нахимовский просп., 36, корп. 1

NOVOZHILOV E. A.
novozhil@niisi.msk.ru

ROGATKIN YU. B.
ryb@cs.niisi.ras.ru

LARIONOV A. V.
alar@cs.niisi.ras.ru

ZADIABIN S. O.
zserg@cs.niisi.ras.ru

SRISA RAS
bld. 1, 36 Nakhimovskiy Ave., Moscow, 117218

Представлена реализация высокоскоростных интерфейсов в семействе микросхем НИИСИ РАН для космического применения.
Ключевые слова: RapidIO; DDR; микропроцессор.
The paper highlights building blocks for high-speed interfaces in the family of chips for space applications developed by SRISA.
Keywords: RapidIO; DDR; microprocessor.

В НИИСИ РАН ведется разработка семейства микросхем для космического применения с проектными нормами 65 нм. Микросхемы семейства оснащены высокоскоростными интерфейсами RapidIO, DDR2, DDR3, PCIe и т. п. Далее в статье изложены основные решения, использованные при реализации этих интерфейсов.

Усложнение выполняемых задач и увеличение количества выполняемых функций (например обработка видеоинформации, научных и радиолокационных данных, автономная работа с выявлением, диагностикой и устранением неисправностей) в современных вычислительных системах (ВС) космического применения требуют значительного увеличения производительности. Это приводит к росту количества вычислительных узлов и интерфейсов, значительному увеличению размера памяти и скорости передачи данных. При этом остаются и усложняются требования к высокой надежности и реконфигурируемости ВС в условиях воздействия факторов космического пространства (ФКП). Переход от параллельных шинных архитектур (PCI, VME) к последовательным интерфейсам типа «точка — точка» (RapidIO, SpaceWire, PCIe) повышает надежность, обеспечивает реконфигурируемость, снижает потребляемую мощность и вес систем без потери производительности. Переход от статических ОЗУ к динамической памяти (DDR2, DDR3) и от обычных ПЗУ к NAND позволяет дать ответ на многократное усложнение требований к объему запоминаемой информации. Переход на проектные нормы 65 нм обеспечивает увеличение производительности интерфейсов и процессора за счет повышения тактовой частоты, позволяет создавать системы на кристалле с высокой степенью интеграции, но требует значительных усилий для создания стандартных и заказных элементов ВС, стойких к воздействию ФКП.

Для реализации поставленных задач НИИСИ РАН были разработаны следующие элементы с проектными нормами 65 нм, стойкие к ФКП:

- библиотека стандартных элементов (437 ячеек);

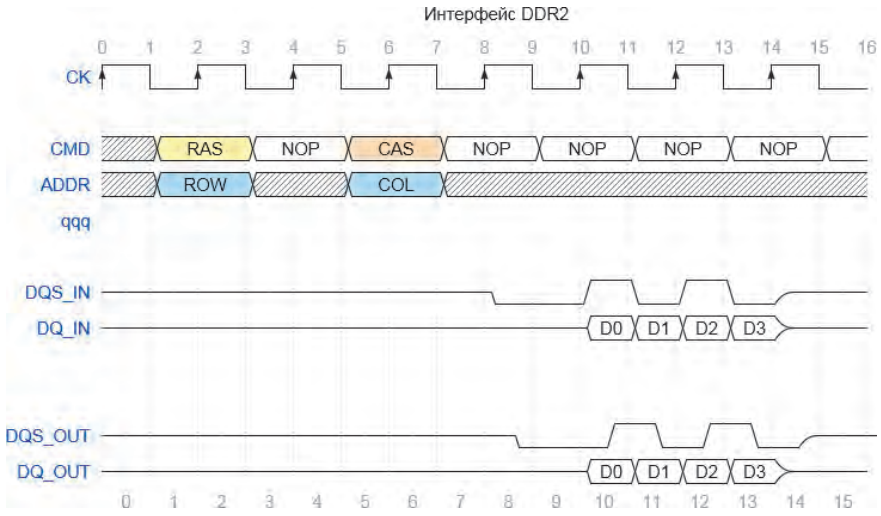

Рис. 1

- библиотека стандартных элементов ввода-вывода (32 элемента);
- библиотека специальных элементов ввода-вывода (DDR, LVDS и т. п.);
- генераторы регистровых файлов и блоков памяти;
- набор IP-блоков для построения ВС и интерфейсов (многопортовые регистровые файлы, TLB, PLL, DLL, DCC, приемопередатчики RapidIO, PCIe и т. п.);
- набор элементов, обеспечивающий компенсацию изменений и деградации параметров интерфейсов (сопротивления терминирования, выходного тока и т. п.);
- блоки измерения температуры, аналоговые коммутаторы, ЦАП и АЦП небольшой разрядности.

На основе созданных элементов ведется разработка нескольких микросхем со схожими высокоскоростными интерфейсами. Под высокоскоростными будем понимать интерфейсы со скоростью передачи более 100 Мбит на одну линию связи. Как пример рассмотрим реализацию интерфейса DDR2 на основе разработанных блоков. Временная диаграмма работы интерфейса приведена на рис. 1. При тактовой частоте интерфейса 400 МГц (скорость передачи данных 800 Мт/с) время на установку и удержание данных составляет менее 600 пс. Для обеспечения надежной работы интерфейса в условиях такого временного бюджета используется схема, представленная на рис. 2. При разработке схемы были использованы следующие блоки:

- FIFO: накопитель создан генератором регистровых файлов, схема управления из элементов библиотеки;
- FF: триггер на dice-ячейках;
- DCC: блок коррекции скважности;
- DLLm: ведущая цифровая линия задержки. Измеряет период тактового сигнала и передает полученный код ведомым линиям;
- DLLs: ведомая цифровая линия задержки. На основе кода ведущей линии и заданного значения задерживает входной сигнал.

Выходные каскады используют элементы компенсации для защиты выходной нагрузочной способности от изменений и деградации. Это обеспечивает минимизацию отражений в линии связи в процессе передачи данных.

Входные каскады используют элементы компенсации для защиты сопротивления терминирования от изменений и деградации. Это обеспечивает минимизацию отражений в линии связи в процессе приема данных.

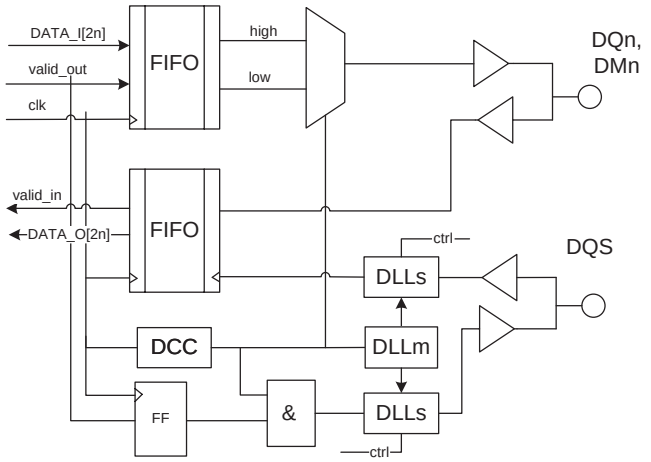

Рис. 2

Автор считает, что в данной работе новыми являются следующие положения и результаты: разработаны элементы для построения ВС и высокоскоростных интерфейсов с проектными нормами 65 нм, стойкие к ФКП, использующиеся при разработке микросхем для космического применения.

ЛИТЕРАТУРА

1. RapidIO.org, RapidIO™ Interconnect Specification 4.0, 6/2016.
2. JEDEC, DDR2 SDRAM SPECIFICATION. JESD79-2E. April 2008: 78. Retrieved 2009-03-14.
3. JEDEC Standard №230C NAND FLASH INTERFACE INTEROPERABILITY.
4. IEEE Computer Society, IEEE Standard for Heterogeneous Interconnect (HIC) (Low-Cost, Low-Latency Scalable Serial Interconnect for Parallel System Construction), IEEE Standard 1355-1995.
5. IEEE Computer Society, IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI), IEEE Standard 1596.3-1996.
6. ESA Requirements and Standards Division. SpaceWire. Links, nodes, routers and networks, ECSS-E-ST-50-12C.

КНИГИ ИЗДАТЕЛЬСТВА "ТЕХНОСФЕРА"

Цена 840 руб.

МИКРОСХЕМЫ ДЛЯ АППАРАТУРЫ КОСМИЧЕСКОГО НАЗНАЧЕНИЯ

Практическое пособие. Издание 2-е, испр. и доп.
Под общ. ред. академика РАН А. Н. Саурова

М.: ТЕХНОСФЕРА, 2017. – 388 с.
ISBN 978-5-94836-475-9

Книга содержит сведения о микросхемах, разработанных научно-производственным комплексом «Технологический центр» и предназначенных для применения в аппаратуре космического назначения. Приведены сведения о разработанных и освоенных в производстве базовых и базовых матричных кристаллах, являющихся основой для создания специализированных микросхем. Детально описаны серийно выпускаемые полузаказные и заказные микросхемы общего применения.

Книга предназначена для разработчиков радиоэлектронной аппаратуры, а также для преподавателей, студентов старших курсов и аспирантов.

КАК ЗАКАЗАТЬ НАШИ КНИГИ?
✉ 125319, Москва, а/я 91; ✆ +7 (495) 234-0110; 🖷 +7 (495) 956-3346; knigi@technosphera.ru, sales@technosphera.ru