



УДК 621.3.049.774

DOI: 10.22184/NanoRus.2019.12.89.219.230

ПРОБЛЕМЫ ПОВЫШЕНИЯ СКОРОСТНЫХ ХАРАКТЕРИСТИК ПРИЕМОПЕРЕДАТЧИКОВ ПОРТОВ SpaceFibre

PROBLEMS OF INCREASING SPEED CHARACTERISTICS OF SpaceFibre TRANSCEIVERS

АЛЕКСЕЕВ ИЛЬЯ НИКОЛАЕВИЧ¹ALEKSEEV ILIYA N.¹БАЙКОВ ВАЛЕРИЙ ДМИТРИЕВИЧ²BAYKOV VALERIY D.²ГЛУШКОВ АЛЕКСАНДР ВАЛЕНТИНОВИЧ¹GLUSHKOV ALEXANDER V.¹ДОМОЖАКОВ ДЕНИС АЛЕКСАНДРОВИЧ^{1,2}

DADomozhakov@mephi.ru

DOMOZHAKOV DENIS A.^{1,2}

DADomozhakov@mephi.ru

ДУБИНСКИЙ АЛЕКСЕЙ ВАСИЛЬЕВИЧ^{1,2}DUBINSKIY ALEXEY V.^{1,2}РАННЕВ НИКОЛАЙ ЮРЬЕВИЧ^{1,2}RANNEV NIKOLAY YU.^{1,2}

¹АО «Научно-производственный центр «Электронные вычислительно-информационные системы» 124498, г. Москва, г. Зеленоград, проезд №4922, 4, стр. 2

²Национальный исследовательский ядерный университет «МИФИ» 115409, Россия, г. Москва, Каширское ш., 31

¹R&D Center "ELVEES", JSC bld. 2, 4 Lane 4922, Zelenograd, Moscow, 124498, Russia

²National Research Nuclear University MEPHI, 31 Kashirskoe Highway, Moscow, 115409, Russia

В работе выполнен анализ архитектурных и схемотехнических решений разрабатываемых скоростных приемопередатчиков физического уровня (РМА) для портов SpaceFibre и GigaSpaceWire. Определены оптимальные наборы программируемых стандартных битовых частот. Предложена универсальная архитектура приемопередатчика.

Ключевые слова: SpaceFibre; GigaSpaceWire; интерфейс; приемопередатчик; линия связи; последовательная передача данных; SERDES; архитектура; СФ-блок.

The article analyses architectural and circuit design solutions for high-speed physical medium attachment (PMA) for SpaceFibre and GigaSpaceWire ports. Besides, it identifies optimal sets of programmable standard bit frequencies and proposes a universal transceiver.

Keywords: SpaceFibre; GigaSpaceWire; interface, transceiver, communication line, serial data transmission, SERDES; architecture; IP-block.

ВВЕДЕНИЕ

Актуальным вопросом разработки скоростных приемопередатчиков физического уровня (РМА) для портов SpaceWire и SpaceFibre является повышение скоростных характеристик СФ-блоков, что показывают работы по переходу портов SpaceWire в гигабитный диапазон скоростей [1], а также развитие стандарта портов SpaceFibre в сторону увеличения скоростей [2]. Накопленный опыт проектирования показывает, что для стандартной объемной КМОП-технологии уровня 180–90 нм физические ограничения быстродействия блоков становятся существенными на скоростях передачи данных 2–3 Гбит/с и выше [3].

Анализ результатов выполненных разработок и испытаний образцов микросхем на кристалле позволил выявить основные проблемы, препятствующие достижению требуемых характеристик СФ-блоков. Источником проблем может быть набор несогласованных программируемых частот, технологические ограничения (пределы быстродействия элементов), а также неоптимальные архитектурные и схемотехнические решения устройства блоков. Группа проблем относится к свойствам интерфейса

или внешнего цифрового ядра. Проблемы СФ-блоков зависят от технологического уровня, архитектурного и схемотехнического устройства. Решение каждой из проблем является необходимым для обеспечения надежной работы приемопередатчика на всем диапазоне программируемых частот.

ОБЩАЯ АРХИТЕКТУРА СФ-БЛОКОВ ПРИЕМОПЕРЕДАТЧИКА

Передача последовательных данных от передатчика (ТХ) к приемнику (RX) выполняется в битовом формате в форме дифференциального сигнала. Надежная работа высокоскоростной линии передачи представляет отдельную проблему и не является предметом данного рассмотрения. Прямое отношение к линии связи имеют повышенные требования быстродействия и качества передачи к периферийным аналоговым схемам СФ-блоков: приемникам, усилителям, драйверам.

Высокочастотный поток данных на выходе ТХ формируется путем сериализации (свертки) параллельного потока данных. Посредством десериализации (развертки) входного потока



данных приемником происходит преобразование высокочастотного сигнала в параллельный поток данных. Функции сериализации и десериализации выполняет цифровое ядро TX и RX соответственно. Обеспечение перестройки битовой частоты передачи предусматривает использование блока программирования битовых частот в цифровой части СФ-блока и схемы синхронизации сетки тактовых сигналов в системе ФАПЧ.

Цифровое ядро СФ-блока (TX и RX) представляет собой конвейер данных, состоящий из двух основных подсхем: конвейер кодовых групп (параллельные 10-разрядные данные) и конвейер битов (последовательные данные). Групповые операции реализуют такие функции, как низкоуровневый поиск служебных символов, выравнивание кодовых групп и т. д. Последовательные операции выполняют функцию сериализации и десериализации последовательного потока данных.

Блок ФАПЧ TX и система восстановления тактовых сигналов из данных (ВТСД) RX генерируют сетку тактовых сигналов различных частот и фаз, предназначенных для синхронизации групповых и битовых операций.

ПРОБЛЕМЫ БЫСТРОДЕЙСТВИЯ СФ-БЛОКОВ ПРИЕМОПЕРЕДАТЧИКОВ

Нарушение процесса синхронизации операций конвейера данных ведет к появлению ошибки при передаче данных.

Маршрут проектирования высокоскоростных приемопередатчиков по объемным КМОП-техпроцессам (2,5 Гбит/с по технологии 180 нм, 3,125/6,25 Гбит/с по 90 нм) должен включать в себя анализ запаса по быстродействию структурных элементов СФ-блоков. Наименьшие запасы по быстродействию имеют схемы, выполняющие битовые операции: их частота F_{bit} значительно выше групповых F_{10} ($F_{10} = F_{bit}/10$).

Отмечены следующие архитектурные и схемотехнические особенности ранее разработанных приемопередатчиков, ограничивающие возможности достижения максимальной целостности передаваемых данных:

- Сложная структура цифровой части ФАПЧ. Разрабатываемые авторами приемопередатчики являются частотно-перестраиваемыми, предусматривают совершение обмена как на мегабитном, так и на гигабитном диапазоне частот. Широкий диапазон поддерживаемых битовых скоростей приводит к необходимости программирования тактовых частот. Тактовый генератор ФАПЧ формирует сигналы с частотой 1250 МГц во всех режимах. Функционирующие на данной частоте восьмиразрядные счетчики в петле обратной связи ФАПЧ и программируемые на все частоты рабочего диапазона счетчики формирования битовых частот работают на пределе быстродействия, так как возникает проблема завершения цикла разрядного переноса за каждый такт делимого сигнала.
- Отсутствие специальных мер защиты цепей питания ФАПЧ от шумового воздействия схем цифрового ядра СФ-блока. Синхронное переключение элементов цифрового домена приемопередатчика, а также наличие паразитных индуктивностей корпуса приводят к появлению пульсаций (до сотен милливольт) по шинам питания и земли. Это приводит к возникновению дополнительной детерминированной фазовой ошибки в тракте следования данных, а также к увеличению джиттера блоков ФАПЧ и ВТСД.
- Архитектура СФ-блоков предполагает наличие сложной программируемой схемы коммутаций высокочастотных цепей данных и битовой синхронизации, перестраиваемой в соответствии с заданной скоростью передачи. Включение стандартных мультиплексоров (цифровая библиотека) в битовый конвейер создает проблемы быстродействия: снижает предельные скоростные характеристики СФ-блока из-за дополнительных задержек. Схема мультиплексора чувствительна к временным перекосам смежных битов (нарушение скважности), усиливающим проявления джиттера и понижающим надежность передачи. Следствие этого — фазовые отклонения сигналов, работа на пределе быстродействия, повышение вероятности ошибок.

INTRODUCTION

Improving the speed characteristics of IP-blocks is a relevant issue in the field of development of high-speed physical medium attachment (PMA) transceivers for SpaceWire and SpaceFibre ports. The evidence of that are works on transition of SpaceWire ports into the gigabit speed range [1], as well as the development of SpaceFibre port standard towards acceleration [2]. From design experience to date, physical limitations of IP-block speed performance become influential at data transmission speeds of 2–3 Gbit/s and higher in the context of conventional 180–90 nm bulk CMOS process [3].

The analysis of implemented designs of chips on crystal and test results thereof revealed the main problems impeding the achievement of the target characteristics of IP-blocks. The possible cause of the problems might be an incompatible programmable set of frequencies, technological constraints

(component speed limitations) or imperfect architectural and circuit design solutions of the blocks. There is a group of problems connected with the characteristics of the interface or the external digital core. The problems of IP-blocks depend on the technology node as well as on architectural and circuit design. It is necessary to solve each of the problems to provide reliable operation of the transceiver across the entire programmable frequency range.

GENERIC ARCHITECTURE OF TRANSCIEVER IP-BLOCKS

Serial data are transmitted from the transmitter (TX) to the receiver (RX) in the bit-map format in the form of a differential signal. Fault-free functioning of a high-speed transmission line is an issue which is beyond the scope of this paper. Higher speed and transmission quality requirements for peripheral analog circuits of IP-blocks (receivers,

amplifiers, and drivers) have a direct relationship to the transmission line.

The high-frequency data stream at the TX output is formed by means of serialization of a parallel data stream. The receiver transforms the high-frequency signal into the parallel data stream by means of input data stream deserialization. The digital cores of the TX and RX perform serialization and deserialization, respectively. Transmission bit frequency tuning implies using the block of bit frequency programming in the digital part of the IP-block and the synchronization circuit of the clock signal grid in the phase-locked loop (PLL) system.

The digital core of the IP-block (TX and RX) has the form of a data pipeline consisting of two main subcircuits: the pipeline of blocks of words (parallel 10-bit data) and the bit pipeline (serial data). Grouped operations perform such functions as low-level search for service digits, alignment of blocks of words, etc.



- Степень конвейера, преобразующая параллельные (групповые) данные в последовательные (ТХ) или последовательные в параллельные (RX) является критическим фрагментом СФ-блока по характеристике быстродействия. Фазовое соответствие высокочастотной битовой и групповой синхронизации труднодостижимо в диапазоне рабочих условий микросхемы при наличии сложных программируемых коммутаций битовых и групповых цепей. Ниже представлены архитектурные решения СФ-блоков, позволяющие исключить коммутации битового участка конвейера данных и синхронизации.

МОДИФИКАЦИЯ АРХИТЕКТУРЫ ПРИЕМОПЕРЕДАТЧИКОВ

Перечисленные аспекты строения СФ-блоков приемопередатчиков приводят к повышению трудоемкости проектирования, появлению необходимости проведения дополнительного контроля работы критичных высокочастотных узлов блоков. Следующие архитектурные и схемотехнические решения призваны исключить из конструкции приемопередатчиков цифровые цепи с наименьшими запасами по быстродействию, что должно упростить и ускорить процесс разработки.

Архитектурные особенности скоростных приемопередатчиков позволяют формировать битовые последовательности при рабочей частоте цифровых элементов, кратно меньшей значения $F_{бит}$. Это основной способ повышения скоростных характеристик СФ-блока, основанный на фазовой синхронизации битов с использованием многофазного ГУН. Фазовый сдвиг (шаг) равен битовому интервалу ($1/F_{бит}$). Фазовая частота равна $F_{бит}/n$, где n — число фаз.

Фазовая синхронизация преобразует битовый поток с частотой $F_{бит}$ в n параллельных потоков с частотой $F_{бит}/n$. Распространенный случай $n = 2$ (Double Rate) представляет параллельные потоки четных и нечетных битов. Увеличивая число фаз, следует учитывать наличие высокочастотного узла логического

объединения битовых потоков — мультиплексор $n : 1$ (выход ТХ). Данный узел может оказаться основным препятствием (по критерию быстродействия) для успешной реализации проекта.

Основным источником фазовой ошибки разработанного СФ-блока ТХ передаваемых данных является выходной мультиплексор $2 : 1$, преобразующий два параллельных потока данных в последовательный. В процессе сериализации происходит пропорциональное умножение частоты сигнала, что увеличивает отношение детерминированного джиттера к длительности битового интервала. Вариации технологического процесса, а также изменение температуры приборов приводят к дрейфу сигналов адреса C на входе мультиплексора по отношению к сигналам мультиплицируемых данных $D1$ и $D2$. Рассмотрены два типа формирования таких сигналов: со взаимным смещением сигналов данных (рис. 1а) и без смещения (рис. 1б). Был выбран вариант Б как имеющий больший запас по дрейфу фазы между передачами данных $D1/D2$ и сигналом адреса C .

Данный вариант реализации последней ступени сериализации может быть модифицирован путем увеличения мультиплексируемых потоков данных. Перспективны варианты

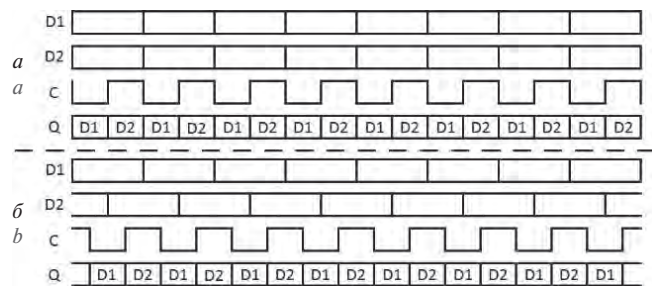


Рис. 1. Варианты временных диаграмм работы оконечного мультиплексора передатчика

Fig. 1. Timing waveform variations of the terminating transmitter multiplexer

Sequence operations serialize and deserialize the serial data stream.

The phase-locked loop block of the TX and the CDR (Clock Data Recovery) system of the RX generate the clock signal grid of various frequencies and phases. The clock signals serve for synchronizing grouped and bit operations.

SPEED PERFORMANCE PROBLEMS OF TRANSCEIVER IP-BLOCKS

Irregularities in the process of synchronization of pipeline operations cause errors in data transmission.

The design flow of high-speed transceivers produced according to bulk CMOS process (2.5 Gbit/s for 180 nm, 3.125/6.25 Gbit/s for 90 nm) should include the analysis of the operational speed margin of the IP-block structural elements. The circuits performing bit operations have the smallest operational speed margins: their frequency $F_{бит}$

is significantly higher than that of the grouped ones F_{10} ($F_{10} = F_{бит}/10$).

The following architectural, schematic and technical features of the existing transceivers are reported to impede the achievement of the maximum integrity of the transmitted data.

- The complex structure of the digital part of the PLL system. The transceivers being developed by the authors are frequency-tunable, enabling data exchange both in megabit and gigabit frequency ranges. The wide range of supported bit speeds leads to the necessity of clock frequency programming. The clock generator of the phase-locked loop system produces signals with a frequency of 1250 MHz in all modes. The eight-bit counters in the feedback loop of the phase-locked loop system and the bit frequency formation counters programmable for all-range operation frequencies, which function at this frequency, operate at their speed limits because there

is a problem of bit transfer loop termination within each clock cycle of the divided signal.

- Absence of special measures for protecting PLL power circuits from the noise generated by the circuits of the digital core of the IP-block. Synchronous switching of the elements of the transceiver digital domain as well as parasitic inductances of the package induce pulsations (up to hundreds of mV) on the power and grounding rails. This causes additional determinate phase error in the data transmission path and higher jitter of PLL and CDR blocks.
- The architecture of IP-blocks includes a complex programmable circuit for high-frequency data chain switching and bit synchronization, which tunes according to the specified transmission speed. Incorporation of standard multiplexers (digital library) into the bit pipeline creates operation speed problems: the threshold speed characteristics of the IP-block decrease



мультиплексора 4 в 1 и 5 в 1 как равновесные с точки зрения увеличения запаса по быстродействию линий данных и требований по взаимному фазовому расположению сигналов.

Программирование битовой скорости непосредственно в сдвиговом регистре приводит ко включению в конструкцию сложной схемы коммутаций высокочастотных перестраиваемых цепей данных и битовой синхронизации, к формированию набора сигналов синхронизации групповых и битовых операций блоками ФАПЧ и ВТСД, что усложняет устройство данных блоков, снижая их надежность.

В рамках тестовой разработки скоростных приемопередатчиков исследованы СФ-блоки с перспективным архитектурным построением, исключая наличие мультиплексоров программирования скорости передачи в конвейере данных и схеме синхронизации битов. Битовый конвейер всегда работает в формате верхней частоты $F_{bit,max}$ (например $F_{bit} = 6,25$ ГГц), независимо от частоты запрограммированной. Постоянство частоты ГУН ФАПЧ (в примере — фазы 3,125 ГГц при $n = 2$) обеспечивает наилучшие условия оптимизации параметров ФАПЧ. Мультиплексирование (форматирование данных на верхнюю частоту) выполняется в конвейере кодовых групп на верхней групповой частоте CLK10 (в примере — 625 МГц) и не создает проблемы быстродействия.

Форматирование данных на верхнюю частоту F_{bit} в программируемом диапазоне означает представление отрезков битовой последовательности данных в форме 10-разрядных кодовых групп верхней частоты F_{bit} . Например, 2-битовый отрезок ab частоты $F_{bit} = 2,5$ ГГц представляется кодовой группой $aaaaabbbbb$ частоты $F_{bit} = 12,5$ ГГц ($12,5/2,5 = 5$), что соответствует одному и тому же сигналу во временных координатах. Отрезок $abcde$ (5 бит) частоты 6,25 ГГц во временном представлении эквивалентен кодовой группе $aabbccdde$ на частоте 12,5 ГГц и т.п. В результате форматирования данных все частоты программируемой сетки не различимы в работе скоростных участков конвейера битов.

Исключив переменные форматы (циклически изменяемые по тактам CLK10 и допустимые теоретически) получим условия форматирования: отношение значений программируемых частот представляется произведением чисел ряда

$$1, 2, 5, 10k \quad (k = 1, 2, \dots \text{ — натуральное число}). \quad (1)$$

Блок форматирования групп представляется сдвиговым регистром и логической схемой коммутаций (мультиплексоры). Число разрядов регистра кратно 10. Если отношение значений верхней и каждой из формируемых (программируемых) частот представляется числом из ряда (1), то разрядность регистра минимальна — 10.

Переход с частоты 2,5 на частоту 3,125 Гбит/с путем форматирования групп невозможен, так как данные частоты не кратны. Такая задача может быть решена путем перехода из ряда (1) к промежуточным стандартным значениям через сомножители 5/4, 4/5. Технически это реализуется выбором из набора стандартных значений опорной частоты (битовые частоты пропорциональны опорной частоте), близким к 125 МГц:

$$CLK = 156,25; 125; 100 \text{ МГц } (5/4, 1, 4/5).$$

Применение множителя 5/4, 4/5 не требует перепрограммирования частоты. Например, значение 3,125 Гбит/с достигается программированием на 2,5 Гбит/с, но при повышенной (в отношении 3,125/2,5) опорной частоте CLK = 156,25 МГц (вместо 125 МГц). Пропорционально повышаются производные внутренние частоты: ФАПЧ работает на фазовой частоте 1,5625 ГГц (вместо 1,25 ГГц).

Синхронное переключение элементов цифрового домена приемопередатчика, а также наличие паразитных индуктивностей корпуса приводят к появлению пульсаций (90 мВ) по шинам питания относительно земли. Это приводит к возникновению дополнительной детерминированной фазовой ошибки

because of additional delays. The circuit of the multiplexer is sensitive to temporary mismatch of the adjacent bits (duty cycle distortions), which makes the jitter stronger and reduces the reliability of the transmission. The above results in phase deviations, operation at the limit of operation speed, and higher error probability.

- The pipeline stage transforming parallel (grouped) data into the serial ones (TX), or serial data into the parallel ones (RX), is a key part of the IP-block in terms of operation speed. Phase compliance of the high-frequency bit and grouped synchronization is difficult to achieve within the operation range of a chip if there is complex programmable switching of bit and grouped circuits. The following presents architectural solutions for IP-blocks which make it possible to eliminate the switching of the bit stage of the data pipeline and that of synchronization.

MODIFICATION OF TRANSCIEVER ARCHITECTURE

The above mentioned aspects of transceiver IP-block construction require higher design effort and make the additional monitoring of the performance of the critical high-frequency block parts necessary. The architectural, schematic and technology solutions described below are intended to exclude digital circuits with the smallest operational speed margin from the transceiver design, which will simplify and quicken the development process.

The architectural features of high-speed transceivers allow forming bit sequences at the operation frequency of the digital elements, which is a divisible of F_{bit} . This is the main way of increasing the speed characteristics of the IP-block which is based on the bit phase synchronization using the multiphase voltage-controlled oscillator. The phase shift

increment equals to the bit interval ($1/F_{bit}$). The phase frequency equals F_{bit}/n , where n is the number of phases.

Phase synchronization transforms the bit stream with a frequency of F_{bit} into n parallel streams with a frequency of F_{bit}/n . A frequent occurrence of $n = 2$ (Double Rate) has the form of parallel streams of odd and even bits. When increasing the number of phases, the presence of a high frequency node of bit stream logical consolidation should be taken into account: multiplexer $n: 1$ (TX output). This node may appear to be the main impediment (in terms of operation speed performance) for the successful design implementation.

The output multiplexer 2-in-1 transforming two parallel data streams into a serial one is the main source of phase error in the data transmitted by the TX of the IP-block. The process of serialization implies proportional multiplication of signal frequency, which increases the

в тракте следования данных, а также к увеличению джиттера блоков ФАПЧ и ВТСД. В целях уменьшения взаимного влияния блоков общие шины питания RX и TX были разделены на отдельные области для цифровых и аналоговых частей приемопередатчика. Каждый домен питается от понижающих стабилизаторов напряжения от 2,5 до 1,2 В. Это позволило снизить пульсации шины питания до 30 мВ, что привело к уменьшению СКО джиттера ФАПЧ TX с 8 пс до 4 пс.

Найденные архитектурные и схемотехнические решения предполагается использовать в дальнейших разработках для расширенного набора битовых частот.

ПЕРСПЕКТИВНЫЕ НАБОРЫ ЧАСТОТ СКОРОСТНЫХ ПРИЕМОПЕРЕДАТЧИКОВ

Представленная архитектура СФ-блоков применительно к перспективным разработкам скоростных приемопередатчиков расширенного диапазона битовых скоростей определяет следующие варианты программируемых наборов стандартных битовых и опорных частот:

1. $F_{bit} = 6,25, 3,125, 1,25, 0,625, 0,3125$ ГГц (CLK = 125 МГц), 2,5 ГГц (CLK = 100 МГц).
2. $F_{bit} = 12,5, 6,25, 2,5, 1,25, 0,625, 0,3125$ ГГц (CLK = 125 МГц), 3,125 ГГц (CLK = 156,25 МГц).

Длина выбранного ряда влияет на сложность конструкции СФ-блоков.

Применительно к рассмотренным архитектурным особенностям скоростных приемопередатчиков покажем примеры схемотехнических решений передатчика TX и приемника RX. Фрагменты схем иллюстрируют изложенные принципы архитектурного построения.

СФ-блоки программируются в широком диапазоне скоростей передачи данных (F_{bit}) при опорной частоте CLK = 125 МГц:

- НЧ: 5, 10 ... (шаг 5) ... 125 МГц;
 ВЧ: 1,25, 2,5 (3,125) ГГц (рис. 2, рис. 3);
 312,5, 625 МГц, 1,25, 2,5 (3,125) ГГц (рис. 3).

Значение 3,125 ГГц достигается программированием на 2,5 ГГц, но при *повышенной* (в отношении 3,125/2,5) опорной частоте — CLK = 156,25 МГц.

4-фазный ГУН ФАПЧ (f_0, f_1, f_2, f_3 , шаг 90°) с фазовой частотой 1,25 (1,5625) ГГц ($n = 2$). Фазовый интервал 180° ($f_0 - f_2$ или $f_1 - f_3$) соответствует битовому интервалу верхней частоты — 0,4 (0,32) нс. Сигналы f_0, f_2 синхронизируют последовательности нечетных, четных битов в конвейере. Вся совокупность сигналов f_0, f_1, f_2, f_3 используется схемой ВТСД для представления 1/2 битовых интервалов.

Частота интерфейсных электрических сигналов групповых данных СФ-блоков (обмен с внешним цифровым ядром) не превышает 125 (156,25) МГц (частота электрического сигнала данных вдвое ниже частоты данных).

ЭЛЕМЕНТЫ КОНСТРУКЦИИ РАЗРАБОТАННЫХ ПРИЕМОПЕРЕДАТЧИКОВ

Передачик TX

Передачик преобразует последовательность 10-разрядных кодовых групп TXD[9:0], следующих с частотой $F_{bit}/10$, в последовательность битов с программируемой частотой F_{bit} , начиная со старшего разряда TXD[9].

На рис. 2 представлен фрагмент TX на частоты $F_{bit} = 1,25, 2,5$ ГГц в диапазоне ВЧ (+НЧ) — участок конвейера 10-разрядных кодовых групп со средствами форматирования данных на частоту 2,5 ГГц.

В результате форматирования режимы битовой частоты 1,25, 2,5 ГГц и НЧ не различимы в работе высокочастотных ($f_0, f_2 = 1,25$ ГГц) цепей битовой синхронизации и данных. Не требуется программирование и не изменяются параметры работы ФАПЧ в зависимости от скорости передачи данных.

Каждая 10-разрядная кодовая группа [9:0] битовой частоты 1,25 ГГц форматируется в две последовательные 10-разрядные группы: старшие разряды [9,9,8,8,7,7,6,6,5,5] и младшие разряды [4,4,3,3,2,2,1,1,0,0], передаваемые в режиме битовой частоты 2,5 ГГц.

ratio of determinate jitter to bit interval length. Variations of the process and device temperature result in C address signal drift at the multiplexer input relative to $D1$ and $D2$ signals of the data being multiplied. Two types of signal shaping are considered: with the mutual shift of the data signals (Fig. 1a) and without it (Fig. 1b). Option B was selected as having a larger phase drift margin between $D1/D2$ data swings and C address signal.

This implementation of the last serialization stage can be modified by increasing the number of data streams being multiplexed. The 4-in-1 and 5-in-1 multiplexer implementations can be considered promising as being balanced in terms of data line speed margin improvement and mutual phase requirement.

Bit speed programming directly in the shift register requires a complex circuit for upper frequency data chain switching and bit synchronization, the circuit being reorganized according to the set transmission speed.

Another outcome is that the signal set for the synchronization of the grouped and bit operations is performed by the PLL and CDR blocks, which complicates the construction of these blocks and compromises their reliability.

IP-blocks with promising architecture excluding transmission speed programming multiplexers from the data pipeline or the bit synchronization scheme were studied for the purpose of test development of high-speed transceivers. The bit pipeline always operates in the upper-frequency format $F_{bit}.max$ (for example, $F_{bit} = 6.25$ GHz) regardless of the preset frequency. The persistence of the frequency of the PLL voltage-controlled oscillator (in the example above — 3.125 GHz phases at $n = 2$) provides the best conditions for PLL parameter optimization. Multiplexing (data formatting to the upper frequency) is performed in the pipeline of blocks of words at CLK10 upper group frequency (in the

example above — 625 MHz) and does not create any operation speed problems.

Data formatting to F_{bit} upper frequency in the programmable range means presenting bit data sequence parts in the form of 10-bit blocks of words at the upper frequency F_{bit} . For example, 2-bit ab part at F_{bit} frequency = 2.5 GHz is represented by $aaaaabbbbb$ block of words at F_{bit} frequency = 12.5 GHz (12.5/2.5 = 5), which corresponds to the same signal in time coordinates. $Abcde$ (5 bit) part at a frequency of 6.25 GHz in time representation equals $aabbccdde$ block of words at a frequency of 12.5 GHz, and so on. Data formatting results in all frequencies of the programmed grid being indistinguishable in the operation of the high-speed parts of the bit pipeline.

Exclusion of the variable formats (changed cyclically by CLK10 clock cycles and theoretically allowable) will yield the formatting condition: the ratio of the programmable

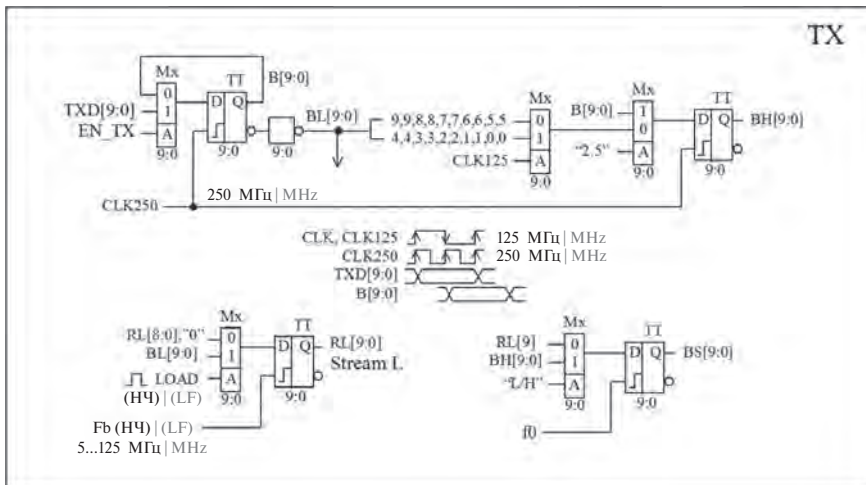


Рис. 2. Схема форматирования параллельных входных данных TX на частоту $F_{bit} = 2,5$ ГГц
 Fig. 2. The scheme of parallel input TX data formatting to a frequency of $F_{bit} = 2.5$ GHz

Форматирование выполняется на низкой частоте: частоте кодовых групп 250 МГц (CLK250). Старшая и младшая группы нумеруются (0, 1) значениями сигнала CLK125 = 125 МГц (CLK250/2).

Входные данные TXD[9:0] передатчика зашелкиваются (EN_TX = 1) в буферном регистре B[9:0] (BL[9:0]) по положительным перепадам внутреннего сигнала CLK250 = 250 МГц. При EN_TX = 0 воспроизводится исходное значение B[9:0].

Сигналы CLK125 (125 МГц) и CLK250 (250 МГц) от ФАПЧ синхронизированы опорным сигналом CLK = 125 МГц — действие механизма ФАПЧ (временные диаграммы на рис. 2). Если CLK — меандр, то положительные перепады CLK250 совмещены с перепадами обоих знаков CLK (реализация режима Double Rate).

В случае $F_{bit} = 2,5$ ГГц в каждом такте CLK250 зашелкивается очередная кодовая группа, частота групп — 250 МГц. С задержкой на 1 такт CLK250 группы B[9:0] переписываются в регистр

В диапазоне НЧ кодовая группа TXD[9:0] зашелкивается (BL[9:0]) многократно — не менее 20 раз (переключаются только схемы синхронизации). Группа BL[9:0] передается параллельным кодом в сдвиговый регистр RL[9:0] для преобразования в последовательность битов НЧ Stream L (старший разряд RL[9]). Разрядные мультиплексоры Mx коммутируют регистр на параллельный прием или сдвиги (в младший разряд RL[0] сдвигается 0). Сдвиги синхронизируются битовой частотой F_b (5–125 МГц) от НЧ ФАПЧ. Параллельный прием — по сигналу LOAD = 1 (адрес Mx): импульс длительностью 1 период F_b с частотой кодовых групп $F_b/10$, жестко отделенный во времени от перепада значений BL[9:0].

В данной разработке параллельные кодовые группы RL[9,9,9,9,9,9,9,9,9] (НЧ), VH[9:0] (ВЧ) в соответствии с диапазоном L/H (адрес мультиплексора Mx) зашелкиваются в значения параллельного регистра BS[9:0]. Тактовая частота $f_0 = 1,25$ ГГц (фаза ГУН) в 10 и более раз превышает частоту

VH[9:0] — конвейер групп канала ВЧ. Адрес мультиплексора Mx установлен на значение «2,5» = 1.

При $F_{bit} = 1,25$ ГГц кодовая группа TXD[9:0] зашелкивается (B[9:0] = BL[9:0]) в двух последовательных тактах CLK250 (2 раза). Данные B[9:0] действуют в двух последовательных тактах CLK250 (временные диаграммы на рис. 2): CLK125 = 0 — старший такт, CLK125 = 1 — младший такт (адреса мультиплексора Mx). Форматированные на частоту 2,5 ГГц данные B[9:0] («9988776655» — старшая группа, «4433221100» — младшая группа) передаются в ВЧ-конвейер VH[9:0] («2,5» = 0) как последовательность двух 10-разрядных групп, не отличимых от кодовых групп битовой частоты 2,5 ГГц.

frequencies is a product of the numbers of the following sequence:

$$1, 2, 5, 10k \quad (k = 1, 2, \dots \text{— positive integer}). \quad (1)$$

The group formatting block is represented by a shift register and a logical switching circuit (multiplexers). The number of register bits is a factor of 10. If the ratio of the upper frequency to each of the frequencies being formatted (programmable) is a number from sequence (1), the register has the minimum capacity of 10.

The transition from 2.5 Gbit/s to 3.125 Gbit/s by means of group formatting is impossible because these frequencies are not multiple. This problem can be solved by transition from sequence (1) to intermediate standard values through 5/4, 4/5 multipliers. From the technical point of view, it is implemented by choosing a reference frequency close to 125 MHz from the set of standard reference frequency values (bit frequencies are proportional to the reference frequency):

$$\text{CLK} = 156,25; 125; 100 \text{ MHz} \quad (5/4, 1, 4/5).$$

The use of 5/4, 4/5 multipliers does not require frequency reprogramming. For example, the frequency of 3.125 Gbit/s can be achieved by programming at 2.5 Gbit/s with a higher (relative to 3.125/2.5) reference CLK frequency of 156.25 MHz. The derived intrinsic frequencies increase proportionally: the PLL block operates at 1.5625 GHz phase frequency (instead of 1.25 GHz).

Synchronous switching of the elements of the transceiver digital domain as well as parasitic inductances of the package induce pulsations (170 mV) on the power and grounding rails. This causes additional determinate phase error in the data transmission path and higher jitter of PLL and CDR blocks. The common RX and TX power rails were split into separate areas for digital and analog parts of the transceiver to reduce the mutual influence of the blocks. Each domain is supplied by 2.5 to 1.2 V voltage step-down

stabilizers. This reduces the power rail pulsations to 30 mV and therefore reduces the mean square deviation of TX PLL jitter from 8 ps to 4 ps.

The obtained architectural, schematic and technical solutions are intended to be used in further development projects based on an extended set of bit frequencies.

PROMISING FREQUENCY SETS OF HIGH-SPEED TRANSCIEVERS

The proposed architecture of IP-blocks, applied to the promising designs of high-speed transceivers with an extended bit speed range, determines the following options of programmable sets of standard bit and reference frequencies:

1. $F_{bit} = 6.25, 3.125, 1.25, 0.625, 0.3125$ GHz (CLK = 125 MHz), 2.5 GHz (CLK = 100 MHz).
2. $F_{bit} = 12.5, 6.25, 2.5, 1.25, 0.625, 0.3125$ GHz (CLK = 125 MHz), 3.125 GHz (CLK = 156.25 MHz).

электрического сигнала, представляющего BS[9:0] (1/2 групповой частоты — не более 125 МГц).

В значениях BS[9:0] битовые частоты (НЧ- и ВЧ-диапазонов) не различимы, поэтому во всех случаях сигнал может быть отнесен к битовой частоте 2,5 (3,125) ГГц. В таких сигналах могут присутствовать длинные цепочки 0 и 1 (НЧ).

Схема, преобразующая параллельные данные BS[9:0] в выходную последовательность битов передатчика, не зависит от выбора битовой частоты (не содержит программируемых мультиплексоров) и оптимизируется для верхнего значения $F_{bit} = 2,5$ (3,125) ГГц.

Схема на рис. 3 представляет участок прохождения и форматирования кодовых групп в конвейере данных TX, имеет общие конструктивные признаки и является развитием схемы на рис. 2: расширенный набор битовых частот $F_{bit} = 312,5, 625$ МГц; 1,25, 2,5 (3,125) ГГц диапазона ВЧ. Актуальны обозначения и пояснения к ранее рассмотренной схеме.

Конвейер групп синхронизируется частотой CLK10 = 250 (312/5) МГц (верхнее значение $F10 = F_{bit}/10$) при всех значениях битовой частоты F_{bit} .

F10 — внутренний сигнал параллельной загрузки группы В[9:0] в 40-разрядный сдвиговый регистр Q[39:0]: импульс в домене CLK10 длительностью 1 такт (4 нс) с программируемой групповой частотой $F_{bit}/10$. Формируется с использованием ФАПЧ и схемы каскадного деления частоты на 2.

При параллельной загрузке разряды В[9:0] распределяются в Q[39:0] в зависимости от $F_{bit} = 1,25$ ГГц; 625, 312,5 МГц: Q[39:30], Q[39:20], Q[39:9], при этом каждый разряд В[9:0] грузится в 1, 2, 4 разряда Q[39:0]. По существу, данные в регистре Q[39:0] предварительно формируются на частоту $F_{bit} = 1,25$ ГГц — четыре 10-разрядные группы.

Регистр Q[39:0] структурирован на 5-разрядный сдвиг: в каждом такте CLK10 сдвигаются 5-разрядные группы («старшая, младшая») данных, приведенных к частоте $F_{bit} = 1,25$ ГГц. Выходом регистра являются старшие разряды Q[39:35] — текущая

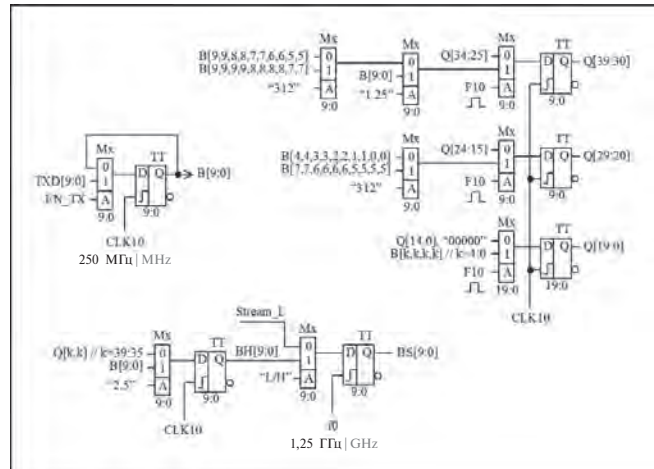


Рис. 3. Конвейер данных в TX (участок кодовых групп)
Fig. 3. Data pipeline in TX (the fragment of blocks of words)

половина разрядов приведенной 10-разрядной группы. Полная группа данных, приведенных к частоте $F_{bit} = 1,25$ ГГц, выводится за два такта CLK10.

Форматирование $F_{bit} = 1,25$ ГГц на 2,5 ГГц выполняется, как и в схеме на рис. 2: мультиплексор «2,5», регистр ВН[9:0].

Выход BS[9:0] — последовательность кодовых групп, приведенных к частоте $F_{bit} = 2,5$ (3,125) ГГц, тактируемых частотой $ГУНf0 = 1,25$ ГГц.

Приемник RX

На входе приемника — поток битов данных Stream с частотой F_{bit} . Приемник преобразует очередную последовательность 10 битов в параллельную 10-разрядную кодовую группу. Частота кодовых групп на выходе приемника — $F10 = F_{bit}/10$.

Основная архитектурная особенность приемника состоит в том, что режимы битовой частоты 1,25 и 2,5 ГГц не различимы

The length of the selected sequence determines the complexity of IP-block construction.

Some examples of schematic and technical solutions for the TX transmitter and the RX receiver will be described below in the context of the architectural features of high-speed transceivers stated above. The circuit fragments demonstrate the foregoing architectural principles.

IP-blocks are programmed in a wide range of data transmission speeds (F_{bit}), the reference frequency being CLK = 125 MHz:

- LF: 5, 10 ... (increment 5) ... 125 MHz.
- HF: 1.25, 2.5 (3.125) GHz (Fig. 2, Fig. 3);
- 312.5, 625 MHz, 1.25, 2.5 (3.125) GHz (Fig. 3).

The value of 3.125 GHz is obtained by programming at 2.5 GHz, but at a higher (relative to 3.125/2.5) reference frequency CLK of 156.25 MHz.

Four-bit PLL voltage-controlled oscillator ($f0, f1, f2, f3$, increment 90°) with a phase

frequency of 1.25 (1.5625) GHz ($n = 2$). The phase interval of 180° ($f0-f2$ or $f1-f3$) corresponds to the upper frequency bit interval — 0.4 (0.32) ns. $f0, f2$ signals synchronize sequences of odd and even bits in the pipeline. The whole $f0, f1, f2, f3$ set of signals is used by the CDR circuit for representing 1/2 bit intervals.

The frequency of interface electric signals of IP-block grouped data (exchange with an external digital core) does not exceed 125 (156.25) MHz (the frequency of the electric data signal is twice as low as the data frequency).

COMPONENTS OF THE DEVELOPED TRANSCIEVER STRUCTURE

TX transmitter

The transmitter transforms a sequence of 10-bit TXD[9:0] blocks of words at a frequency of $F_{bit}/10$ into a sequence of bits

at a programmable F_{bit} frequency starting from the high-order bit of TXD[9].

Figure 2 demonstrates a fragment of TX at frequencies of $F_{bit} = 1.25, 2.5$ GHz in the high-frequency range (+low-frequency range): a part of the pipeline of 10-bit blocks of words with data formatting to a frequency of 2.5 GHz.

As a result of formatting, the bit frequency modes of 1.25, 2.5 GHz and LF are indistinguishable in the operation of the high-frequency ($f0, f2 = 1.25$ GHz) circuits of bit synchronization and data. No programming is needed and none of PLL operation parameters change in accordance with the data transmission speed.

Each 10-bit block of words [9:0] of 1.25 GHz bit frequency is formatted into two serial 10-bit blocks: high orders [9,9,8,8,7,7,6,6,5,5] and low orders [4,4,3,3,2,2,1,1,0,0] transmitted in the 2.5 GHz bit frequency mode. Formatting is performed at a low frequency of blocks of words of 250 MHz (CLK250). The high and



в работе высокочастотных цепей синхронизации и данных: один бит 1,25 ГГц отождествляется с последовательностью двух битов 2,5 ГГц. Прием битов выполняется в формате 2,5 ГГц по схеме Double Rate: разделение на два потока (четный/нечетный бит), синхронизируемых фазами ГУН f_0, f_2 1,25 ГГц.

Отсутствует необходимость мультиплексирования высокочастотных цепей синхронизации при перепрограммировании ФАПЧ: частота синхронизации битов в ВЧ-диапазоне не зависит от F_{bit} .

Форматирование параллельных данных выполняется на частоте кодовых групп F_{10} (125, 250 МГц) и не создает проблем быстродействия. Сигнал F_{10} передается внешнему цифровому ядру для синхронизации группового обмена данными.

Случай $F_{bit} = 3,125$ ГГц подразумевается в связи с $F_{bit} = 2,5$ ГГц: опорная частота CLK и производные частоты увеличиваются в отношении 3,125/2,5 (25%).

Конвейер данных в RX

Конвейер данных ВЧ-диапазона в приемнике RX показан на рис. 4. Детализирован высокочастотный участок прохождения битов из входного потока Stream.

Схема блока форматирования представлена группой мультиплексоров $Mx[9:0]$ и триггеров $RH[9:0]$.

Входные (Stream) триггеры ТТ являются копией триггеров в ФД (в схеме ВТСД — рис. 5) с одноименными входами синхронизации f_0, f_2 — надежная запись битовых данных.

Одноступенчатый триггер Т (выход Q синхронизируется положительным перепадом f_0) позволяет синхронизировать сдвиги в регистрах $R2[4:0]$, $R0[9:0]$ единым сигналом f_0 .

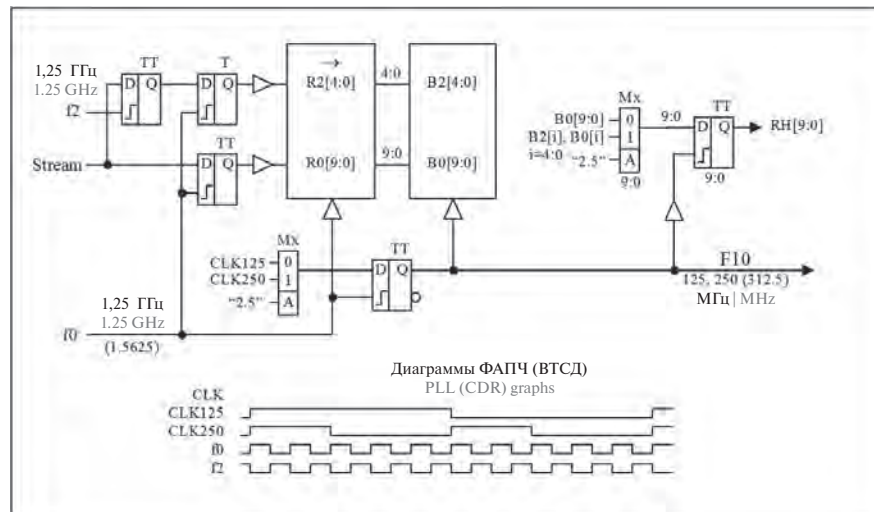


Рис. 4. Конвейер данных ВЧ-диапазона в приемнике RX

Fig. 4. Data pipeline of the HF range in the RX receiver

Тем самым оптимизируются условия передачи параллельных кодов в регистры $B2[4:0]$, $B0[9:0]$.

Сигнал F_{10} представляет частоту 10-разрядных кодовых групп диапазона ВЧ: выбор из CLK125, CLK250 («2,5» — адрес мультиплексора Mx) и тактирование частотой f_0 (повышает надежность синхронизации кодовых групп).

Мультиплексор Mx «2,5» относит диапазон НЧ к адресу 0: $F_{10} = 125$ МГц.

В рабочем режиме приемника (захват ВТСД) входной битовый поток Stream (КМОП) разделяется на два потока, синхронизируемых частотой $F_{bit}/2$:

- $R2[4:0]$ — регистр сдвига нечетных битов, синхронизируемый фазой f_2 (1,25 ГГц);
- $R0[9:0]$ — регистр сдвига четных битов, синхронизируемый фазой f_0 (1,25 ГГц).

the low groups are assigned numbers according to the values of $CLK_{125} = 125$ MHz ($CLK_{250}/2$) signal.

$TXD[9:0]$ input data of the transmitter are latched ($EN_TX = 1$) in $B[9:0]$ ($BL[9:0]$) buffer register upon positive swings of the internal $CLK_{250} = 250$ MHz signal. For the case of $EN_TX = 0$ the initial value of $B[9:0]$ is retrieved.

CLK_{125} (125 MHz) and CLK_{250} (250 MHz) signals coming from the PLL block are synchronized by $CLK = 125$ MHz reference signal, which demonstrates the functioning of the PLL algorithm: (see graphs in Fig. 2) If CLK is a meander, the positive swings of CLK_{250} are brought into coincidence with the bipolar CLK swings (Double Rate mode implementation).

If $F_{bit} = 2.5$ GHz, every CLK_{250} clock cycle latches another block of words: the block frequency is 250 MHz. $B[9:0]$ blocks are written in $BH[9:0]$ register with a delay

of 1 CLK_{250} clock cycle, which represents the HF channel block pipeline. Mx multiplexer address is set to "2.5" = 1.

If $F_{bit} = 1.25$ GHz, two serial CLK_{250} clock cycles latch ($B[9:0] = BL[9:0]$) $TXD[9:0]$ block of words (twice). $B[9:0]$ data are valid in two serial CLK_{250} clock cycles (see graphs in Fig. 2): $CLK_{125} = 0$ is a high clock cycle, $CLK_{125} = 1$ is a low clock cycle (at Mx multiplexer address). $B[9:0]$ ("9988776655" is the high group, "4433221100" is the low group). Data formatted according to 2.5 GHz frequency are transferred to $BH[9:0]$ ("2.5" = 0) HF pipeline as a sequence of two 10-bit blocks indistinguishable from blocks of words of 2.5 GHz bit frequency.

In the LF range $TXD[9:0]$ block of words is latched many times ($BL[9:0]$) — at least 20 times (only synchronization circuits switch). $BL[9:0]$ block is transmitted to $RL[9:0]$ shift register in a parallel code, to be transformed into a LF Stream L bit sequence (high order

of $RL[9]$). Mx bit multiplexers switch the register into the parallel reception or shifts ($RL[0]$ is shifted in the lower order bit as 0). Parallel reception is performed upon $LOAD$ signal = 1 (Mx address): a pulse of 1 Fb period in length at $Fb/10$ frequency of blocks of words, strictly separated in time from $BL[9:0]$ value swing.

In the described design, parallel $RL[9,9,9,9,9,9,9,9,9,9]$ (LF), $BH[9:0]$ (HF) blocks of words latch to the values of parallel $BS[9:0]$ register in accordance with "L/H" range (Mx multiplexer address). The clock frequency $f_0 = 1.25$ GHz (voltage-controlled oscillator phase) is 10 or more times higher than the frequency of the electric signal representing $BS[9:0]$ (1/2 of the group frequency — not more than 125 MHz). The bit frequencies (of LF and HF ranges) are indistinguishable in the values of $BS[9:0]$, therefore the signal can be referred to 2.5 (3.125) GHz bit frequency in all cases. Such signals may include long sequences of 0 and 1 (LF).

В каждой паре R2[i], R0[i] старшим является нечетный бит R2[i] (поступает первым). Реализована схема Double Rate для $F_{bit} = 2,5$ (3,125) ГГц.

В формате 2,5 ГГц принимается и последовательность битов 1,25 ГГц: каждый бит представлен парой R2[i], R0[i]. Коммутации в высокочастотных цепях (в зависимости от Fbit) отсутствуют.

Преобразование данных в параллельный код B2[4:0], B0[9:0], форматирование и продвижение в конвейере групп синхронизируются сигналом F10 (125, 250 МГц).

Групповая операция форматирования заключается в логическом отборе (мультиплексоры) 10 битов из 15 (B2[4:0], B0[9:0]):

- B0[9:0] — 10-разрядная кодовая группа при $F_{bit} = 1,25$ ГГц (B2 избыточен);
- B2[4], B0[4], B2[3], B0[3], B2[2], B0[2], B2[1], B0[1], B2[0], B0[0] — 10-разрядная кодовая группа при $F_{bit} = 2,5$ (3,125) ГГц.

Регистр RH[9:0] формирует выход TX в диапазоне ВЧ. Объединение выхода с диапазоном НЧ не представляет проблемы быстродействия.

Программируемый фазовый детектор

Фазовый детектор (ФД) в составе ВТСД приемника контролирует временное положение фаз f_0, f_1, f_2, f_3 ГУН относительно границ битовых интервалов (перепадов данных) входного битового потока Stream приемника. Вырабатывает управляющие сигналы на повышение (Up) или понижение (Dn) частоты ГУН, что позволяет ВТСД установить «зашелкивающие» фазы f_0, f_2 на середины, а фазы f_1, f_3 — на границы битовых интервалов.

The scheme of transforming parallel BS[9:0] data into an output sequence of transmitter bits does not depend on the bit frequency choice (does not contain any programmable multiplexers) and is optimized for the higher value of $F_{bit} = 2.5$ (3.125) GHz.

The scheme in Fig. 3 shows a fragment of transmission and formatting of block of words in TX data pipeline. It has common design features with the scheme shown in Fig. 2 and is a development thereof due to an extended bit frequency set of $F_{bit} = 312.5, 625$ MHz; 1.25, 2.5 (3.125) GHz of the HF range. The notation and comments to the above described scheme apply to this one as well.

The pipeline of blocks of words synchronizes with $CLK_{10} = 250$ (312/5) MHz frequency (the upper value of $F_{10} = F_{bit}/10$) for all the values of F_{bit} bit frequency.

F_{10} is an internal signal of parallel load of B[9:0] block of words into 40-bit Q[39:0] shift register. The pulse in CLK_{10} domain is

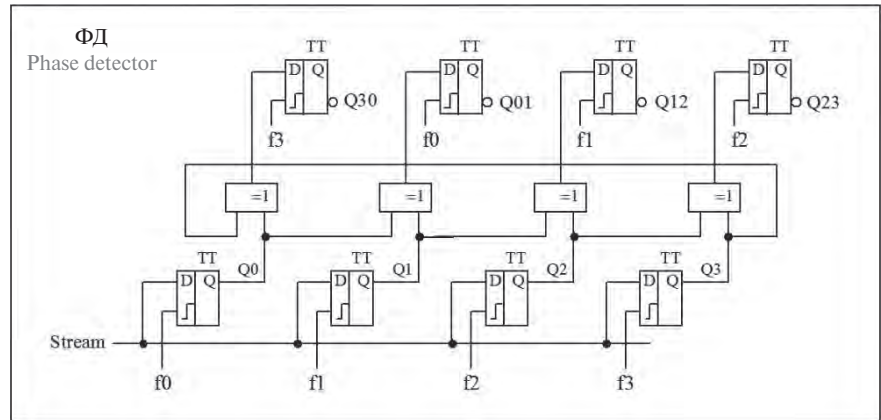


Рис. 5. Фазовый детектор

Fig. 5. A phase detector

4-фазный ГУН оптимален для конвейерной структуры «четный-нечетный бит» — два параллельных потока битов с частотой $F_{bit}/2$. Аналогично работает ФД в конвейере четыре битовых потоков с 8-фазным ГУН на частоте $F_{bit}/4$: четные и нечетные фазы устанавливаются на середины и границы битовых интервалов и т. п.

В составе 4-фазного ФД на рис. 5 представлена известная схема детектирования — триггеры Q0—Q3 и сумматоры по модулю 2. Триггеры Q0—Q3 хранят отсчеты Stream на положительных перепадах $f_0—f_3$. Сумматоры сравнивают смежные отсчеты и выявляют наличие (1) или отсутствие (0) перепада данных на соответствующем фазовом интервале.

Цикл сканирования данных приведенным ФД равен двум битовым интервалам частоты $F_{bit_{max}}$: 2,5 ГГц — 0,8 нс. Для частоты $F_{bit} = 1,25$ ГГц интервал 0,8 нс равен битовому интервалу, что позволяет использовать тот же ФД с той же фазовой частотой, но другой логикой позиционирования фаз: f_0 — на середину, f_2 — на границу битовых интервалов (f_1, f_3 избыточны).

1 clock cycle long (4 ns) and has a programmable group frequency of $F_{bit}/10$. It is formed using the PLL block and a circuit for cascade frequency division by 2.

Given the parallel load, B[9:0] bits are distributed in Q[39:0] depending on $F_{bit} = 1.25$ GHz; 625, 312.5 MHz: Q[39:30], Q[39:20], Q[39:0], respectively. In the meantime, each B[9:0] bit is loaded into 1, 2, 4 bits of Q[39:0]. Basically, the data in Q[39:0] register are pre-formatted to $F_{bit} = 1.25$ GHz frequency and have the form of four 10-bit blocks of words.

The structure of Q[39:0] register is targeted at a 5-bit shift. Five-bit groups of data (higher, lower) normalized to a frequency of $F_{bit} = 1.25$ GHz are shifted in each CLK_{10} clock cycle. The higher orders of Q[39:35] — the current half of the bits of the normalized 10-bit group — are the output of the register. The complete data group normalized to $F_{bit} = 1.25$ GHz frequency is put out within two CLK_{10} clock cycles.

Formatting of $F_{bit} = 1.25$ GHz to 2.5 GHz is performed similarly to the scheme shown in Fig. 2: “2.5” multiplexer, BH[9:0] register.

BS[9:0] output is a sequence of blocks of words normalized to $F_{bit} = 2.5$ (3.125) GHz frequency and clocked by $f_0 = 1.25$ GHz frequency of the voltage-controlled oscillator.

RX receiver

There is a stream of Stream data bits with a frequency of F_{bit} at the receiver input. The receiver transforms a serial sequence of 10 bits into a parallel 10-bit block of words. The frequency of blocks of words at the receiver output is $F_{10} = F_{bit}/10$.

The main architectural feature of the receiver consists in the fact that bit frequency modes of 1.25 and 2.5 GHz are indistinguishable in the operation of high-frequency circuits of bit synchronization and data: 1 bit at 1.25 GHz is the same as a sequence of 2 bits at 2.5 GHz. Bits are received in the format

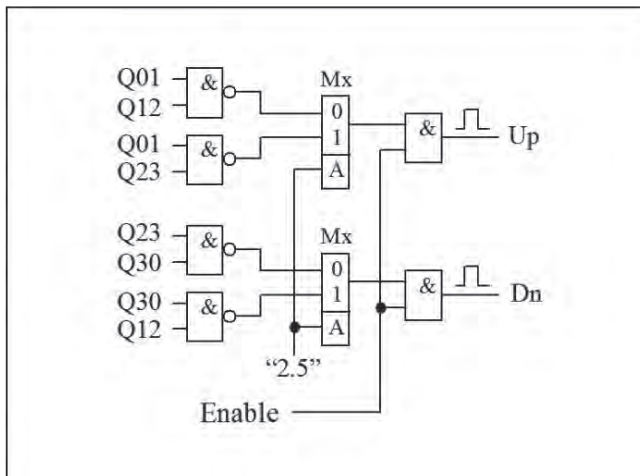


Рис. 6. Выходная логика формирования сигналов U_p , D_n от ФД ВТСД
Fig. 6. The output logic of formation of U_p , D_n signals from the CDR phase detector

Проблема ФД возникает при расширении ряда программируемых частот с условием неизменности частоты ГУН. Цикл сканирования в схеме рис. 5 недостаточен для представления 1/2 тактов частот 625, 312,5 МГц ($F_{bit_max}/4$, $F_{bit_max}/8$), что не позволяет локализовать фазу ГУН на битовом интервале.

Для решения проблемы следует увеличить цикл сканирования: регистр сдвига отсчетов данных $Q[1:0]$ по f_0 (вместо триггера Q_0) и дополнительный счетчик тактов f_0 на четыре состояния (два разряда). Период сигнала f_0 равен 1/2 битового интервала 625 МГц или 1/4 битового интервала 312,5 МГц, что позволяет сканировать Stream в сетке 1/2 тактов дополнительных частот. Результат детектирования пары $Q[0]$, $Q[1]$ регистра сдвига представляется выходом дополнительного сумматора по модулю 2 и интерпретируется (1) как U_p или D_n в зависимости от состояния счетчика. Выходы счетчика используются

также для формирования принятой битовой последовательности: как логические (в домене f_0) или синхронизирующие сигналы (в домене F_{bit}).

Логика обработки результатов детектирования для формирования сигналов U_p , D_n зависит от конкретного набора программируемых частот.

В схеме на рис. 5 результат сравнения записывается в триггеры 2-й ступени Q_{30} , Q_{01} , Q_{12} , Q_{23} — первичная форма сигналов U_p , D_n (активный уровень 0). Циклический фазовый сдвиг (f_3 , f_0 , f_1 , f_2) оптимизирует условия синхронизации. Задержка результата (U_p , D_n) относительно события (перепад данных) на один период частоты 1,25 (1,5625) ГГц незначительна для инерционной схемы ВТСД.

Представленный ФД имеет нелинейную функцию: длительность U_p , D_n всегда равна периоду ГУН 0,8 (0,64) нс и не зависит от отклонения фазы. Нет проблемы «схлопывания» коротких сигналов и «мертвой зоны» ФД.

Сигналы Q_{30} , Q_{01} , Q_{12} , Q_{23} от ФД логически объединяются на выходах U_p , D_n схемы рис. 6 для непосредственного управления зарядно-разрядными токами в блоке Charge Pump.

ЭКСПЕРИМЕНТАЛЬНЫЙ ОБРАЗЕЦ ПРИЕМОПЕРЕДАТЧИКА

Разработанная авторами архитектура была реализована при проектировании тестовых структур приемопередатчика по технологии 90 нм. Битовые скорости разделены на НЧ- (5–125 Мбит/с, шаг 5 Мбит/с) и ВЧ-область (1,25, 2,5, 3,125 Гбит/с). На рис. 7 представлена топология ТХ.

В результате проведенных исследований установлены предельные частоты сохранения фазовой подстройки (ВТСД) и принятия верных данных (данные) для связки ТХ и RX (табл. 1).

В штатном режиме передачи на наборе предусмотренных конструкцией скоростей по проводной линии частота битовых ошибок не превышает 10^{-12} . На рис. 7 изображена глазковая диаграмма сигнала данных в линии передачи на частоте 3,125 Гбит/с.

of 2.5 GHz according to Double Rate scheme: division into two streams (even/odd bit) synchronized by f_0 , f_2 1.25 GHz phases of the voltage-controlled oscillator.

There is no necessity to multiplex high-frequency synchronization circuits during PLL reprogramming because bit synchronization frequency in the HF range does not depend on F_{bit} .

Parallel data are formatted at a frequency of F_{10} blocks of words (125, 250 MHz), which does not impede the speed performance. F_{10} signal is transmitted to the external digital core for data group exchange synchronization.

The case of $F_{bit} = 3.125$ GHz is considered with respect to $F_{bit} = 2.5$ GHz: CLK reference frequency and frequency derivatives are increased in the ratio of 3.125/2.5 (25%).

Data pipeline in RX

Figure 4 demonstrates the HF data pipeline of the RX receiver. The fragment of bit

transmission from Stream input stream is shown in detail.

The formatting block circuit is represented with a group of $Mx[9:0]$ multiplexers and $RH[9:0]$ triggers.

Input (Stream) TT triggers are duplicates of triggers in the phase detector (in the CDR circuit, see Fig. 5) with f_0 , f_2 synchronization inputs having the same name, which provides reliable bit data writing.

T latch trigger (Q output is synchronized with the positive f_0 swing) allows synchronizing shifts in $R2[4:0]$, $R0[9:0]$ registers by a single f_0 signal. As a result, the conditions of parallel code transmission into $B2[4:0]$, $B0[9:0]$ registers are optimized.

F_{10} signal represents the frequency of 10-bit blocks of words in the HF range: a selection from CLK_{125} , CLK_{250} (“2.5” — Mx multiplexer address) and clocking by f_0 frequency (increases the reliability of the synchronization of blocks of words).

Mx “2.5” multiplexer relates the LF range to 0 address: $F_{10} = 125$ MHz.

In the standard receiver operating mode (CDR mode) the input Stream bit stream (CMOS) is split into two streams synchronized by $F_{bit}/2$ frequency:

- $R2[4:0]$ — shift register of odd bits synchronized by f_2 phase (1.25 GHz);
- $R0[9:0]$ — shift register of even bits synchronized by f_0 phase (1.25 GHz).

$R2[i]$ odd bit (which arrives first) is the high bit of $R2[i]$, $R0[i]$ pair. Double Rate scheme is implemented for $F_{bit} = 2.5$ (3.125) GHz.

It is possible to receive a sequence of 1.25 GHz bits in the 2.5 GHz format: each bit is represented by a $R2[i]$, $R0[i]$ pair. There is no switching in the high-frequency circuits (depending on F_{bit}).

F_{10} (125, 250 MHz) signal synchronizes data transformation into parallel $B2[4:0]$, $B0[9:0]$ code as well as their formatting and propagating through the group pipeline.

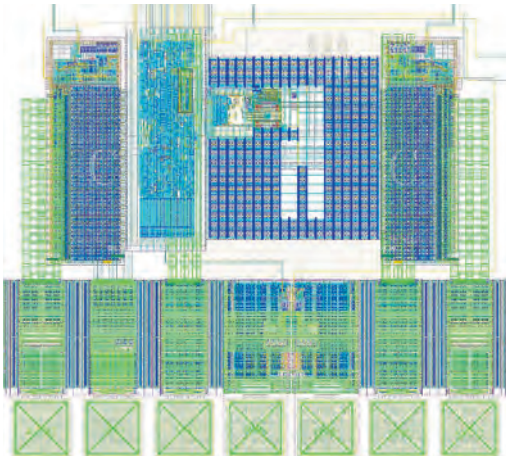


Рис. 7. Топология разработанного передатчика
Fig. 7. The topology of the developed transmitter

ЗАКЛЮЧЕНИЕ

Разработанная авторами архитектура цифровой части передатчика и приемника позволяет упростить цепи высокочастотных битовых операций. Работа критичных блоков (выходной мультиплексор передатчика, сдвиговые регистры и т. д.) не зависит от выбранной скорости передачи.

Авторы считают, что в данной работе новыми являются следующие положения:

- архитектурные решения СФ-блоков без программирования счетчиков ФАПЧ и деления опорной частоты;
- битовый конвейер с групповыми операциями данных на верхней частоте;
- оптимальные наборы программируемых стандартных битовых частот, удовлетворяющие условию форматирования.

Решена задача поиска универсальной архитектуры приемопередатчика, работающего на диапазоне битовых скоростей от нескольких мегабит до единиц гигабит.

The group operation of formatting consists in logical selection (multiplexers) of 10 bits out of 15 (B2[4:0], B0[9:0]):

- B0[9:0] — 10-bit block of words at $F_{bit} = 1.25$ GHz (B2 is excessive);
- B2[4], B0[4], B2[3], B0[3], B2[2], B0[2], B2[1], B0[1], B2[0], B0[0] — 10-bit block of words at $F_{bit} = 2.5$ (3.125) GHz.

RH[9:0] register forms the TX output in the HF range. Integration of the output with the LF range does not present any operating speed problems.

Programmable phase detector

The phase detector (PD) as a part of the CDR receiver controls the temporary position of f_0, f_1, f_2, f_3 phases of the voltage-controlled oscillator relative to the bit interval boundaries (data transition) of the receiver input Stream bit stream. The phase detector generates control signals to increase (Up) or decrease (Dn) the frequency of the

voltage-controlled oscillator, which enables the CDR to set the latching f_0, f_2 phases at the *midpoints*, and f_1, f_3 phases — at the bit interval boundaries.

A 4-bit voltage-controlled oscillator is optimal for the pipeline structure of ‘even-odd bit’ because there are two parallel bit streams with a frequency of $F_{bit}/2$. The phase detector in the 4-bit stream pipeline with an 8-phase voltage-controlled oscillator at a frequency of $F_{bit}/4$ functions in the same manner: even and odd phases are set at the midpoints and boundaries of bit intervals, and so on.

Figure 5 shows a well-known detection circuit being part of a 4-phase phase detector, which contains Q0–Q3 triggers and half adders. Q0–Q3 triggers keep Stream samples at positive $f_0–f_3$ transitions. The half adders compare adjacent samples and detect the presence (1) or absence (0) of data transition in the corresponding phase interval.

The data scanning cycle by the described phase detector equals 2-bit intervals at $F_{bit_max} = 2.5$ GHz, that is 0.8 ns. The interval of 0.8 ns equals the bit interval at $F_{bit} = 1.25$ GHz frequency, which makes it possible to use the same phase detector with the same phase frequency, but a different phase positioning logics and set f_0 at the midpoint, and f_2 — at the bit interval boundary (f_1, f_3 being excessive).

The phase detector poses a problem when the range of programmable frequencies is extended, the frequency of the voltage-controlled oscillator being the same. The scanning cycle shown in the scheme in Fig. 5 is not long enough to present 1/2 clock cycle at such frequencies as 625, 312.5 MHz ($F_{bit_max}/4, F_{bit_max}/8$), which prevents localizing the phase of the voltage-controlled oscillator in the bit interval.

To solve the problem, it is necessary to extend the scanning cycle by using Q[1:0]

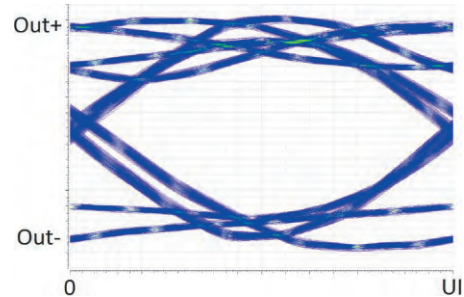


Рис. 8. Глазковая диаграмма сигнала данных в линии передачи на частоте 3,125 Гбит/с

Fig. 8. The eye diagram of the data signal in the transmission line at a frequency of 3.125 Gbit/s

Таблица 1. Предельные частоты работы связки TX и RX

Table 1. The limit operating frequencies of the TX-RX bundle.

	1,25 Гбит/с 1.25 Gbit/s	2,5 Гбит/с или 3,125 Гбит/с 2.5 Gbit/s or 3.125 Gbit/s
ВТСД CDR	2,46 Гбит/с 2.46 Gbit/s	4,8 Гбит/с 4.8 Gbit/s
Данные Data	2 Гбит/с 2 Gbit/s	4,8 Гбит/с 4.8 Gbit/s

ЛИТЕРАТУРА

1. Яблоков Е. Н. GigaSpaceWire, проблемы и решения // Известия Самарского научного центра Российской академии наук, 2016. — Т. 18. — № 1 (2). — С. 428–431.
2. Parkes S., Ferrer A., Gonzalez A. and McClements C. *SpaceFibre Specification Draft H9*. University of Dundee, 2017. 233 p.
3. Доможаков Д. А., Кондратенко С. В. Опыт и методика проектирования высокоскоростных приемопередатчиков последовательных каналов // Вопросы радиоэлектроники, 2017. — № 8. — С. 6–9.



data sample shift register at f_0 (instead of Q0 trigger) and an additional f_0 clock cycle counter for 4 states (2 bits). f_0 signal period equals 1/2 of 625 MHz bit interval or 1/4 of 312.5 bit interval, which makes it possible to scan Stream in the grid of 1/2 clock cycles of additional frequencies. The result of the detection of Q[0], Q[1] pair of the shift register is represented by the output of an additional half adder and is interpreted (I) as Up or Dn depending on the counter state. The counter outputs are also used for forming the accepted bit sequence: as logical signals (in f_0 domain) or synchronizing ones (in $Fbit$ domain).

The logic of detection result processing for forming Up, Dn signals depends on the specific set of programmable frequencies.

In the scheme shown in Fig. 5 the comparison result is written in Q30, Q01, Q12, Q23 triggers of the 2nd stage — the initial form of Up, Dn signals (0 active level). The (f_3, f_0, f_1, f_2) cyclical phase shift optimizes the synchronization conditions. The result delay (Up, Dn) relative to the event (data swing) per 1.125 (1.5625) GHz frequency period is irrelevant for the inertial CDR circuit.

The function of the phase detector described in this paper is nonlinear: the length of Up, Dn always equals the 0.8 (0.64) ns period of the voltage-controlled oscillator and does not depend on the phase deviation. There is no problem of short signal collapse or switching blank of the phase detector.

Q30, Q01, Q12, Q23 signals from the phase detector are logically combined at Up, Dn outputs of the scheme shown in Fig. 6 to provide direct control of the charge-discharge currents in Charge Pump block.

EXPERIMENTAL MODEL OF THE TRANSCEIVER

The architecture developed by the authors was implemented in the process of transceiver test structure designing according to 90 nm process. The bit frequencies are divided into the LF (5–125 Mbit/s with the increment of 5 Mbit/s) and the HF (1.25, 2.5, 3.125 Gbit/s) domains. Figure 7 demonstrates the TX topology.

The research yielded the limit frequencies for keeping the phase adjustment (CDR) and correct data reception (Data) for the TX-RX bundle (Table 1).

The bit error frequency does not exceed 10^{-12} in the standard wired transmission mode at the speeds of the set determined by the design. Figure 8 shows an eye diagram of the data signal in the transmission line at a frequency of 3.125 Gbit/s.

CONCLUSIONS

The architecture of the digital part of the transmitter and the receiver developed by the authors allows simplifying the high-frequency bit operation sequences. The functioning of the critical blocks (the transceiver output

multiplexer, shift registers and so on) does not depend on the selected transmission speed.

The authors consider the following results as novel:

- architectural solutions for IP-blocks without PLL counter programming or reference frequency division;
- the bit pipeline with group data operations at the higher frequency;
- optimal sets of programmable standard bit frequencies compliant with the formatting requirement;

The task of developing a universal transceiver architecture operating in the bit speed range of several megabits to several gigabits has been solved.

REFERENCES

1. Yablokov E. N. *GigaSpaceWire, problema i resheniya* // Izvestiya Samarskogo nauchnogo tsentra Rossiiskoi akademii nauk, 2016. T. 18. № 1 (2). P. 428–431. (In Russian).
2. Parkes S., Ferrer A., Gonzalez A. and McClements C. *SpaceFibre Specification Draft H9*. University of Dundee, 2017. 233 p.
3. Domozhakov D. A., Kondratenko S. V. *Opyt i metodika proektirovaniya vysokoskorostnykh priemopredatchikov posledovatel'nykh kanalov* // Voprosy radioelektroniki, 2017. № 8. P. 6–9. (In Russian).

КНИГИ ИЗДАТЕЛЬСТВА "ТЕХНОСФЕРА"



Цена 1960 руб.

ОСНОВЫ КОНСТРУИРОВАНИЯ ВЫСОКОСКОРОСТНЫХ ЭЛЕКТРОННЫХ УСТРОЙСТВ. КРАТКИЙ КУРС «БЕЛОЙ МАГИИ»

А. И. Белоус, В. А. Солодуха, С. В. Шведов

под общей редакцией А. И. Белоуса

М.: ТЕХНОСФЕРА, 2017. — 872 с.
ISBN 978-5-94836-500-8

Впервые в отечественной научно-технической литературе в объеме одной книги детально и последовательно рассмотрен комплекс теоретических и практических аспектов проектирования и организации производства различного рода радиоэлектронных устройств, приборов и систем, общим и основным отличительным признаком которых является высокая скорость обработки и передачи данных.

Книга ориентирована на широкий круг читателей: студентов, аспирантов, преподавателей технических университетов, инженеров, специализирующихся в области разработки и организации производств различного рода радиоэлектронных устройств, приборов и систем, к которым предъявляются требования обеспечения высокой скорости обработки и передачи данных.

КАК ЗАКАЗАТЬ НАШИ КНИГИ?

✉ 125319, Москва, а/я 91; ☎ +7 (495) 234-0110; 📠 +7 (495) 956-3346; knigi@technosphaera.ru, sales@technosphaera.ru