



УДК 621.382.2/.3

DOI: 10.22184/NanoRus.2019.12.89.258.267

СЛОЖНО-ФУНКЦИОНАЛЬНЫЕ БЛОКИ ОЗУ И РЕГИСТРОВЫХ ФАЙЛОВ ДЛЯ НАНОМЕТРОВЫХ РАДИАЦИОННО-СТОЙКИХ КМОП СБИС СнК SRAM AND REGISTER FILE IP-BLOCKS FOR NANOMETER RADIATION- HARDENED SYSTEMS ON CHIP

ГЕРАСИМОВ ЮРИЙ МИХАЙЛОВИЧ

GERASIMOV YURIY M.

ГРИГОРЬЕВ НИКОЛАЙ ГЕННАДЬЕВИЧ

GRIGORYEV NIKOLAY G.

КОБЫЛЯЦКИЙ АНДРЕЙ ВАДИМОВИЧ

KOBLYATSKIY ANDREY V.

andreykob@elvees.com

andreykob@elvees.com

МЕНЬШЕНИН ЛЕОНИД ВЛАДИМИРОВИЧ

MENSHENIN LEONID V.

АО «Научно-производственный центр «Электронные
вычислительно-информационные системы»
124498, г. Москва, г. Зеленоград, проезд №4922, 4, стр. 2

R&D Center "ELVEES", JSC
bld. 2, 4 Lane 4922, Zelenograd, Moscow, 124498, Russia

Рассмотрены базовые принципы создания, архитектурные, схемотехнические и конструктивно-топологические особенности радиационно-стойких СФ-блоков ОЗУ и регистровых файлов для использования в составе СБИС типа «система на кристалле». Сформулированы основные требования для программных средств синтеза и компиляции, на основе которых разработаны компиляторы СФ-блоков ОЗУ.

Ключевые слова: СФ-блок ОЗУ; регистровый файл; система на кристалле; радиационная стойкость; компилятор памяти.

The paper considers the basic principles of SRAM and register files IP-blocks creation, its architectural, schematic and topological features of radiation-hardening-by-design for the use in the system-on-chip. The main requirements for synthesis and compilation software have been formulated. SRAM IP-blocks compilers have been developed on this basis.

Keywords: IP-block; SRAM; register file; system-on-chip; radiation-hardness; SRAM compiler.

ВВЕДЕНИЕ

Маршрут проектирования СБИС типа «система на кристалле» (СнК) стандартизирован и основывается на применении библиотек логических элементов в заданном технологическом базисе и сложно-функциональных (СФ) блоков, которые могут быть описаны на языке высокого уровня (Soft) либо представлены в виде логической схемы (Firm) или топологии (Hard) [1].

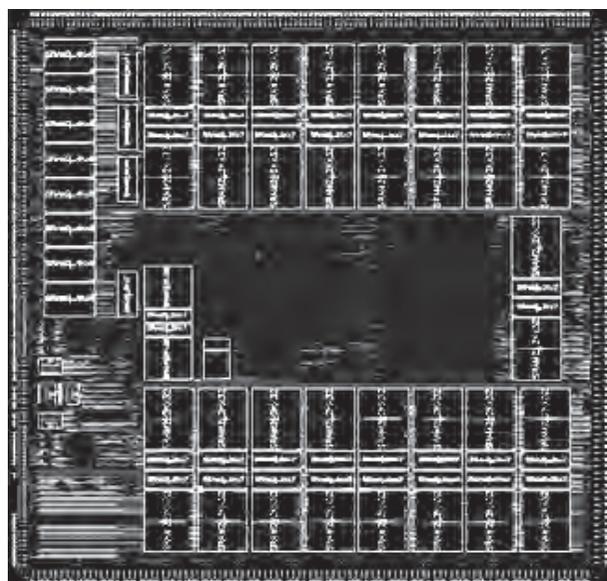
Сложно-функциональные (СФ) блоки ОЗУ являются одними из основных и обязательных блоков СБИС СнК. Объем памяти в современных нанометровых СБИС СнК постоянно растет и в настоящее время достигает 70–90 % площади их ядра. Например, в радиационно-стойких (РС) СБИС СнК разработки АО НПЦ «ЭЛВИС» сигнального микропроцессора 1892ВМ8Я (250 нм, 30 млн транзисторов) и многоканального адаптера 1892ХД4Ф (180 нм, 50 млн транзисторов) СФ-блоки памяти различного типа занимают соответственно 57 % и 76 % площади ядра СБИС (рис. 1). Поэтому наиболее важные потребительские и технические характеристики, такие как выход годных, быстродействие и потребляемая мощность, а также радиационная стойкость (РС), при заданном уровне технологии зависят от используемых при их проектировании архитектурных, схемотехнических и конструктивно-топологических решений [2].

Актуальной задачей в области разработки СФ-блоков ОЗУ является проблема повышения надежности и выхода годных при уменьшении проектных норм, в том числе в условиях воздействия специальных факторов. Данная проблема обусловлена

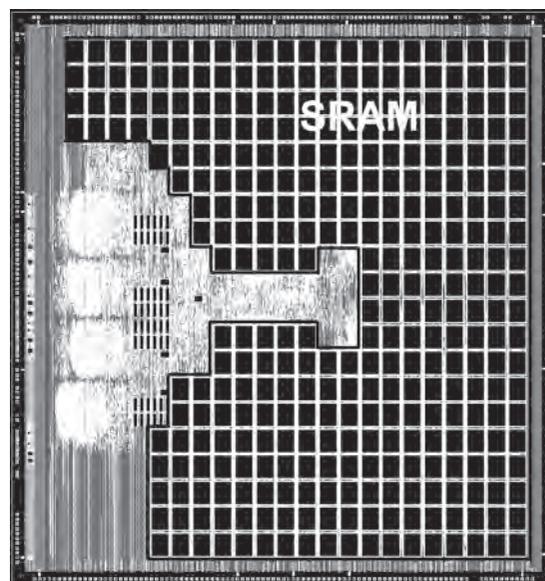
уменьшением геометрических размеров приборов и усилением влияния вариаций технологических параметров и внешних воздействующих факторов на их электрические характеристики.

Анализ особенностей коммерческих СФ-блоков ОЗУ помог выявить ряд недостатков в технических решениях, которые не позволяют получить требуемый уровень радиационной стойкости СБИС для аэрокосмических применений, в частности по сбоеустойчивости и стойкости к тиристорному эффекту при воздействии тяжелых частиц (ТЧ). Экспериментальные исследования ряда СБИС, разработанных по КМОП-технологиям объемного кремния с использованием таких блоков памяти, подтвердили их низкую радиационную стойкость по всем радиационным факторам.

Имеющиеся в настоящее время результаты исследований тестовых кристаллов и СБИС, а также информация из отечественной и зарубежной литературы позволили создать единую методологию радиационно-стойкого проектирования СФ-блоков ОЗУ и адаптировать ее для КМОП-технологий объемного кремния уровней 250 нм, 180 нм и 90 нм. С использованием данной методологии по соответствующим технологиям разработаны параметризуемые СФ-блоки одно- и двухпортовых ОЗУ и регистровых файлов (далее — СФ-блоки ОЗУ) с повышенным уровнем надежности и радиационной стойкости. В табл. 1 приведены основные электрические параметры разработанных блоков. Параметры радиационной стойкости блоков соответствуют требованиям, предъявляемым к ЭКБ и аппаратуре, работающей при



a | a



б | b

Рис. 1. Топологии СБИС СнК: а) 1892VM8Я, б) 1892ХД4Ф
Fig. 1. VLSI SoC layouts: a) 1892VM8YA; b) 1892HD4F

воздействию уровней радиации, характерных для космических аппаратов, авиационной техники и других применений.

В данной работе рассматриваются основные архитектурные, схемотехнические и конструктивно-топологические методы проектирования СФ-блоков ОЗУ, позволяющие разрабатывать конкурентоспособные СнК по доступным базовым технологиям объемного кремния.

АРХИТЕКТУРНЫЕ ОСОБЕННОСТИ СФ-БЛОКОВ ОЗУ

Разработанные СФ-блоки ОЗУ имеют следующие архитектурные особенности.

1) **Использование импульсного обращения к накопителю, при котором выбор нужной ячейки происходит по активному перепаду внутреннего кратковременного импульса**

При этом для сохранения считанной информации используются выходные асинхронные регистры-зашелки. Данный

принцип позволяет уменьшить потребляемую мощность, обусловленную протеканием тока через транзисторы связи ячеек памяти выбранной строки, а также уменьшить мощность, связанную с перезарядом разрядных шин. При этом уменьшается длительность пребывания ячеек в активном состоянии, в котором они имеют пониженную помехоустойчивость, в результате чего уменьшается вероятность сбоев накопителя. Структурная схема блока представлена на рис. 2 на примере однопортового ОЗУ.

Накопитель СФ-блока разделен на накопители для младших и старших разрядов. Каждый разряд представляет собой модуль, содержащий накопитель разряда, формирователи сигнала выборки столбца, усилитель считывания и драйвер записи. Управление модулями располагается в центральной части СФ-блока, в которой также находятся формирователи сигнала выборки строки и дешифраторы строк и столбцов. Разработанный СФ-блок является синхронным и содержит входные

INTRODUCTION

The design flow of VLSI SoCs is standardized [1] and based on using standard cell libraries of the specified technology basic set and IP-blocks which can be defined by means of a high-level language ("Soft") or presented in the form of a logic scheme ("Firm") or a topology ("Hard").

SRAM IP-blocks constitute a basic and essential part of VLSI SoCs [2]. The memory capacity of present-day nanometer VLSI SoCs has been increasing and now accounts for 70–90% of their core area. For instance, IP-blocks of various memory types take 57% and 76% of the core area of 1892VM8YA signal microprocessor (250 nm, 30 mln transistors) and 1892HD4F multichannel adapter (180 nm, 50 mln transistors), designed

by R&D Center "ELVEES", respectively (Fig. 1). Both VLSI SoCs are radiation hardened. Therefore the most important consumer and technical characteristics such as yield, operating speed, power consumption and radiation hardness at a given technology node depend on architectural, schematic, constructive and topological solutions chosen at the design level.

The problem of reliability and yield enhancement in the context of reduction in design rules and exposure to special effects is a relevant task in the field of SRAM IP-block development. The problem results from reduction in device dimensions and growing influence of varying technology parameters and exposure factors on the electrical performance of the devices.

The features analysis of standard commercial SRAM IP-blocks has revealed a range of limitations of technical solutions which constrain the required level of radiation hardness of VLSI for aerospace applications, in particular regarding failure tolerance and latch-up effect tolerance on exposure to heavy particles. The experimental research of some VLSI ICs with such SRAM blocks developed using bulk silicon CMOS technologies has confirmed their low radiation hardness over all radiation factors.

The up-to-date research results of test chips and VLSI as well as information from Russian and foreign sources have allowed a common design methodology for SRAM IP-blocks radiation-hardening and its adaptation to CMOS bulk silicon technologies of 250 nm, 180 nm and 90 nm technology nodes. This methodology



Таблица 1. Разработанные СФ-блоки ОЗУ по объемным КМОП-технологиям
Table 1. The SRAM IP-blocks developed according to bulk CMOS technologies

Проектная норма, нм Technology node, nm	Тип ОЗУ RAM type	Кол-во слов Number of words	Разрядность Digit capacity	Быстродействие, МГц Operating speed, MHz	Время выборки*, нс Access time*, ns	Площадь, мм ² Area, mm ²	Мощность на макс. частоте*, мВт Power at the highest frequency*, mW
250	Однопортовое Single-port	1024, 2048	6, 7, 20, 32	100	< 2,9	1,248 (2К×32)	< 39
	Двухпортовое Double-port	2048, 4096	7, 8, 32	100	< 3,1	1,910 (2К×32)	< 68
	Регистровый файл Register file	256	12	100	2,2	0,174	14
180	Однопортовое Single-port	64–2048	4–16	200	< 2,0	0,118	< 18
	Двухпортовое Double-port	128–2048	4–16	200	< 2,7	0,207	< 37
	Регистровый файл Register file	16, 256	12, 32	200	< 1,8	0,095	< 28
90	Однопортовое Single-port	64–4096	4–40	500	< 1,5	0,295	< 29
	Двухпортовое Double-port	64–4096	4–40	500	< 1,8	0,417	< 33
	Регистровый файл Register file	64–4096	4–40	500	< 1,8	0,417	< 33

* При нормальных условиях функционирования блока с максимальной информационной емкостью на емкость нагрузки 0,2 пФ.

* Under normal operating conditions of a block with the maximum information handling capacity per load capacitance of 0.2 pF.

зашелки на управляющих входах. Аналогичную структурную схему имеют разработанные блоки двухпортового ОЗУ и регистровые файлы.

2) Использование принципа равноудаленности одноадресных столбцов смежных разрядов накопителя, при реализации которого столбцы с общим адресом смежных разрядов оказываются на равном расстоянии друг от друга (рис. 3)

В этом случае тяжелая частица для того, чтобы вызвать сбой n -й кратности в слове, должна пройти вдоль строки накопителя n раз, равный

$$L_n = n \cdot W_{\text{РАЗР}}$$

где $W_{\text{РАЗР}}$ — ширина одного разряда матрицы памяти, определяемая как ширина одного столбца, или ячейки памяти, умноженная на коэффициент мультиплексирования столбцов в одном разряде. Данный коэффициент при разработке выбирается не меньше 8 исходя из расчетов эффективной длины трека частицы.

В случае когда частица пересекает на своем пути дешифратор строк, который обычно располагается в центре накопителя, длина пути L_n увеличивается на ширину дешифратора $W_{\text{ДШХ}}$, то есть

$$L_n = n \cdot W_{\text{РАЗР}} + W_{\text{ДШХ}}$$

has been used to develop parametrizable IP-blocks of single- and dual port SRAMs and register files (hereinafter referred to as SRAM IP-blocks) with advanced reliability and radiation hardness. Table 1 shows the key electrical characteristics of the developed IP-blocks. The radiation hardness characteristics comply with the requirements for electronic component base and equipment operating under exposure to the levels of radiation typical of spacecraft, aircraft equipment and other applications.

This paper considers the basic architectural, schematic, constructive and topological methods of designing SRAM IP-blocks allowing the development of competitive SoCs based on cost effective basic bulk silicon technologies.

ARCHITECTURAL FEATURES OF SRAM IP-BLOCKS

The main architectural features of the developed SRAM IP-blocks are described below.

1. Using impulse access to the memory array whereby a particular memory cell is selected by active internal short impulse transition. Herewith output asynchronous latch registers are used to store the read information. This approach allows reducing the power consumed while the current flows through the coupled transistors of memory cells of the selected row as well as in the power consumed when the bit lines are recharging. If this occurs, the cells are in the active state, when they are less noise tolerant, for a shorter time, which leads to lower

failure probability of the memory array. Figure 2 shows the structural scheme of the block exemplified by a single-port SRAM.

The memory array of the IP-block is divided into arrays for least significant and most significant bits. Each bit is made as a module containing a bit memory array, column access drivers, a sense amplifier and a record driver. The control logic is located in the centre of the IP-block as well as the row access drivers and row and column decoders. The developed IP-block is a synchronous one and contains input latches at the control inputs. The developed blocks of a double-port SRAM and register files have a similar structural scheme.

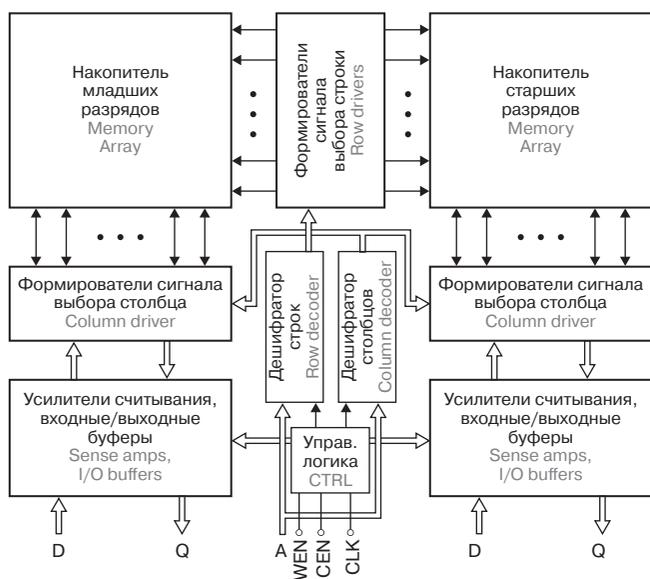


Рис. 2. Структурная схема СФ-блоков однопортового ОЗУ по технологии 90 нм

Fig. 2. The structural scheme of IP-blocks of a single-port SRAM based on 90 nm technology

В остальных случаях столбцы смежных разрядов оказываются в непосредственной близости друг от друга, что приводит к появлению многократных ошибок в одном слове при попадании тяжелой частицы.

3) Широкий диапазон выбора числа слов и разрядности с ограничением максимальной информационной емкости блока не более 64 Кбит

Исследования показали, что при большем размере блока существенно увеличивается емкость разрядных шин, что приводит к значительному увеличению потребляемой мощности и пиковых токов, замедлению скорости перезаряда разрядных шин, а следовательно, ухудшаются и параметры быстродействия блоков. Другой причиной ограничения информационной емкости блока являются его геометрические размеры, из-за увеличения которых возникает необходимость использования большего количества металлов в блоке для снижения сопротивлений по шинам питания и земли и уменьшения тем самым просадок

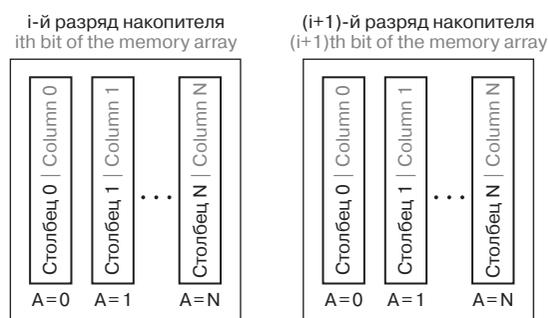


Рис. 3. Принцип равноудаленности столбцов, относящихся к общему адресу в смежных разрядах

Fig. 3. The principle of equidistance of the columns with a generic address in the adjacent bits.

по напряжению на соответствующих шинах. В разработанных блоках используется четыре уровня металлизации, причем в блоках по технологии 90 нм имеется возможность программирования количества шин над накопителем. При большем количестве металлов из-за усложнения трассировки блоков существенно увеличивается площадь СнК.

СХЕМОТЕХНИЧЕСКИЕ ОСОБЕННОСТИ СФ-БЛОКОВ ОЗУ

К схемотехническим особенностям СФ-блоков ОЗУ можно отнести следующее.

1) Применение синхронных усилителей считывания (УС)

Благодаря использованию положительной обратной связи синхронные УС обеспечивают полное преобразование дифференциального входного сигнала малой амплитуды в цифровой с использованием одного каскада. Кроме того синхронные УС, по сравнению с асинхронными, не имеют сквозных токов, не имеют «дребезга» переключения и менее чувствительны к помехам по шинам питания и земли. Синхронные УС после переключения переходят в режим ожидания, в котором они нечувствительны к входному сигналу и имеют повышенную сбоеустойчивость.

2) Использование цепей-эмуляторов разрядных и адресных шин («фиктивных» разрядных и адресных шин) для синхронизации усилителей в целях автоматического учета технологического разброса параметров при формировании задержки включения УС

2. Using the principle of equidistance of single-address columns of adjacent memory array bits whereby the columns with the generic address of adjacent bits are located at an equal distance from each other (Fig. 3). In this case, to cause a multiple bit upset with multiplicity n in a word, a heavy particle has to travel along the memory array row a distance of

$$L_n = n \cdot W_{bit}, \quad (1)$$

where W_{bit} is the width of one memory array bit defined as the width of one column, or memory cell, multiplied by the multiplexing ratio of columns in one bit. This ratio is chosen in the process of development and

it should be higher than 8 depending on the effective particle track length calculations.

When a particle goes through a row decoder which is normally located in the centre of the memory array, the path length L_n increases by W_{DCX} decoder width, that is

$$L_n = n \cdot W_{bit} + W_{DCX}. \quad (2)$$

Otherwise the columns of adjacent bits are very close to each other, which causes multiple errors in one word when a heavy particle enters it.

3. A wide selection of word count and bit count coupled with limiting the maximum information capacity of the block to 64 kbit.

The research has shown that a bigger block size translates into a higher bit-line capacitance, which causes a significant rise in power consumption and peak currents and a reduction of bit-line recharge speed. Consequently, the IP-block operating speed performance degrades. Another reason for limiting the information capacity of the block is its physical dimensions. Scaling up would necessitate using more metal in the block to lower power and grounding rail resistance and hereby reducing the corresponding voltage slumps. The developed 250 nm and 180 nm blocks use three levels of metallization; the 90 nm block uses four levels with a capability of programming the number of bit lines above the memory array. Using more



Таблица 2. Влияние параметров логической цепи на стойкость к возникновению эффекта SET

Table 2. The influence of logic circuit parameters on the SET effect tolerance

№	М	K_M	t_3	$Q_{\text{КРИТ}}$
1	1	1	1	1
2	2	1	1,34	1,10
3	4	1	2,15	1,25
4	1	2	0,92	2,15
5	2	2	1,30	2,34
6	4	2	2,12	2,69
7	1	4	0,88	7,84
8	2	4	1,28	8,28
9	4	4	2,11	8,91

Для определения момента синхронизации усилителя применяется методика статистического расчета критического тракта считывания по методу Монте-Карло. Расчет по данной методике позволяет учесть технологический разброс и рассогласование параметров транзисторов в ячейке памяти, определяющих величину дифференциального напряжения на входах УС, и транзисторов в УС, определяющих значение чувствительности усилителя. Поскольку объем памяти в разрабатываемых СнК может достигать нескольких мегабит, необходим учет разбросов параметров транзисторов до $\pm 6\sigma$, чтобы исключить возможность снижения выхода годных из-за функциональных отказов блоков памяти. При небольшом объеме памяти такой учет привел бы к избыточности и безосновательному снижению быстродействия блоков. Поэтому на уровне СФ-блоков, разработанных по технологии 90 нм, предусмотрена возможность выбора задержки включения

УС внешними управляющими сигналами в зависимости от объема памяти на кристалле. Разница между минимальным и максимальными значениями задержки включения УС не превышает 10% от времени выборки блока с любой организацией и информационной емкостью.

3) Использование отдельных цепей записи и чтения по внешним разрядным шинам для повышения быстродействия в режиме чтения

Повышение быстродействия достигается за счет уменьшения собственных емкостей внешних разрядных шин считывания благодаря исключению влияния транзисторов записи.

4) Применение транзисторов с увеличенной шириной канала для повышения критического заряда в узлах логических цепей и защелок

Сбои в ячейках памяти, возникающие при попадании тяжелых частиц, эффективно исправляются средствами помехоустойчивого кодирования на системном уровне. Однако функциональный сбой при попадании частицы может возникнуть в работе управляющей логики, что может привести к различным последствиям в работе всей СнК. Выбор абсолютных и относительных размеров транзисторов в логических цепях исходя из требований по пороговому значению линейных потерь энергии (ЛПЭ) эффекта является эффективным методом подавления одиночных импульсов напряжений (SET), возникающих при попадании частицы в области закрытых рп-переходов.

В табл. 2 представлены результаты сравнительного анализа логической цепи с коэффициентом нагрузки М и коэффициентом мощности K_M каскада, на котором моделируется воздействие тяжелой частицы. Результаты в таблице нормированы на значения, соответствующие цепи с $M = 1$ и $K_M = 1$, и усреднены для проектных норм 180 нм, 130 нм и 90 нм с учетом коэффициентов масштабирования параметров транзисторов.

Из полученных результатов видно, что увеличение коэффициента нагрузки при неизменных размерах исходного каскада

metal makes block wiring more complicated, which makes the SoC area significantly larger.

SCHEMATIC FEATURES OF SRAM IP-BLOCKS

The schematic features of SRAM IP-blocks are as follows:

1. Using synchronous sense amplifiers. Due to positive feedback, synchronous sense amplifiers ensure complete transformation of a differential input signal of low amplitude into a digital one using one cascade. Besides, synchronous sense amplifiers are not susceptible to through currents or switch bounce and are less sensitive to noise on power and grounding rails, unlike the asynchronous ones. The synchronous sense amplifiers go to the standby mode after switching, in which they are insensitive to input signals and have a higher failure tolerance.

2. Using emulator circuits of bit lines and addressing lines ('fake' bit and addressing lines) to synchronize amplifiers for automatic parameter tolerance accounting while

forming the on-delay of the sense amplifiers. The Monte Carlo method of critical read path statistical calculation is employed to determine the moment of amplifier synchronization. This method takes into account the variations and mismatch of parameters of transistors in a memory cell, which determine the differential voltage at the sense amplifier inputs, as well as the corresponding values for transistors in the sense amplifier, which determine the amplifier sensitivity. As far as the memory capacity of the developed SoCs can be as high as several megabits, it is necessary to account for transistor parameter tolerance of up to $\pm 6\sigma$, to eliminate the risk of yield decrease due to functional failures of memory blocks. Given the memory capacity is small, such accounting would cause redundancy and unreasonable decrease in the operating speed performance of the blocks. Therefore the 90 nm IP-blocks offer a capability of choosing the on-delay of the sense amplifier by means of external control signals depending on the memory capacity of the chip.

The difference between the minimum and the maximum value of on-delay of the sense amplifier does not exceed 10% of the access time of a block with any layout and data capacity.

3. Using different circuits for writing and reading on external bit lines to improve the operating speed performance in the reading mode. The improvement in the operating speed performance is provided by means of reducing the intrinsic capacity of external reading bit lines due to elimination of influence of writing transistors.

4. Using transistors with a higher channel width to raise the critical charge in the nodes and latches of logical circuits.

Failures in memory cells caused by heavy particles can be effectively eliminated by means of anti-noise coding on the system level. However heavy particles may cause functional failures of control logic, which may affect the whole SoC functioning. The choice of absolute and relative dimensions of transistors in logical circuits based on the requirements for the threshold value of linear energy transfer (LET) of the

способствует незначительному возрастанию величины критического заряда ($Q_{\text{КРИТ}}$) и ухудшает быстродействие цепи (t_3 — время задержки каскада). Гораздо более эффективным оказывается пропорциональное увеличение всех размеров транзисторов. Тем не менее в трактах синхронизации и управляющей логике современных СБИС количество элементов, одновременно подключаемых к одному каскаду, может достигать нескольких десятков. Так, например, в СФ-блоках ОЗУ количество таких элементов пропорционально количеству строк или столбцов. Как правило, нагрузочные каскады, на которые передается сигнал, должны выполняться с минимальными при заданном уровне стойкости размерами. При этом в передающем каскаде следует установить размеры соответственно в M раз больше. При меньших размерах фронт станет более пологим, а в нагрузочных каскадах возникнет промежуток времени, когда оба транзистора в каскаде будут приоткрыты и начнет протекать сквозной ток. Этот промежуток времени будет сравним с длительностью фронта импульса тока частицы.

КОНСТРУКТИВНО-ТОПОЛОГИЧЕСКИЕ ОСОБЕННОСТИ ЯЧЕЕК ПАМЯТИ ДЛЯ СФ-БЛОКОВ ОЗУ

Основным элементом, от которого зависят параметры радиационной стойкости

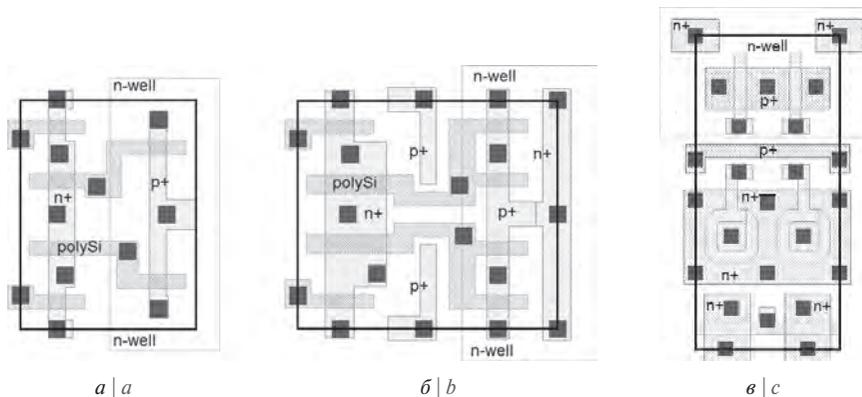


Рис. 4. Базовые слои топологии ЯП 6Т с n-канальными транзисторами связи: а) коммерческий (S), б, в) радиационно-стойкие (RT1, RT2)

Fig. 4. Basic 6T memory cell topology layers with n-channel coupling transistors: a — commercial (RS); b, c — radiation-hardened (RT, RH)

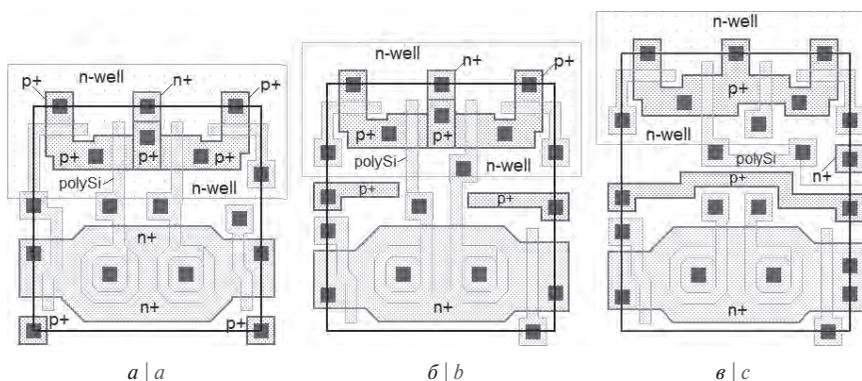


Рис. 5. Базовые слои топологии ЯП 8Т с p-канальными транзисторами связи: а) коммерческий (S), б, в) радиационно-стойкие (RT1, RT2)

Fig. 5. Basic 8T memory cell topology layers with p-channel coupling transistors: a) commercial (RS); b, c) radiation-hardened (RT, RH)

effect is an effective method of suppression of single event effects (SET) which arise when a particle enters the area of closed pn-junctions.

Table 2 lists the results of a comparative study of a logical circuit with M load factor and K_M power factor of a cascade used to simulate the influence of a heavy particle. The results in the table are normalized according to the values corresponding to a circuit with $M = 1$ and $K_M = 1$ and are averaged for 180 nm, 130 nm, 90 nm technology nodes taking into account transistor parameter scaling ratios.

The results show that an increase in the load factor, the dimensions of the initial cascade being the same, leads to a minor increase in critical charge value and impairs the operating speed performance of the circuit. Scaling-up all transistor dimensions proves to be far more effective. Nevertheless, the number of elements simultaneously connected to one cascade in synchronization paths and control logic of up-to-date VLSIs can be as high as several dozen. For

instance, the number of such elements in SRAM IP-blocks is proportional to the number of rows or columns. As a rule, the load cascades where a signal is sent are required to be designed with the minimum dimensions possible at the given level of hardness. Having this in mind, the transmitting cascade should have the dimensions M times as large. With smaller dimensions the front will become less steep, there will appear a time interval in the load cascades when both transistors in the cascade are half-open and a through current will start flowing. This time interval will be comparable with the impulse front time of the particle current.

CONSTRUCTIVE AND TOPOLOGICAL FEATURES OF MEMORY CELLS FOR SRAM IP-BLOCKS

The main element determining the radiation hardness of SRAM IP-blocks is a memory cell. Various hardware designs and constructive and topological implementations of CMOS memory

cells for radiation-hardened nanoscale VLSI SRAMs have been researched [3–7]. There exists a system of parameters for comparing and choosing memory cells. The promising memory cells for these applications are defined. Figures 4 and 5 show the basic topology layers of a conventional single-port 6T memory cell with n-channel coupling transistors and a 8T memory cell with p-channel coupling transistors implemented in IP-blocks using various CMOS bulk silicon technologies ranging from 250 nm to 90 nm in commercial and radiation-hardened versions.

The memory cell topologies are designed according to radiation hardness categories [8]:

- RS (Radiation Soft) — standard radiation non-tolerant memory cell susceptible to latch-up, designed without implementing any radiation-hardening methods;
- RT (Radiation Tolerant) — radiation tolerant memory cell, unsusceptible to latch-up, designed using some radiation-hardening methods;



СФ-блоков ОЗУ, является ячейка памяти (ЯП). В [3–7] исследованы различные варианты схемотехнической реализации и конструктивно-топологического исполнения КМОП-ячеек памяти для радиационно-стойких наноразмерных СБИС ОЗУ. Разработана система параметров для сравнения и выбора ЯП. Определены перспективные для данных применений ячейки памяти. На рис. 4 и 5 приведены базовые слои топологии классической однопортовой 6Т ЯП с *n*-канальными транзисторами связи и 8Т ЯП с *p*-канальными транзисторами связи, реализованных в СФ-блоках по различным КМОП-технологиям объемного кремния от 250 нм до 90 нм в вариантах реализации для коммерческих и РС-применений.

Топологии ячеек памяти выполнены в соответствии с категориями стойкости [8]:

- RS (Radiation Soft) — стандартная радиационно-нестойкая ЯП, чувствительная к эффекту «зашелкивания», без использования методов радиационно-стойкого проектирования;
- RT (Radiation Tolerant) — радиационно-стойкая ЯП, нечувствительная к эффекту «зашелкивания», с использованием методов радиационно-стойкого проектирования;
- RH (Radiation Hard) — специальный техпроцесс (в т. ч. КНС, КНИ), отсутствие эффекта «зашелкивания», с использованием методов радиационно-стойкого проектирования.

Топология РС-вариантов элементов памяти выполняется с применением следующих конструктивно-топологических правил проектирования.

1) Топологическая конфигурация ЯП выбирается по совокупности параметров такой, чтобы обеспечить высокие показатели ОЗУ по основным электрическим параметрам и параметрам радиационной стойкости. В качестве примера в табл. 3 представлены основные параметры 6Т- и 8Т-ячеек, по которым осуществлялся выбор ячейки для СФ-блоков и СБИС ОЗУ по технологиям 180 нм и 250 нм: S_0 — площадь на кристалле; I_{0xp} — ток хранения, максимальный сквозной ток каскада триггера ячейки, возникающий при попадании тяжелой частицы в область закрытого транзистора; $t_{cч0}$ — собственное время чтения данных; $t_{3п0}$ — собственное время записи. Параметры, характеризующие радиационную стойкость:

$LT = LET_{TH}/100 \text{ МэВ}\cdot\text{см}^2/\text{мг}$ — параметр тиристорной защиты (катастрофического отказа), $LT = 1$ — тиристорный эффект не проявляется (Immune Latch-Up), $DT = D_0/1 \text{ Мрад}$ — параметр дозовой стойкости, $Q_{крит}$ — эффективный критический заряд в узле триггера ячейки (комплексный параметр сбоеустойчивости при воздействии ТЧ). В последнем столбце табл. 3 приведен параметр $K_{SEU} = Q_{крит}/S_0$, характеризующий эффективность использования площади ячейки для повышения сбоеустойчивости.

Анализ результатов расчетов и экспериментальной оценки параметров ячеек на тестовом кристалле позволяет заключить, что ячейки в позициях 2, 3 и 6 являются наиболее эффективными для использования в радиационно-стойких ОЗУ. Статический ток потребления СБИС ОЗУ с информационной емкостью 4 Мбита с ячейкой 6Т в варианте RS после облучения 200 крад составит порядка 256 мА.

Переход на вариант RT позволил уменьшить эту величину на три порядка ценой увеличения площади кристалла на 35–40%. При этом обеспечена стойкость к тиристорному эффекту.

Одним из подходов к выбору топологической конфигурации является необходимость максимального разнесения между собой чувствительных областей как внутри самой ячейки, так и в смежных ячейках накопителя. Подобные меры становятся более актуальными в нанометровых проектных нормах, где кратность сбоев может достигать 10 [9]. При этом необходимо также снизить темп накопления одиночных сбоев, поскольку достаточно высокая плотность потока тяжелых частиц может привести к появлению ошибок с кратностью 2 и более в коде слова, которые не исправляются стандартными средствами помехоустойчивого кодирования. Максимальная кратность сбоев наблюдается при падении частицы под углом к поверхности кристалла за счет перераспределения заряда от частицы между соседними ячейками или возникновения просадки по напряжению питания из-за высокого сопротивления подложки или кармана. Поэтому введение между чувствительными областями высоколегированных областей привязки подложки или кармана к шинам земли и питания соответственно является наиболее эффективным методом повышения сбоеустойчивости ЯП на физическом уровне.

- RH (Radiation Hardened) — a specialized technology process (including SOS, SOI), no latch-up, designed using radiation-hardening methods.

The topology of radiation-hardened memory cells is implemented using the following constructive and topological design rules:

1. The topological configuration of a memory cell is selected based on a set of parameters in order to achieve high electrical performance and radiation hardness of SRAM. As an example, Table 3 lists the key parameters of 6T and 8T memory cells, which were used to select a cell for 180 nm IP-blocks and VLSI SRAM: S_0 is area on the chip; I_0 — through current of the cell trigger cascade, which emerges when a heavy particle enters the area of a closed transistor; t_{rd0} — intrinsic time of data reading; t_{wr0} — intrinsic time of writing. The parameters defining the

radiation hardness: $LT = LET_{TH}/100\text{MeV}\cdot\text{cm}^2/\text{mg}$ — a parameter of latch-up protection (catastrophic fault), $LT = 1$ — latch-up does not appear (Immune Latch-Up), $DT = D_0/1\text{Mrad}$ — a parameter of doze resistance, Q_{crit} — effective critical charge in the cell trigger node (a complex parameter of failure tolerance on exposure to heavy particles). The last column of Table 3 lists K_{SEU} parameter = Q_{crit}/S_0 , defining the effectiveness of using the cell area to improve failure tolerance. The dimensions of all transistors are optimized in terms of noise tolerance.

The analysis of calculation data and experimental evaluation of cell parameters on the test chip shows that cells in positions 2, 3 and 6 are the most effective for use in radiation-hardened SRAMs. The static consumption current of a 4 Mbit VLSI SRAM with 6T memory cell in RS version exposed to 200 krad will account

for about 256 mA. A switch to the RT version allowed lowering this value by 3 orders of magnitude at the expense of enlarging the area of the chip by 35–40%. In this case the latch-up tolerance is provided.

One of the approaches to choosing a topology configuration is to position sensitive areas as far as possible from each other both within a cell and among the adjacent cells of the memory array. Such measures become even more important at nanoscale level where failure repetition factor may be as high as 10 [9]. Besides it is necessary to lower the rate of single failure accumulation because a sufficiently high heavy particle fluence may cause errors in the word code with the repetition factor of 2 and more, which cannot be corrected by standard means of anti-noise coding. The maximum failure repetition can be observed when a particle



Таблица 3. Параметры разработанных 6Т- и 8Т-ячеек памяти

Table 3. The parameters of designed 6T and 8T memory cells

№	Тип Type	Технология, нм Technology, nm	S_{01} , мкм ² S_{01} , μm ²	$I_{ут}$, нА/бит $I_{ут}$, nA/bit	I_{0xp} , мкА I_0 , μA	$t_{сч0}$, пс t_{rd0} , ps	$t_{зп0}$, пс t_{wr0} , ps	ЛТ	ДТ	$Q_{крит}$, фКл Q_{crit} , fC	K_{SEU}
1	6Т, S	180	4,7	64	20	1,33	55	0	0	7,2	1,6
2	6Т, RT1	180	6,5	0,043	21	1,28	47	1	0,3	8,2	1,2
3	6Т, RT2	180	10,9	—	54	0,77	58	—	—	20,8	1,9
4	8Т, S	250	9,4	0,082	64	2,70	158	0	0,3	26,8	2,8
5	8Т, RT1	250	10,3	0,003	64	2,70	158	1	0,5	26,8	2,6
6	8Т, RT2	250	11,6	<0,00002	64	2,70	158	1	1	26,8	2,3

2) Привязка к подложке и карману выполняется в каждой ЯП в виде р+ охранной области вдоль п-кармана и локальных контактов к карману для повышения стойкости к тиристорному эффекту и уменьшения утечки между п-карманом и стокистовыми областями п-канальных транзисторов ЯП, находящихся под нулевым потенциалом. Результаты исследований тестовых структур n+-п-карман и n+-n+ по технологиям уровня 180 нм и 90 нм показывают, что утечки паразитных структур являются доминирующими при воздействии стационарного ионизирующего излучения.

3) Транзисторы в ЯП выполняются с увеличенной шириной канала для повышения узловой емкости и лучшего отвода ионизационного тока тяжелых частиц и, соответственно, увеличения критического заряда и порогового ЛПЭ ячейки. На рис. 4б в радиационном стойком исполнении ЯП с этой же целью р-канальные транзисторы выполнены в двухфигурном виде, что позволяет увеличить ток хранения ячейки без существенной потери в площади ЯП и увеличения суммарной площади чувствительной области.

4) Длина канала п-канальных транзисторов в триггере ЯП увеличивается для уменьшения собственного тока утечки до облучения и внутритранзисторного тока утечки при дозовом воздействии, либо вводятся краевые уширения (dog bones), если это позволяет технология. Зависимость удельного тока утечки по стоку слаботекущих транзисторов от длины канала

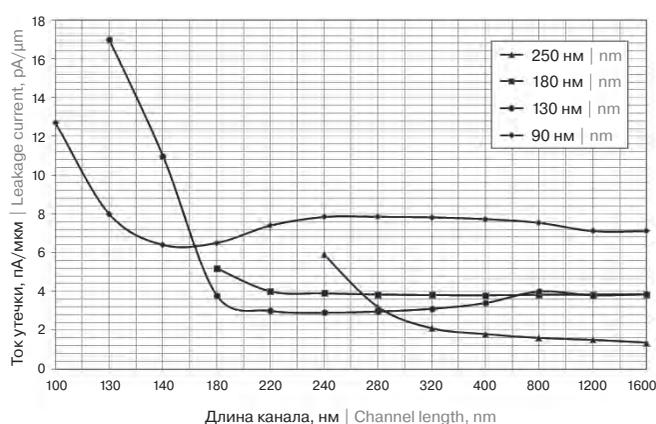


Рис. 6. Удельный ток утечки транзисторов в зависимости от длины канала для разных уровней проектных норм

Fig. 6. The specific transistor leakage current versus the channel length for different design rule levels

для различных проектных норм, представленная на рис. 6, показывает, что собственный ток утечки удастся снизить более чем в два раза при увеличении длины канала в 1,5 раза.

На рис. 7 представлена топологическая конфигурация ЯП, разработанной по технологии 180 нм с применением краевых

falls at an angle to the surface of the chip. This is due to the fact that the charge from the particle redistributes among the adjacent cells or there appear supply voltage slumps because of high resistance of the substrate or the well. For this reason, the introduction of heavily doped areas connecting the substrate or the well to the grounding or the supply rail, respectively, is the most effective method of designing memory cells at the physical level.

2. The connection to the substrate and the well is realized in each memory cell in the form of a p+ stopper along the n-well and local well contacts to improve the latch-up tolerance and reduce the electrical leakage between the n-well and the drain and source areas of n-channel transistors of the memory cell being at ground potential. The investigation of n+-n-well and n+-n+ test structures implemented using

180 nm and 90 nm technologies shows that stray structure leakages dominate under the exposure to fixed ionizing radiation.

3. The transistors in the memory cell are made with a larger channel width to increase node capacitance and improve the drainage of heavy particle ionization and, consequently, increase the critical charge and threshold linear energy transfer of the cell. In Fig. 4 b it can be seen that p-channel transistors are realized in the double-finger form in the radiation resistant variant of the memory cell with the same purpose. This allows increasing the storage current of the cell without sacrificing the area of the memory cell or expanding the sensitive area.

4. To reduce the intrinsic leakage current before the exposure and the leakage current inside the transistor under dose exposure, the channel length of n-channel transistors in the

memory cell trigger is increased or dog bones are introduced if it is feasible from the point of view of technology. The specific drain leakage current of low-leakage transistors versus the channel length for various design rules, shown in Fig. 6, demonstrates that extending the channel length by 1.5 times results in more than a two-fold reduction in the intrinsic leakage current.

Figure 7 demonstrates the topology configuration of a memory cell with dog bones developed according to 180 nm technology. The channel length at the diffusion edges is 0.34 μm.

IP-BLOCK COMPILATION SOFTWARE

A wide range of SRAM IP-blocks in terms of information capacity and bit capacity used to design VLSI SoCs is created with the help of IP-block compilation software [10].



уширений. Длина канала на границе диффузионных областей составляет 0,34 мкм.

ПРОГРАММНЫЕ СРЕДСТВА КОМПИЛЯЦИИ СФ-БЛОКОВ

Создание большой номенклатуры СФ-блоков ОЗУ по информационной емкости и разрядности для проектирования высокоинтегрированной СнК осуществляется при помощи программных средств компиляции СФ-блоков [10]. Концепция создания компиляторов памяти предполагает построение системы автоматизированного проектирования СФ-блоков для интеграции их в СБИС СнК. Ниже перечислены основные принципы и требования, на которых базируются автоматизированный синтез и компиляция СФ-блоков ОЗУ:

- инвариантность программных средств проектирования к изменению параметров технологического процесса изготовления СБИС и уровня проектных норм;
- инвариантность программных средств проектирования к схемотехническим и конструктивно-топологическим решениям в блоках ОЗУ;
- независимость от сторонних лицензионных продуктов и САПР;
- представление выходных данных по компилируемым блокам в форматах баз данных соответствующих САПР, необходимых для осуществления сквозного проектирования СБИС СнК;
- бездефектность схемотехнического и топологического синтеза по заданным исходным данным;
- сокращение числа этапов проектирования за счет использования библиотеки функциональных ячеек, входящих в состав блоков ОЗУ и оптимизированных по критериям быстродействия, потребляемой мощности, радиационной стойкости, площади и выхода годных;

The concept of memory compilers implies creating a computer aided system for designing IP-blocks and their further integration into VLSI SoCs. The main principles and requirements forming the basis of automatic synthesis and compilation of SRAM IP-blocks are as follows:

- invariability of design software in regard to changing VLSI process flow parameters and design rule level;
- invariability of design software in regard to schematic, constructive and topological solutions in SRAM blocks;
- independence of third-party licensed products and CAD systems;
- representation of the output data on the blocks being compiled in data base formats of the corresponding CAD systems required for VLSI SoC end-to-end design;
- zero-defect quality of schematic and topological synthesis according to the data specified for engineering;
- reducing the number of design steps by using a library of functional cells composing IP-blocks optimized in terms of operating speed

performance, power consumption, radiation hardness, area and yield;

- high speed of data output;
- ease of software installation and configuring.

As can be seen from the above, the basis of SRAM IP-block compiler is formed by a library of functional elements and their descriptions in the corresponding formats. Software processing of the elements allows obtaining a wide range of blocks in terms of bit capacity and address space. The library contains: a memory cell, row and column access drivers, a writing driver, a sense amplifier, a control block, output cascades of various capacity, topological filling and connecting elements.

The software code of the compiler is divided into modules, each of which generates presentation in the corresponding format: GDSII, LEF, CDL, Verilog, Liberty in several corners of manufacturing tolerance, supply voltage and temperature as well as datasheet-block description. No third-party licenses are required to launch the code with the settings; and all

- высокая скорость получения выходных данных;
- простота установки и настройки программных средств.

В основе компиляторов СФ-блоков ОЗУ лежит библиотека функциональных элементов и их описаний в соответствующих форматах, программная обработка которых позволяет получать на выходе большое количество блоков в широком диапазоне разрядности и адресного пространства. В состав библиотеки входят: ячейка памяти, формирователи сигнала выборки строки и столбца, драйвер записи, усилитель считывания, блок управления, выходные каскады различной мощности, топологические элементы заполнения и стыковки.

Программный код компилятора разделяется по модулям, каждый из которых отвечает за генерацию представления в соответствующем формате: GDSII, LEF, CDL, Verilog, Liberty в нескольких углах технологического разброса, напряжений питания и температуры, datasheet-описание блока. Для запуска кода с настройками не требуются лицензии сторонних продуктов, а генерация всех представлений блока, необходимых для его интеграции в составе СнК, занимает не больше трех секунд.

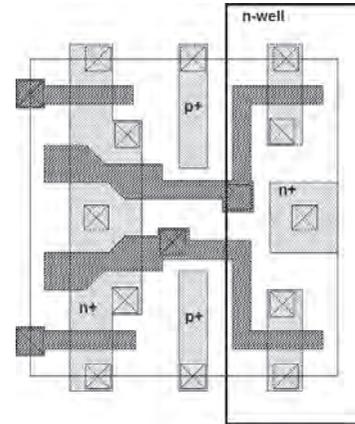


Рис. 7. Базовые слои топологии ЯП 6Т по технологии 180 нм с краевыми уширениями в n-канальных транзисторах триггера ячейки

Fig. 7. The basic levels of 180 nm 6T memory cell topology with dog bones in n-channel transistors of the cell trigger

block presentations necessary for its integration into a SoC are generated within three seconds.

CONCLUSIONS

The proposed methods of designing SRAM IP-blocks are investigated and certified on the basis of test chips developed at R&D Center "ELVEES" according to various CMOS technologies ranging from 250 nm to 90 nm. The test results of VLSI SoCs and SRAMs mass produced using the corresponding technologies comply with the requirements specified for the electronic component base for aerospace applications.

The authors consider the following results as novel:

1. Constructive and topological implementations of memory cells using methods of radiation-hardened design different from the standard commercial options in higher tolerance to external radiation factors. SRAM IP-blocks developed using these cells have a high dose tolerance and a latch-up tolerance when exposed to heavy particles



ЗАКЛЮЧЕНИЕ

Предложенные методы проектирования СФ-блоков ОЗУ исследованы и аттестованы на тестовых кристаллах, разработанных в АО НПЦ «ЭЛВИС» по различным КМОП-технологиям от 250 нм до 90 нм. Результаты испытаний серийных СБИС СнК и ОЗУ по соответствующим технологиям удовлетворяют требованиям, предъявляемым к ЭКБ аэрокосмического назначения (категория 2 РС).

Авторы считают, что в данной работе новыми являются следующие результаты.

1. Совокупность методов проектирования архитектуры, схемотехники и топологии СФ-блоков ОЗУ, позволяющие получать высокую дозовую стойкость, стойкость к тиристорному эффекту при воздействии тяжелых частиц в широком диапазоне ЛПЭ и повышенную стойкость к одиночным и многократным сбоям.
2. Концепция создания и основные требования к компиляторам СФ-блоков памяти.
3. Компиляторы СФ-блоков ОЗУ и регистровых файлов по базовой КМОП-технологии 90 нм.

ЛИТЕРАТУРА

1. СТП ИЛТА 13.00.00-09. Стандарт предприятия: Микросхемы интегральные. Маршрут автоматизированного проектирования систем на кристалле. — Москва: НИИМА «Прогресс», 2009. — 16 с.
2. Баринов В. В., Березин А. С., Вернер В. Д., Герасимов Ю. М. и др. Сверхбольшие интегральные микросхемы оперативных запоминающих устройств // Под ред. В. Д. Вернера. — М.: Радио и связь, 1991. — 272 с.
3. Герасимов Ю. М., Григорьев Н. Г. Элементы памяти для радиационно-стойких КМОП ОЗУ // Естественные и технические науки. — Изд. «Спутник+», 2011. — № 6. — С. 499–504.

4. Герасимов Ю. М., Григорьев Н. Г., Гусев В. В., Кобыляцкий А. В., Петричкович Я. Я. Радиационно-стойкие КМОП СБИС ОЗУ по технологии объемного кремния // Проблемы разработки перспективных микро- и нанoeлектронных систем — 2014. Сб. трудов / под общ. ред. А. Л. Стемповского. М.: ИППМ РАН, 2014. — С. 171–176.
5. Clark L. T., Mohr K. C., Holbert K. E., Yao X. *Optimizing Radiation Hard by Design SRAM Cells* // IEEE Trans. Nucl. Sci. 2001. V. 54. № 6. P. 2028–2036.
6. Benigni M., Liberali V., Stabile A., Calligaro C. *Design of Rad-Hard SRAM Cells: A Comparative Study* // 27th International Conference on Microelectronics Proceedings. Nis. 2010. P. 279–282.
7. Roche P., Gasiot G., Uznanski S. et al. *A Commercial 65nm CMOS Technology for Space Application: Heavy Ion, Proton and Gamma Test Results and Modeling* // IEEE Trans. Nucl. Sci. 2010. V. 57. № 4. P. 2079–2088.
8. Никифоров А. Ю., Телец В. А., Бойченко Д. В. Требования радиационной стойкости — экзотика для гурманов или гарантия наличия и технического уровня результата разработки для всех категорий потребителей ЭКБ? // Сб. докладов 3-й Международной научной конференции «Электронная компонентная база и электронные модули». — М.: ТЕХНОСФЕРА, 2017. — С. 32–36.
9. Gasiot G., Giot D., Roche P. *Multiple Cell Upsets as the Key Contribution to the Total SER of 65 nm CMOS SRAMs and Its Dependence on Well Engineering* // IEEE Trans. Nucl. Sci. 2007. V. 54. № 6. — P. 2468–2473.
10. Герасимов Ю. М., Григорьев Н. Г., Кобыляцкий А. В., Меньшенин Л. В. Компилятор блоков статического ОЗУ. Свидетельство об официальной регистрации программы для ЭВМ № 2018614924, 6 марта 2018 г.

in a wide range of linear energy transfers and higher single and multiple failure tolerance.

2. The concept of memory IP-block compilers and general requirements to them.
3. SRAM IP-block and register file compilers using basic 90 nm CMOS technology.

REFERENCES

1. STP ILTA 13.00.00-09. Standart predpriyatiya: Mikroskhemy integral'nye. Marshrut avtomatizirovannogo proektirovaniya sistem na kristalle. Moskva: NIIMA «Progress», 2009. 16 p. (In Russian).
2. Barinov V. V., Berезin A. S., Verner V. D., Gerasimov Yu. M. i dr. *Sverkhbol'shie integral'nye mikroskhemy operativnykh zapominayushchikh ustroystv* // Pod red. V. D. Vernera. M.: Radio i svyaz', 1991. 272 p. (In Russian).
3. Gerasimov Yu. M., Grigor'ev N. G. *Elementy pamyati dlya radiatsionno-stoikikh KMOП OZU* // Estestvennye i tekhnicheskie nauki. Izd. «Sputnik+», 2011. № 6. P. 499–504. (In Russian).

4. Gerasimov Yu. M., Grigor'ev N. G., Gusev V. V., Kobylyatskii A. V., Petrichkovich Ya. Ya. *Radiatsionno-stoikie KMOП SBIS OZU po tekhnologii ob'emnogo kremniya* // Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem — 2014. Sb. trudov / pod obshch. red. A. L. Stempkovskogo. M.: IPPM RAN, 2014. P. 171–176. (In Russian).
5. Clark L. T., Mohr K. C., Holbert K. E., Yao X. *Optimizing Radiation Hard by Design SRAM Cells* // IEEE Trans. Nucl. Sci. 2001. V. 54. № 6. P. 2028–2036.
6. Benigni M., Liberali V., Stabile A., Calligaro C. *Design of Rad-Hard SRAM Cells: A Comparative Study* // 27th International Conference on Microelectronics Proceedings. Nis. 2010. P. 279–282.
7. Roche P., Gasiot G., Uznanski S. et al. *A Commercial 65nm CMOS Technology for Space Application: Heavy Ion, Proton and Gamma Test Results and Modeling* // IEEE Trans. Nucl. Sci. 2010. V. 57. № 4. P. 2079–2088.

8. Nikiforov A. Yu., Telets V. A., Boichenko D. V. *Trebovaniya radiatsionnoi stoikosti — ekzotika dlya gurmanov ili garantiya nalichiya i tekhnicheskogo urovnya rezul'tata razrabotki dlya vsekh kategorii potrebiteli EKB?* // Sb. trudov 3-ei Mezhdunarodnoi nauchnoi konferentsii «Elektronnaya komponentnaya baza i elektronnye moduli». M.: Tekhnosfera, 2017. P. 32–36. (In Russian).
9. Gasiot G., Giot D., Roche P. *Multiple Cell Upsets as the Key Contribution to the Total SER of 65 nm CMOS SRAMs and Its Dependence on Well Engineering* // IEEE Trans. Nucl. Sci. 2007. V. 54. № 6. P. 2468–2473.
10. Gerasimov Yu. M., Grigor'ev N. G., Kobylyatskii A. V., Men'shenin L. V. *Kompilyator blokov staticheskogo OZU. Svidetel'stvo ob ofitsial'noi registratsii programmy dlya EVM № 2018614924, 6 marta 2018 g.* (In Russian).