



УДК 621.382+621.396.6

DOI: 10.22184/NanoRus.2019.12.89.327

ПРОЕКТИРОВАНИЕ ТЕСТОВОГО КРИСТАЛЛА ДЛЯ ИССЛЕДОВАНИЯ МЕТОДОВ ОБЕСПЕЧЕНИЯ РАДИАЦИОННОЙ СТОЙКОСТИ

DESIGNING TEST CRYSTALS FOR STUDYING METHODS OF ENSURING RADIATION HARDNESS

ШАЛАШОВА ЕЛЕНА СЕРГЕЕВНА

SHALASHOVA ELENA S.

ПИВКО ОКСАНА СЕРГЕЕВНА

PIVKO OKSANA S.

ФАТЕЕВ ИВАН АЛЕКСАНДРОВИЧ

FATEYEV IVAN A.

fateev@mri-progress.ru

fateev@mri-progress.ru

ГАЛИМОВ АРТУР МАРАТОВИЧ

GALIMOV ARTUR M.

МАТВЕЕВ ДМИТРИЙ ВАЛЕРЬЕВИЧ

MATVEEV DMITRIY V.

КУЛИКОВ ДМИТРИЙ ВАСИЛЬЕВИЧ

KULIKOV DMITRIY V.

АЛЕКСАНДРОВ АЛЕКСЕЙ ВАЛЕРЬЕВИЧ

ALEKSANDROV ALEXEI V.

АО «НИИМА «Прогресс»

125183, г. Москва, проезд Черепановых, 54

Microelectronics Research Institute PROGRESS JSC

("PROGRESS MRI" JSC)

54 Cherepanovykh Lane, Moscow, 125183, Russia

Данная работа посвящена разработке концепции тестового кристалла с целью сравнения методов защиты от факторов космического пространства. Для обеспечения радиационной стойкости разработаны базисные элементы библиотеки с использованием схмотехнических и топологических методов защиты, разработаны триггеры и clock gating-ячейка с использованием DICE-схмотехники.

Ключевые слова: радиационная стойкость, DICE-триггер, ячейка clock gating.

This work presents a test chip concept aimed at studying the mitigation techniques against the space radiation impact on digital circuits. To provide the radiation hardness, the basic logic library with design hardening has been developed. Hardened flip-flops and DICE-like clock-gating cells have been designed.

Keywords: radiation hardness; DICE flip-flop; clock gating cell.

В настоящее время активно ведутся работы по созданию стойких интегральных микросхем (ИМС) к ионизирующему излучению (ИИ) космического пространства (КП). Для надежного функционирования ИМС в условиях ИИ применяются схмотехнические, топологические и аппаратные методы защиты. Обратной стороной использования этих методов является увеличение площади кристалла, что ведет к увеличению конечной стоимости, и потеря быстродействия. В связи с этим на этапе проектирования разработчику приходится искать оптимальные решения.

Для решения данной задачи разработана концепция тестового кристалла, которая включает в себя различные способы защиты от ИИ КП. Для обеспечения стойкости к тиристорному эффекту и полной накопленной дозе разработан минимальный набор логических вентилей с использованием P+-охранного кольца вокруг n-канальных транзисторов. Для наблюдения деградации параметров транзисторов в условиях ионизации предусмотрен кольцевой генератор на инверторах. Касательно устойчивости к сбоям (SEU) планируется сравнение сечения сбоев различных вариантов топологии DICE-триггеров, блока регистров на стандартных триггерах с защитой кодом Хемминга и блоков с автоматической расстановкой стандартных триггеров. Библиотека дополнена ячейкой clock gating, основанной на DICE-структуре [1], в целях исследования влияния данного элемента на устойчивость к одиночным событиям цепей тактового сигнала.

Таким образом, в состав тестового кристалла входит 10 блоков:

- четыре блока с вариацией DICE-триггера с использованием:

- 1) пространственного разделения чувствительных областей (ЧО);
 - 2) «разрыва» n-кармана между ЧО p-канальных транзисторов;
 - 3) диффузионных областей между ЧО;
 - 4) методов 2) и 3), совмещенных в одной ячейке;
- два блока для исследования чувствительности к SEU триггеров с использованием стандартной ячейки clock gating и на DICE-структуре в цепи тактового сигнала;
 - два блока на стандартных триггерах. В первом расстановка триггеров производилась с определенным шагом, а пространство между ними заполнялось комбинационной логикой. Во втором использовалось плотное размещение с корректирующим кодом Хемминга;
 - для наблюдения динамического сечения сбоев предусмотрен сдвиговый регистр на стандартных триггерах;
 - блок кольцевого генератора на инверторах с охранными кольцами вокруг n-канальных транзисторов.
- Такая концепция тестового кристалла позволит сравнить разные методы защиты при радиационных испытаниях и определить оптимальное решение для заданного уровня воздействия и требуемой производительности.

ЛИТЕРАТУРА

1. Fateev I., Timoshenkov V. *Highly reliable SEE hardened clock gating cells* // Proceedings of the 2018 IEEE Russia Section Young Researchers in Electrical and Electronic Engineering Conference, Moscow Russia, 29 Jan. – 1 Feb. 2018. P. 1356–1359.