



УДК 621.382+621.396.6

DOI: 10.22184/NanoRus.2019.12.89.333.334

ПРОГРАММНО-АППАРАТНАЯ ВЕРИФИКАЦИЯ СБИС. СТАНДАРТ SCE-MI SOFTWARE AND HARDWARE VLSI VERIFICATION. SCE-MI STANDARD

НОВИЧКОВ СЕРГЕЙ ВИКТОРОВИЧ

novichkov@mri-progress.ru

БАНДУРИН ДМИТРИЙ ЕВГЕНЬЕВИЧ

АО «НИИМА «Прогресс»
125183, г. Москва, проезд Черепановых, 54

NOVICHKOV SERGEY V.

novichkov@mri-progress.ru

BANDURIN DMITRY E.

Microelectronics Research Institute PROGRESS JSC
("PROGRESS MRI" JSC)
54 Cherepanovsky Lane, Moscow, 125183, Russia

В данной работе рассматривается стандарт совместной программно-аппаратной верификации SCE-MI, а также преимущества использования ПЛИС для функциональной верификации СнК.

Ключевые слова: верификация; эмулятор; ПЛИС.

The paper considers standard Co-Emulation Modeling Interface (SCE-MI) and advantages of using FPGA for SoC functional verification.

Keywords: verification; emulator; FPGA.

При увеличении степени интеграции СБИС возрастает сложность функциональной верификации. Традиционно основным инструментом для решения задач функциональной верификации является симулятор, который с точностью до такта симулирует поведение модели на уровне регистровых передач, а также содержит в себе большое число инструментов для отладки кода. Для небольших проектов возможностей симулятора бывает достаточно для достижения приемлемого значения покрытия в ограниченных временных рамках. С увеличением числа СФ-блоков скорость симуляции существенно падает. На начальных этапах разработки проекта проблема частично решается повышением уровня абстракции и использованием поведенческих моделей СФ-блоков. Дальнейшая детализация проекта и замена поведенческих моделей эквивалентными RTL-описаниями значительно увеличивают время моделирования с использованием симулятора. Решением данной проблемы является либо использование для эмуляции, либо прототипирование в ПЛИС.

Платформа для эмуляции представляет собой вычислительную систему, которая способна имитировать поведение запограммированной в ней системы. За счет распараллеливания вычислений скорость моделирования возрастает на 3-4 порядка по сравнению с симулятором и соответствует частоте тактового сигнала системы порядка 5–10 МГц. Однако стоимость такого комплекса значительно ограничивает его распространение.

Прототипирование в ПЛИС является более доступным решением с финансовой точки зрения для верификации проекта и позволяет на ранней стадии проектирования запустить проект на частотах, близких к реальным, что дает возможность начать разработку и отладку целевого программного обеспечения.

В 2007 году компанией Accelera был разработан стандарт SCE-MI 2-й версии [1], описывающий принцип взаимодействия между двумя независимыми компонентами при совместной верификации, в частности между тестовым окружением, запущенным на ПК, и аппаратной частью в виде эмулятора или

ПЛИС. Стандарт максимально использует возможности расширения DPI (Direct Programming Interface) языка SystemVerilog и дополнительных механизмов, таких как каналы, для эффективного соединения кода, исполняемого на хосте (симуляторе), и эмулятора или ПЛИС. Стандарт выделяет три типа интерфейсов для взаимодействия: с использованием макросов, функций и каналов. Взаимодействие осуществляется путем посылки сообщений (транзакции) между моделями программной и аппаратной частей. В обеих моделях создаются порты для приема и передачи сообщений. Стандарт также описывает архитектуру моста, соединяющего эти две части.

Программная часть содержит в себе набор портов в виде классов для доступа в канал. Окружение содержит модели системного уровня, написанные на языках C, C++, которые могут взаимодействовать с пользовательским приложением или драйвером операционной системы для формирования тестовых воздействий. Когда модель будет переведена на RTL-описание, ее можно перенести в прототип или аппаратный ускоритель, а тестовое окружение менять не нужно.

В аппаратной части стандартом определяется набор портов для приема и передачи сообщений, а также набор транзакторов. Инфраструктура SCE-MI также содержит блок управления тактовым сигналом и сигналом сброса. Для аппаратной части, управляемой тактовым сигналом, SCE-MI-инфраструктура задает, каким образом транзакции посылаются на порты, определенные в программной части.

Транзакторы переводят последовательность битов, пришедших снаружи, в набор входных сигналов для устройства. После обработки данных транзактор принимает результат и сериализует сигналы в последовательность бит для отправки.

Современные средства разработки позволяют автоматизировать создание синтезопригодных портов аппаратной части и транзакторов, а также их конфигурирование.

Наряду с классическими тестовыми окружениями и высокуюровневыми тестами с использованием транзакций на языке SystemC все большую популярность приобретает универсальная методология верификации UVM, основу которой составляет



набор классов на языке SystemVerilog. UVM, так же как и стандарт SCE-MI, использует связь на уровне транзакций между тестовым окружением и тестируемым объектом. При использовании UVM переход от симулятора к эмулятору или ПЛИС осуществляется несложной заменой классов драйвера и монитора. Для большинства коммерческих решений платформ совместной верификации доступны представления стандартных системных шин и периферийных интерфейсов с использованием классов UVM как для моделирования (Verification IP), так и для эмуляции и прототипирования.

В публикациях [2, 3] указываются следующие оценки ускорения при использовании SCE-MI для совместной верификации:

- сокращение времени обработки изображения (JPEG-преобразование) с 700 секунд для симулятора с RTL-описанием до 0,16 секунд для совместной верификации с использованием SCE-MI;
- сокращение времени тестирования схемы-бенчмарка ISCAS89 S400 (162 логических элемента) с полным набором тестовых векторов с 921 секунд для симулятора

с RTL-описанием до 379 секунд для совместной верификации с использованием SCE-MI.

При собственной оценке без использования коммерческих решений в качестве DUT использовались троированные модули шифрования AES-128, блока вычислений с плавающей точкой (FPU) и блока для расчета sin и cos с интерфейсом АНВ, в качестве транспортного протокола использовался Ethernet UDP. Значение коэффициента ускорения в рамках проведенного эксперимента составило 16,7.

ЛИТЕРАТУРА

1. Accellera, Standard Co-Emulation Modelling Interface (SCE-MI) Reference Manual, Version 2.4, 2016.
2. Bill Jason Pidlaon Tomas, *Co-Emulation of Scan-Chain Based Designs Utilizing SCE-MI Infrastructure*, University of Nevada, 2014.
3. Doug Amos, Austin Lesea, René Richter. *FPGA-Based Prototyping Methodology Manual. Best Practices in Design-for-Prototyping*, 2011.

КНИГИ ИЗДАТЕЛЬСТВА "ТЕХНОСФЕРА"



МЕТОДЫ АНАЛИЗА ЛОГИЧЕСКИХ КОРРЕЛЯЦИЙ ДЛЯ САПР ЦИФРОВЫХ КМОП СБИС

С. В. Гаврилов

Цена 275 руб.

В книге рассматриваются методы и алгоритмы анализа логических корреляций в цифровых КМОП-схемах. Показаны возможности использования логических корреляций для повышения качества результатов проектирования в анализе помехоустойчивости и быстродействия схем. Известные из литературы модели логического анализа formalизованы и адаптированы к специфике цифровых КМОП-схем. Показаны эффективность разработанных методов и их высокий потенциал при проектировании КМОП СБИС.

Книга основана на результатах, полученных в учреждении Российской академии наук – Институте проблем проектирования в микроэлектронике РАН (ИППМ РАН).

Материал, изложенный в книге, является основой лекционного курса для магистров факультета ЭКТ Московского института электронной техники, обучающихся по направлению «Электроника и микроэлектроника», а также предназначен для научных работников и инженеров, специализирующихся в области методов математического моделирования САПР СБИС.

М.: ТЕХНОСФЕРА, 2011. – 136 с.
ISBN 978-5-94836-280-9

КАК ЗАКАЗАТЬ НАШИ КНИГИ?

✉ 125319, Москва, а/я 91; ☎ +7 (495) 234-0110; ☎ +7 (495) 956-3346; knigi@technosphera.ru, sales@technosphera.ru