



УДК 621.3.049.774

DOI: 10.22184/NanoRus.2019.12.89.404.414

ИССЛЕДОВАНИЕ И РАЗРАБОТКА ИНТЕГРАЛЬНЫХ ПРИЕМОПЕРЕДАЮЩИХ МОДУЛЕЙ АФАР

AESA INTEGRATED TRANSCEIVER MODULES RESEARCH AND DESIGN

ФИЛИППОВ ИВАН ФЁДОРОВИЧ

Инженер

IFFilippov@sevsu.ru

FILIPPOV IVAN F.

Engineer

IFFilippov@sevsu.ru

КРАВЧЕНКО ИВАН ВИТАЛЬЕВИЧ

Инженер

IVKravchenko@sevsu.ru

KRAVCHENKO IVAN V.

Engineer

IVKravchenko@sevsu.ru

СНЕГУР ДМИТРИЙ АЛЕКСАНДРОВИЧ

Инженер

DASnegur@sevsu.ru

SNEGUR DMITRIY A.

Engineer

DASnegur@sevsu.ru

БУДНЯЕВ ВАДИМ АНДРЕЕВИЧ

Инженер

VABudnyaev@sevsu.ru

BUDNYAEV VADIM A.

Engineer

VABudnyaev@sevsu.ru

ВЕРТЕГЕЛ ВАЛЕРИЙ ВИКТОРОВИЧ

К. т. н., доц., директор инженерингового центра изделий микро- и нанoeлектроники СевГУ

VVVertegel@sevsu.ru

VERTEGEL VALERY V.

Ph.D

gimpilevich@sevsu.ru

ГИМПЛЕВИЧ ЮРИЙ БОРИСОВИЧ

Д. т. н., проф., директор Института радиоэлектроники и информационной безопасности СевГУ

gimpilevich@sevsu.ru

GIMPILEVICH YURI B.

Sc.D, professor

gimpilevich@sevsu.ru

Инженеринговый центр изделий микро- и нанoeлектроники СевГУ Научно-исследовательская лаборатория

«Разработка интегральных схем»

299053, г. Севастополь, ул. Университетская, 33

Тел.: +7 (978) 73-01-627

SevSU Engineering Center of Micro- and Nanoelectronics Devices

“Integrated circuits design” Research Laboratory

33 Universitetskaya St., Sevastopol, 299053

Tel.: +7 (978) 73-01-627

В докладе представлены результаты обзора интегральных приемопередающих модулей (ППМ) активных фазированных антенных решеток (АФАР). Обсуждаются вопросы разработки и применения систем коррекции параметров интегральных ППМ. Приведены результаты разработки интегральной схемы управления амплитудой и фазой сигнала диапазона 4–6 ГГц на основе 0,18 мкм SiGe БиКМОП-технологии.

Ключевые слова: АФАР; Core Chip; линия связи 5G; C-диапазон; SiGe; БиКМОП; многофункциональная схема; управление амплитудой и фазой; фазовращатель; аттенюатор.

The paper presents the results of a review of integrated transceiver modules for active electronically scanned arrays (AESA) and highlights issues of design and application of integrated transceivers' parameters correction systems. Design results of amplitude/phase control of integrated circuit in frequency range 4–6 GHz based on 0.18 μm SiGe BiCMOS technology have been presented.

Keywords: AESA; Core Chip; 5G communication link; C-band; SiGe; BiCMOS; multifunctional circuit; amplitude and gain control; phase shifter; attenuator.

ВВЕДЕНИЕ

Активные фазированные антенные решетки (АФАР) широко используются в оборонной отрасли: системах радиолокации и радионавигации, радиоэлектронной борьбы. Для систем АФАР достижимы более широкие диапазоны обнаружения цели по сравнению с механически управляемыми антеннами. Они более надежны по сравнению с механическими аналогами

и требуют меньших затрат на техническое обслуживание. Конкурентные радиолокационные приложения технологии фазированных антенных решеток традиционно связаны с устройствами на основе технологий группы A_3B_3 , которые обладают хорошими мощностными характеристиками.

До настоящего времени АФАР мало применяются в системах радиочастотной связи. Гражданские приложения технологии,

в частности для будущих сетей связи пятого поколения (5G), ограничены высокой стоимостью системы [1]. Она, в свою очередь, во многом обусловлена большим числом и высокой стоимостью активных приемопередающих модулей (ППМ). Это приводит к необходимости разработки недорогих и в то же время высококачественных компактных приемопередатчиков.

В настоящее время широко представлены приемопередающие модули, построенные преимущественно на основе дорогих из арсенида галлия (GaAs) СВЧ монолитных интегральных схем (МИС) [2]. Мировыми лидерами производства указанных микросхем являются компании MACOM, OMMIC, Astra Microwave Products Ltd., UMS, METDA Technology Co. Отечественными предприятиями АО «НПП «Исток» им. Шокина», НПФ «Микран», АО «НИИПП» выпускаются интегральные схемы для построения приемопередающих модулей АФАР на основе GaAs-технологий преимущественно для применения в оборонной отрасли.

Применение сложно-функциональных интегральных схем (Core Chips) на основе кремниевых (Si) и кремний-германиевых (SiGe) технологий позволит снизить стоимость систем на основе АФАР, особенно при их массовом производстве [3]–[9]. Выбор SiGe БиКМОП технологического процесса позволяет решить проблему интеграции аналоговой и цифровой частей приемопередатчика и снизить стоимость его производства. Более того, устройства на основе SiGe-технологии обладают лучшими динамическими характеристиками по сравнению с аналогами, реализованными на основе стандартных КМОП-техпроцессов. Эти характеристики оказывают значительное влияние на производительность приемопередатчиков.

Лидером по выпуску кремниевых СВЧ многофункциональных микросхем для применения в перспективных системах связи 5G, спутниковых системах связи и коммерческих радарх является американская fabless-компания Anokiwave [10]. Разработки интегральных схем отдельных функциональных блоков приемопередающих модулей АФАР (СВЧ переключателей, дискретных фазовращателей и аттенуаторов, малошумящих усилителей) на основе библиотек элементов кремний-германиевых

технологий производства в настоящее время ведутся в ОАО «НИИМЭ и Микрон», АО «НИИМА «Прогресс», АО «НИИПП», а также в НИЯУ «МИФИ», ТУСУР и на других предприятиях электронной промышленности России.

Таким образом, сложно-функциональные монолитные интегральные схемы (СФ МИС) для управления амплитудой и фазой сигналов в системах АФАР, основанные на кремниевых и кремний-германиевых технологиях, недостаточно широко представлены на отечественном рынке. В связи с этим была поставлена задача проектирования и производства отечественных многофункциональных кремниевых СВЧ-микросхем, не уступающих по своим характеристикам лучшим зарубежным аналогам.

В статье представлены результаты разработки сложно-функциональной монолитной интегральной схемы приема/передачи сигналов для активных фазированных антенных решеток С-диапазона, выполненной на основе 0,18 мкм SiGe БиКМОП технологического процесса.

ПРОЕКТИРОВАНИЕ СФ МИС

Структурная схема

Структурная схема разрабатываемой СФ МИС приведена на рис. 1. Управляемый аттенуатор (УАТТ-1) в составе СФ МИС обеспечивает возможность регулировки коэффициента передачи схемы в диапазоне от 0 до –31 дБ с шагом 1 дБ (разрядность 5 бит). Управляемый фазовращатель (УФВ-1) позволяет регулировать относительную фазу выходного сигнала в диапазоне от 0 до 360° с шагом 5,625° (разрядность 6 бит). Переключение режимов работы приема и передачи СФ МИС осуществляется двухпозиционными переключателями ПРК-1, ПРК-2 и ПРК-3. Малошумящий усилитель (МШУ) и усилитель мощности (УМ) обеспечивают компенсацию потерь в трактах приема и передачи и дополнительное усиление при обработке СВЧ-сигнала. Интегральный датчик температуры (ДТ) формирует температурно-зависимое напряжение и преобразует его в цифровые коды. На основе этих кодов блок цифрового управления

INTRODUCTION

Active electronically scanned arrays (AESA) are widely used in the military-industrial complex: radars, radio navigation and electronic warfare systems. Extended detection ranges are attainable for AESA as compared to mechanically steerable antennas. They are more reliable than their mechanical counterparts and provide reduced maintenance efforts. Traditionally, A₃B₃ group of technologies feature good power characteristics for competitive radar solutions. This leads to their use in electronically steerable antenna systems.

Up to now AESA have been less implemented for radio frequency communication systems. Civil applications of this technology, in particular for future fifth generation (5G) cellular networks, are limited by the high cost of the system [1]. It is largely determined by the large number and high cost of active transceiver blocks. This leads to the need to design low-cost and at the same time high-performance, compact transceivers.

Currently, transceiver modules, which are built primarily on the basis of high-cost gallium arsenide (GaAs) microwave monolithic integrated circuits (MMICs), are widely represented [2]. The world leaders in the production of these types of integrated circuits are MACOM, OMMIC, Astra Microwave Products Ltd., UMS, METDA Technology Co. Russian research and production companies, such as JSC “RPC “Istok” named after Shokin”, SPC “Micran”, JSC “NIIPP”, produce integrated circuits for building AESA transceiver modules based on GaAs technologies mainly for use in the defense industry.

Application of complex multifunctional integrated circuits (Core Chips) based on silicon (Si) or silicon-germanium (SiGe) technologies will reduce the cost of AESA based systems, especially in mass production [3]–[9]. Selection of the SiGe BiCMOS process solves the integration problem of transceiver analog and digital part and reduces its fabrication cost.

Moreover, SiGe devices have better dynamic characteristics than analogues, which are developed on the basis of standard CMOS processes. These parameters greatly affect the performance of the transceivers.

The leader in the production of silicon microwave multifunctional chips for advanced 5G communication systems, satellite communications systems and commercial radars is Anokiwave fabless semiconductor company [10]. Development of separate functional blocks integrated circuits for AESA transceiver modules (microwave switches, discrete phase shifters and attenuators, low noise amplifiers) based on the silicon-germanium technologies are currently underway in PJSC “Micron”, JSC “Progress MRI”, JSC “NIIPP”, National Research Nuclear University MEPhI, Tomsk State University of Control Systems and Radioelectronics and other companies of Russia’s electronics industry.

Thus, complex multifunctional monolithic integrated circuits for amplitude/phase

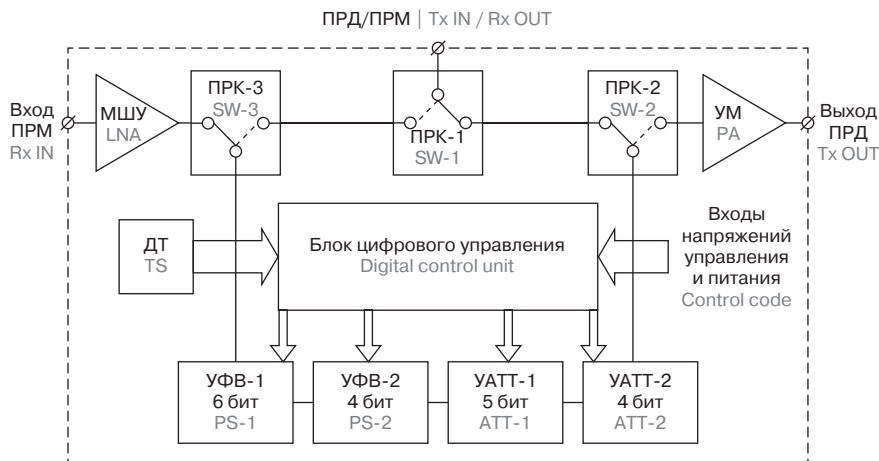


Рис. 1. Структурная схема СФ МИС управления амплитудой и фазой сигнала

Fig. 1. Block diagram of the designed Core Chip

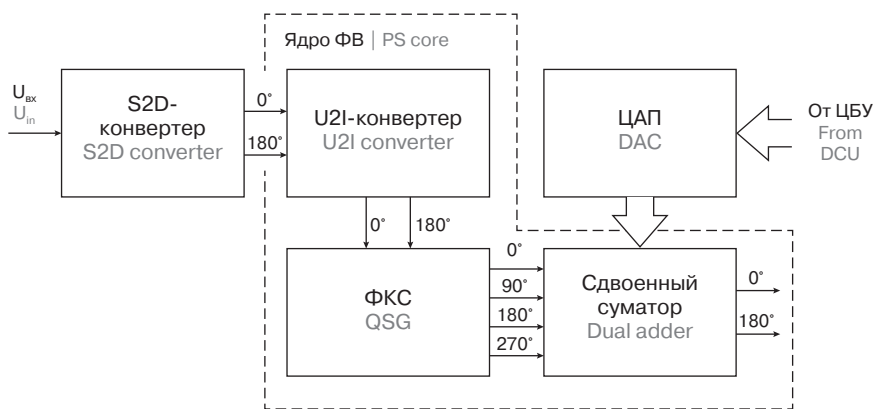


Рис. 2. Структурная схема УФВ

Fig. 2. Block diagram of the VSPS

control in AESA systems based on silicon and silicon-germanium technologies are not yet widely represented in the domestic market. In this regard, the task of designing and producing domestic multifunctional silicon-based microwave integrated circuits that are not inferior in their characteristics to the best foreign analogues has been set.

This paper presents the design of the transmit/receive multifunctional integrated circuit for C-band active electronically scanned arrays based on SiGe BiCMOS 0.18 μm technology.

CORE CHIP DESIGN

Block diagram

The block diagram of the designed transmit/receive phased array integrated circuit is shown in Fig. 1. A common leg circuit structure is used in designed Core Chip. Digitally controlled attenuator (ATT-1) as part of transceiver IC provides the possibility to adjust transfer coefficient of the circuit in a range from 0 to -31 dB with 1 dB step

(5 bit resolution). Digitally controlled phase shifter (PS-1) allows adjusting relative phase of the output microwave signal in a range from 0 to 360 degrees with 5.625 degrees step (6 bit resolution). Switching between receive and transmit modes of Core Chip is provided by single pole double through (SPDT) integrated switches (SW-1, SW-2, SW-3). Low noise amplifier (LNA) and power amplifier (PA) main functions are to compensate for losses in receive and transmit paths and provide additional amplification in processing the microwave signal. Integrated temperature sensor (TS) generates temperature-dependent voltage and converts it into digital codes. Based on these codes, digital control unit (DCU) corrects phase and amplitude shifts by changing states of additional corrective phase shifter (PS-2) and attenuator (ATT-2).

Phase shifters

The functional block of the main digitally controlled phase shifter is based on the

(БЦУ) осуществляет коррекцию сдвига фазы и ослабления, изменяя состояния дополнительных фазовращателя (УФВ-2) и аттенюатора (УАТТ-2).

Фазовращатели

Функциональный блок основного управляемого фазовращателя построен на основе метода векторного сложения ортогональных сигналов. Управляемые векторные фазовращатели (УВФВ) лишены недостатков пассивных фазовращателей — существенного вносимого ослабления сигнала и относительно высокого значения фазовой погрешности [11]. Однако сигнал на выходе векторного УВФВ подвержен паразитной амплитудной модуляции величиной до 3 дБ. Устранить данный недостаток позволило применение схемы корректора амплитудной погрешности.

Структурная схема разработанного УВФВ представлена на рис. 2. Разработанный фазовращатель состоит из преобразователя несимметричного сигнала в симметричный (S2D-конвертера), ядра фазовращателя (ядра ФВ) и цифроаналогового преобразователя (ЦАП). Он обеспечивает регулировку фазы выходного сигнала в диапазоне 360° с шагом $5,625^\circ$.

Упрощенная принципиальная схема ядра управляемого фазовращателя приведена на рис. 3.

Входной S2D-конвертер с коэффициентом передачи 1,5–2,2 дБ в частотном

method of vector addition of orthogonal signals. Vector-sum phase shifters (VSPS) are free from disadvantages of passive analogues such as significant insertion loss and relatively high phase error values [11]. However, the signal at the output of VSPS is exposed to parasitic amplitude modulation up to 3 dB. The use of the amplitude error correction scheme eliminates this drawback.

A block diagram of VSPS is shown in Fig. 2. The designed phase shifter consists of single to differential input converter (S2D converter), phase shifter core (PS core) and digital to analog converter (DAC). It provides 360 degrees phase adjusting range with 5.625 degrees step.

A schematic diagram of PS core is shown in Fig. 3.

Input S2D converter with gain factor 1.5–2.2 dB in frequency range 4–6 GHz is used for splitting the input signal into differential components. Differential signal from S2D converter passes through voltage to current converter (U2I converter) based on differential

диапазоне 4–6 ГГц используется для разделения входного сигнала на дифференциальные компоненты. Дифференциальный сигнал от S2D-преобразователя попадает на преобразователь напряжения в ток (U2I-конвертер), основанный на дифференциальном каскаде (транзисторы Q9 и Q12 на рис. 3). Отрицательная обратная связь (резистор R8 и конденсатор C1) применяется для компенсации емкостного входного импеданса формирователя квадратурных сигналов (ФКС). Трехкаскадный полифазный фильтр в ядре ФВ (I1 на рис. 3) формирует квадратурные сигналы с относительными фазовыми и амплитудными погрешностями менее 0,8° и 50 мдБ соответственно.

Выходной сигнал с необходимой фазой формируется из квадратурного входного сигнала в двоярном сумматоре на основе ячеек Гильберта (пары транзисторов Q5 и Q6, Q7 и Q8, Q10 и Q11, Q13 и Q14). Использование нелинейной нагрузки (транзисторы Q1, Q3, Q15 и Q17) позволяет скомпенсировать нелинейную регулировочную характеристику ФВ (зависимость коэффициента передачи ячейки Гильберта от управляющего кода). Выходные каскады с общим коллектором (транзисторы Q19 и Q21) снижают выходной импеданс и повышают нагрузочную способность двоярного сумматора. Выбранная структура, в которой квадратурные сигналы формируются после U2I-конвертера, может значительно снизить потребление мощности интегрального активного ФВ.

Для управления коэффициентами передачи в каждом из четырех каналов векторного сумматора используется схема токового ЦАП

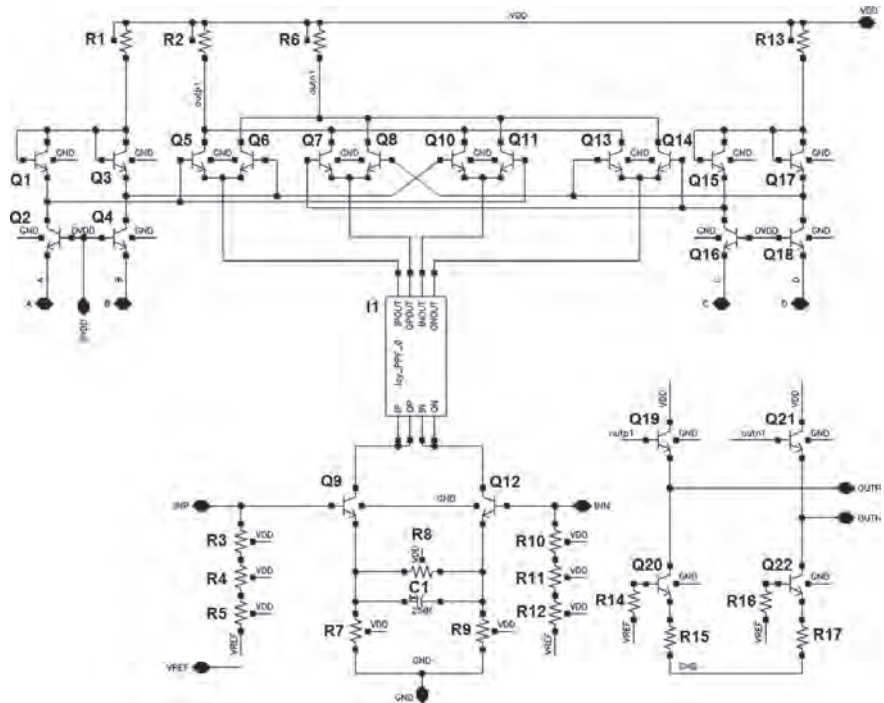


Рис. 3. Принципиальная схема ядра ФВ

Fig. 3. Schematic diagram of the PS core

разрядностью 8 бит. Четыре наиболее значащих бита ЦАП формируются при помощи матричной R-2R-схемы. Для формирования четырех менее значащих битов применяется техника сегментирования. Каскадируемые токовые зеркала определяют величину разрешения ЦАП по току. Нелинейный управляющий сигнал формируется цифровым блоком управления для снижения паразитной амплитудной модуляции с 3 дБ до значения порядка 0,2 дБ (в соответствии с результатами посттопологического моделирования).

stage (transistors Q9 and Q12 in Fig. 3). Negative feedback (resistor R8 and capacitor C1) is used to compensate for capacitive input impedance of quadrature signal generator (QSG). Three-stage polyphase filter in phase shifter core (I1 in Fig. 3) forms quadrature signals with relative phase and amplitude errors below 0.8 degrees and 50 mdB, respectively.

Output signal with needed phase is generated from quadrature input signal in dual vector adder based on Gilbert cells (pairs of transistors Q5 and Q6, Q7 and Q8, Q10 and Q11, Q13 and Q14). The use of non-linear load (transistors Q1, Q3, Q15, and Q17) allows compensating for non-linear control characteristic (dependence of Gilbert cell transfer ratio on control code). Output common collector stages (transistors Q19 and Q21) lower output impedance and increase load capability of dual adder. The chosen structure, in which the quadrature signals are generated after the U2I converter, can significantly reduce power consumption of the integrated active PS.

To control the gain factors in each of the four channels of the vector combiner, 8-bit DAC current producing scheme has been used. Four most significant bits of DAC are formed by R-2R ladder network. Segmenting technique is used in order to form least significant four bits of DAC. Cascaded current mirrors are used to define the value of DAC current resolution. A non-linear control signal is produced by digital control interface to decrease parasitic amplitude modulation from 3 dB to 0.2 dB (according to post-layout simulation results).

Standard deviations of absolute phase and amplitude errors of the main PS in operating frequency range are below 1.2 degrees and 0.3 dB, respectively.

Block and schematic diagrams of the corrective PS-2 are similar to those of the main phase shifter. The difference is in reduced number of bits and range of the output signal phase adjustment of the circuit to 4 bits and 8 degrees, respectively.

Attenuators

Digitally controlled main attenuator is based on variable gain amplifier topology. It consists of two blocks: VGA core and gain control circuit. A block diagram of the ATT is shown in Fig. 4.

A simplified circuit diagram of the VGA core is shown in Fig. 5.

VGA core consists of differential stage based on transistors Q2, Q4 and resistive load R1 and R2. Transfer ratio of this stage depends on the bias current, which is produced by the exponential current generator based on transistor Q5.

Classic differential stage has a limited dynamic range at high frequencies. Base-collector capacitances of transistors Q2 and Q4 at high frequencies provide a parasitic path for input signal of VGA core. When the bias current is relatively low, the parasitic path becomes dominant. It limits the minimum transfer ratio that can be attained by differential pair. Significant improvement is achieved by using cross-coupled floating-emitter transistor dummy pair (transistors Q1 and Q3), as shown in Fig. 5 [12].



Среднеквадратическое отклонение (СКО) абсолютных фазовой и амплитудной погрешности в диапазоне рабочих частот не превышает 1,2° и 0,3 дБ соответственно.

Структурная и принципиальная схемы корректирующего УФВ-2 подобны структуре и схемам основного УФВ-1. Отличие заключается в уменьшении числа разрядов и диапазона регулировки фазы выходного сигнала схемы до 4 бит и 8° соответственно.

Аттенюаторы

Для основного управляемого аттенюатора (УАТТ) выбрана топология усилителя с изменяемым коэффициентом передачи. Он состоит из двух блоков: ядра УАТТ и схемы управления усилением. Функциональная схема УАТТ приведена на рис. 4.

Упрощенная принципиальная схема ядра УАТТ приведена на рис. 5.

Ядро УАТТ состоит из дифференциального каскада на основе транзисторов Q2, Q4 и резистивной нагрузки R1 и R2. Коэффициент передачи данного каскада зависит от величины тока смещения, вырабатываемого генератором экспоненциального тока на основе транзистора Q5.

Классический дифференциальный каскад обладает ограниченным динамическим диапазоном на высоких частотах. Емкости база — коллектор транзисторов Q2 и Q4 на высоких частотах создают паразитные пути для входного сигнала ядра УАТТ. При относительно малом токе смещения паразитные эффекты начинают преобладать. Это ограничивает минимальное значение коэффициента передачи, которое может быть достигнуто для дифференциального каскада. Значительное улучшение достигается за счет использования пары встречно включенных транзисторов с «плавающим эмиттером» [12] (транзисторы Q1 и Q3), как показано на рис. 5. Каскады с общим коллектором на выходе дифференциального каскада ядра УАТТ обеспечивают согласование со следующим функциональным блоком ИС приемопередатчика. Принципиальная схема цепей управления усилением ядра УАТТ показана на рис. 6.

Напряжение питания схемы управления усилением составляет 2,5 В. Его значение выбрано исходя из логических уровней цифровой части интегральной схемы ППМ. Схема токового

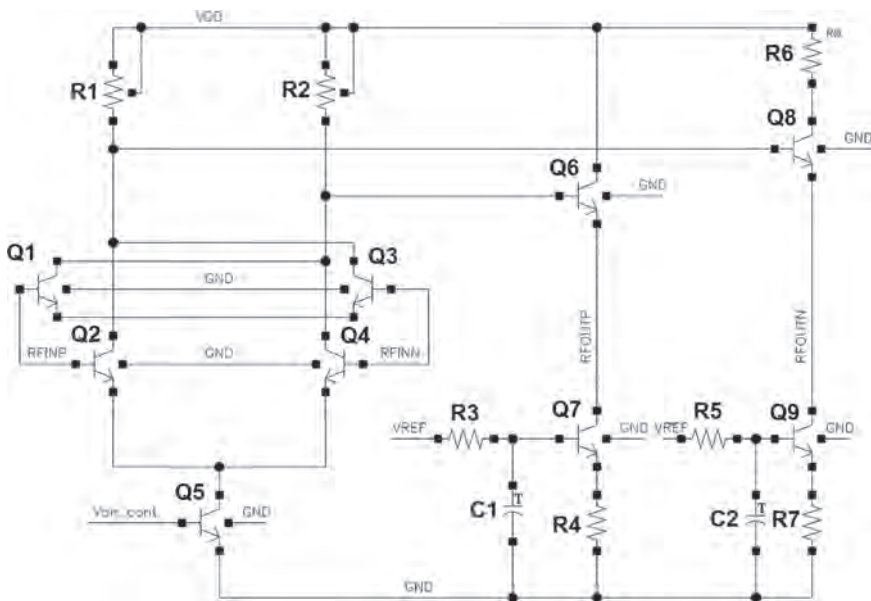


Рис. 5. Принципиальная схема ядра УАТТ

Fig. 5. Schematic diagram of VGA core

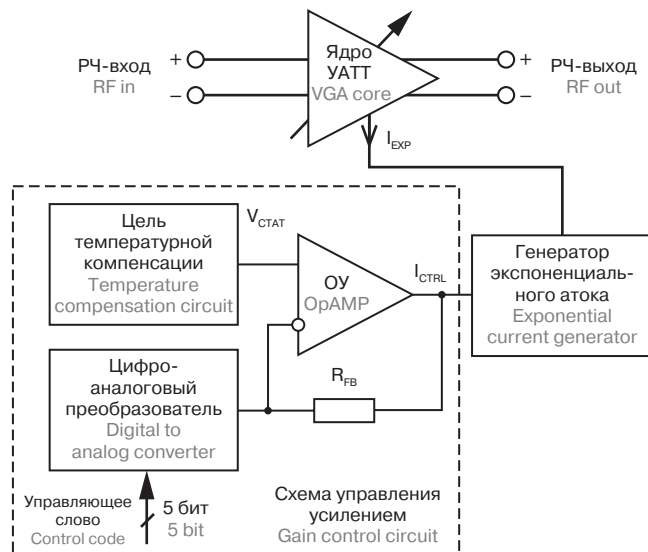


Рис. 4. Функциональная схема управляемого аттенюатора

Fig. 4. Block diagram of the digitally controlled ATT

цифроаналогового преобразователя применяется для управления коэффициентом передачи ядра УАТТ. Она основана на каскадируемых токовых зеркалах. Токовое зеркало (транзисторы M1, M3) устанавливает начальное смещение коэффициента передачи ядра УАТТ. Транзисторы M24—M26 генерируют опорный ток для каскадов токовых зеркал. Размеры транзисторов в шести секциях ЦАП определяют величину токов данных секций. Они выбраны исходя из требуемого коэффициента передачи.

Изменение температуры кристалла приводит к изменению коэффициента передачи дифференциального каскада. Для компенсации колебания температуры транзистором Q1 и резистором R1 формируется обратно пропорционально температуре напряжение (V_{CTAT}). Падение напряжения на резисторе обратной связи R6 зависит от выходного тока ЦАП (рис. 6). Трехкаскадный операционный усилитель (ОУ) с коэффициентом передачи порядка 100 дБ обрабатывает сигнал с выхода ЦАП

и цепи температурной коррекции. Выходное напряжение ОУ определяется как разность между V_{CTAT} и V_{RFB} . Таким образом, выходной сигнал схемы управления усилением зависит от V_{CTAT} и падения напряжения на резисторе обратной связи R6 (рис. 6). Differential to single (D2S) конвертер на основе дифференциального каскада с симметричной нагрузкой и буферными усилителями преобразует выходной дифференциальный сигнал ядра УАТТ в несимметричный. D2S-конвертер обеспечивает усиление сигнала порядка 5 дБ при потреблении 5,5 мА тока от источника напряжением 5 В.

Диапазон изменения коэффициента передачи УАТТ-1 составляет 31,3 дБ на центральной частоте 5 ГГц. При этом неравномерность коэффициента передачи не превышает 1,38 дБ. Во всем диапазоне рабочих частот абсолютная погрешность установления коэффициента

передачи не превышает 0,48 дБ, средне-квадратическое отклонение составляет 0,178 дБ.

Функциональный блок корректирующего УАТТ-2 повторяет схемотехнику основного аттенюатора. Отличие заключается в уменьшении диапазона регулировки коэффициента передачи схемы и числа разрядов цифрового управляющего сигнала.

Малозумящий усилитель

Принципиальная схема трехкаскадного малозумящего усилителя приведена на рис. 7. Первый каскад по схеме с общей базой на основе транзистора Q1 применяется для обеспечения согласования входного импеданса МШУ с сопротивлением 50 Ом в широкой полосе частот. Каскадный усилитель на полевых транзисторах M1 и M2 благодаря частичному устранению влияния эффекта Миллера обеспечивает высокий коэффициент усиления по напряжению без сужения рабочей полосы частот. Каскад на основе Q2 обеспечивает выходное согласование МШУ с последующим каскадом.

МШУ по результатам посттопологического моделирования обеспечивает коэффициент усиления 22 дБ при коэффициенте шума порядка 4,5 дБ. Неравномерность коэффициента передачи в рабочем диапазоне частот не превышает 0,5 дБ. Точка компрессии 1 дБ по входу составляет -21,5 дБм. Потребляемая от источника напряжения 2,5 В мощность составляет 13,8 мВт.

СВЧ-переключатели

Однополюсные переключатели на два направления (рис. 8) основаны на двух последовательно включенных полевых

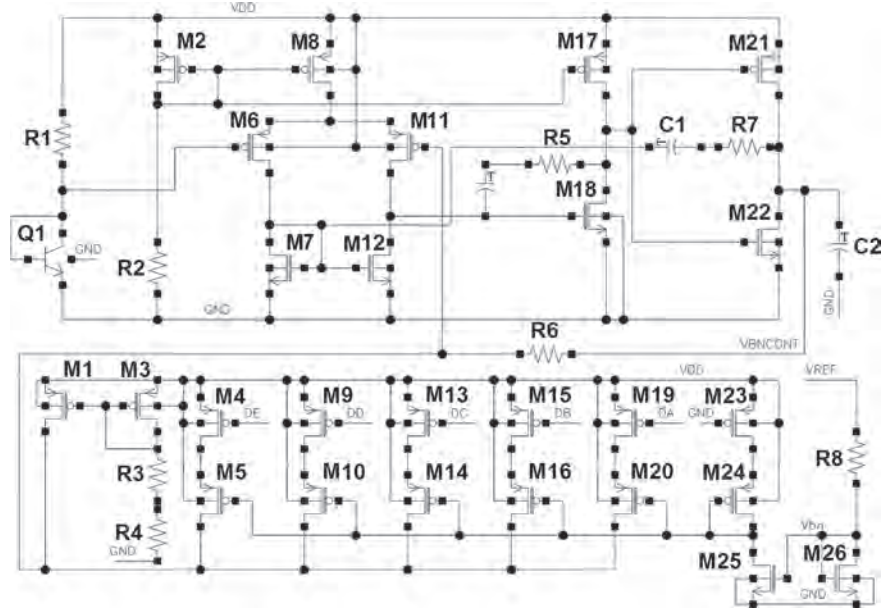


Рис. 6. Схема управления усилением

Fig. 6. Schematic diagram of the gain control circuit

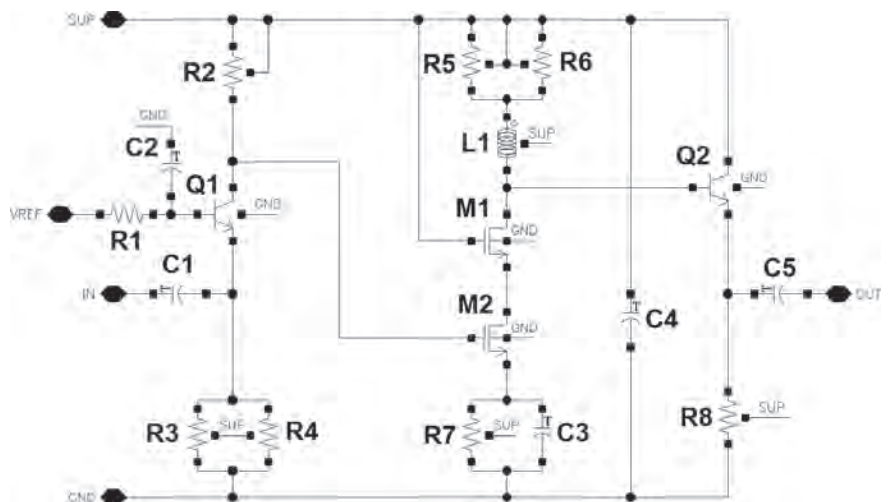


Рис. 7. Принципиальная схема МШУ

Fig. 7. Schematic diagram of the LNA

Common collector stages at the output of the VGA core differential stage provide matching to the next functional block of the transceiver IC. A schematic diagram of the gain control circuit is shown in Fig. 6.

Gain control circuit supply voltage is 2.5 V. It is chosen in accordance with the logic levels of digital part of transceiver integrated circuit. DAC current producing scheme is used to control the transfer ratio of the VGA core. It is based on cascaded current mirrors. Current mirror (transistors M1, M3) sets the initial offset of the VGA core transfer ratio. Transistors M24–M26 produce reference current for cascades of current mirrors. Dimensions of the

transistors in six sections of the DAC determine the currents for these sections. They are selected depending on the desired transfer ratio.

Variation of the chip temperature leads to the change in transfer ratio of differential stage. To compensate for temperature variation, complementary to absolute temperature voltage (V_{STAT}) is formed by the transistor Q1 and the resistor R1. Voltage drop across feedback resistor R6 depends on DAC output current (Fig. 6). Three-stage op-amp with 100 dB transfer ratio processes signal from output of the DAC and temperature compensation circuit. Output voltage of op-amp is defined as difference between V_{STAT} and U_{RFB} . Thus, output signal of gain

control circuit depends on V_{STAT} and the voltage drop on feedback resistor R6 in Fig. 6. Differential to single (D2S) converter based on the differential stage with a symmetrical output load and buffer amplifiers processes output differential signal of VGA core into single. D2S converter provides about 5 dB gain with 5.5 mA current consumption from 5 V voltage source.

Attenuation range of the main ATT-1 is 31.3 dB on the central frequency 5 GHz. Wherein, transfer coefficient unevenness is lower than 1.38 dB. Absolute error of setting the transmission coefficient does not exceed 0.48 dB, standard deviation is 0.178 dB in the operating frequency range.



транзисторах M1, M2 и параллельно включенных шунтирующих транзисторах M3, M4. Управление транзисторами осуществляется попарно: M1 и M4, M2 и M3. Время переключения между режимами приема и передачи не превышает 0,5 нс. Вносимые переключателем потери в рабочей полосе частот не превышают 1,9 дБ. Развязка между каналами — 37 дБ. Возвратные потери по входу/выходу превышают 18 дБ. Точка компрессии 1 дБ по выходу составляет 10,7 дБм.

Усилитель мощности

Упрощенная электрическая схема усилителя мощности изображена на рис. 9. Усилитель мощности обеспечивает требуемый уровень мощности сигнала на выходе СФ МИС при минимальном уровне нелинейных искажений. УМ включает в себя три каскада.

Первый и третий каскады — усилители на основе схемы с общим эмиттером, второй каскад — буферный (схема с общим коллектором). Особенностью усилителя являются резисторы отрицательной обратной связи R6, R7, используемые для температурной стабилизации параметров схемы и в качестве цепей смещения первого каскада. Также на основе транзисторов Q1, Q2 реализован режим standby УМ.

Усилитель мощности на выходе передающего канала в диапазоне частот 4–6 ГГц обеспечивает коэффициент усиления не менее 35 дБ. Точка компрессии 1 дБ по выходу составляет 8,5 дБм. Возвратные потери по выходу — не менее 10 дБ. Потребляемая мощность от источника с напряжением 5 В составляет 150 мВт. Коэффициент полезного действия по добавленной мощности — 5,8%.

Датчик температуры

Структурная схема интегрального цифрового датчика температуры показана на рис. 10а. Он содержит регуляторы напряжения (I0, I1), сенсор температуры (I2) и аналого-цифровой преобразователь (I3). Интегральный ДТ обеспечивает измерение температуры в диапазоне -60 – 85 °С с разрешением 5 бит. Его работа основана на измерении падения напряжения

Block and schematic diagrams of the corrective ATT-2 are similar to those of the main attenuator. The difference is in reducing the number of bits and attenuation range of the circuit.

Low noise amplifier

Three-stage low noise amplifier schematic diagram is shown in Fig. 7. The first common base stage that is based on transistor Q1 is used to ensure input impedance matching with a 50 Ohm resistance in a wide frequency range. The cascode amplifier with M1 and M2 transistors provides high voltage gain and expands operating frequency range

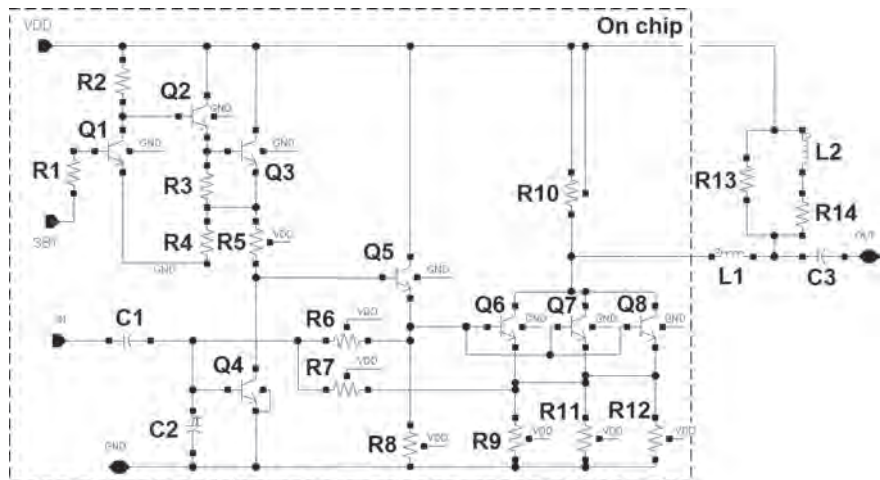


Рис. 9. Электрическая схема усилителя мощности

Fig. 9. Schematic diagram of the power amplifier

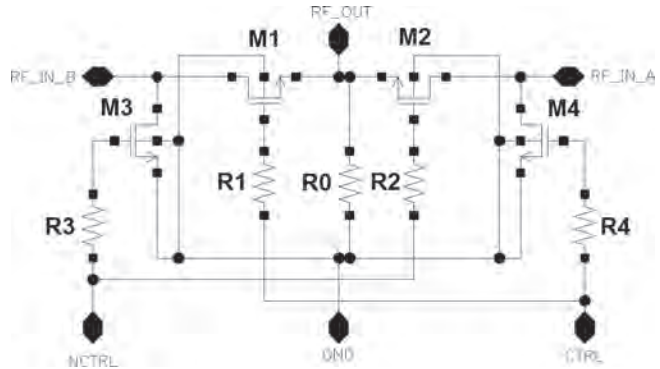


Рис. 8. Принципиальная схема SPDT-переключателя

Fig. 8. Schematic diagram of the SPDT switch

на термозависимом элементе, лежащем в основе сенсора. Наряду с этим используется компенсация первого рода, заключающаяся в сложении температурных коэффициентов сопротивления р-п-перехода биполярного транзистора и добавочных резисторов в токопротекающих ветвях сенсора.

На рис. 10б приведена электрическая схема сенсора температуры. Она включает в себя пару биполярных транзисторов Q1 и Q2, управление которыми осуществляется напряжением

due to a partial Miller effect elimination. The Q2 based stage provides output resistance matching.

LNA provides 22 dB signal gain with noise figure about 4.5 dB according to post-layout simulation. Unevenness of the gain in the operating frequency range is lower than 0.5 dB. Input 1 dB compression point is about -21.5 dBm. Power consumption from 2.5 V voltage source is 13.8 mW.

Microwave switches

Single pole double throw switches schematic diagram (Fig. 8) is based on two series-connected main transistors M1, M2 and

parallel-connected shunt transistors M3, M4. These transistors are controlled in pairs: M1 with M4, and M2 with M3. Time of switching between Rx and Tx modes is below 0.5 ns. Insertion losses value is less than 1.9 dB. Isolation between channels is 37 dB. Input/output return losses are more than 18 dB. Output 1 dB compression point is 10.7 dBm.

Power amplifier

The power amplifier (Fig. 9) provides the required Core Chip output power level in transmission mode with a minimum distortion. PA circuit includes three stages. First and third ones are common-emitter

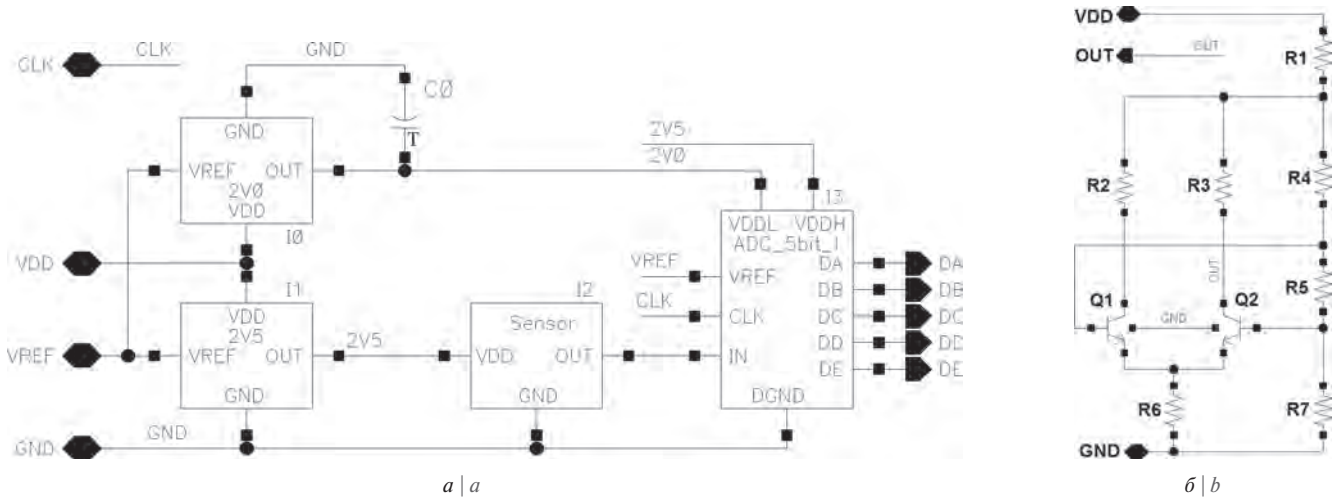


Рис. 10. Структурная схема интегрального ДТ (а) и принципиальная схема сенсорного элемента (б)
 Fig. 10. Block diagram of the integrated TS (a) and schematic diagram of the TS element (b)

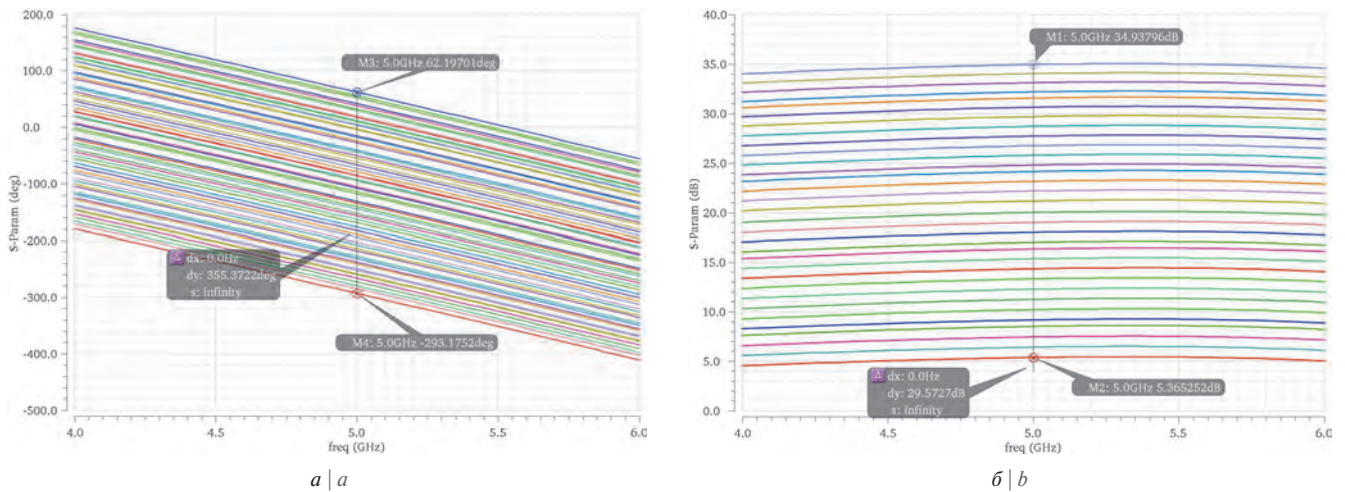


Рис. 11. Частотные зависимости вносимого фазового сдвига (а) и вносимого ослабления (б) от управляющего кода
 Fig. 11. Frequency dependencies of the relative phase shifts (a) and transfer ratio (b) on the control code

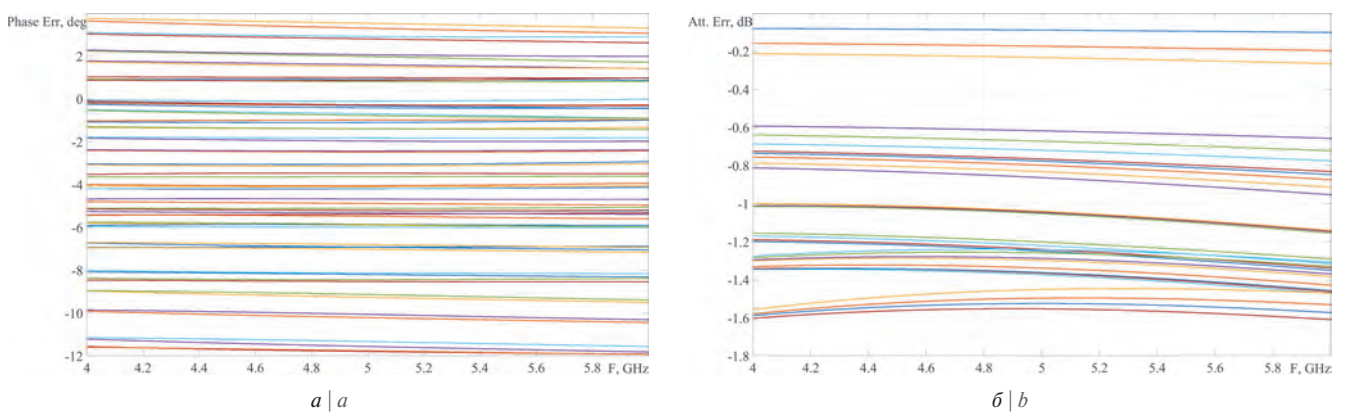


Рис. 12. Частотные зависимости абсолютной ошибки вносимого фазового сдвига (а) и коэффициента передачи (б) от управляющего кода
 Fig. 12. Frequency dependencies of the absolute phase (a) and amplitude (b) errors on the control code

на выходе резистивного делителя, образованного резисторами R4, R5 и R7. Резисторы в цепи делителя подобраны по температурным коэффициентам сопротивления таким образом, чтобы напряжение на коллекторе транзистора Q2 максимально зависело от температуры. При этом площади транзисторов Q1, Q2

и номиналы резисторов R2, R3 выбраны из соображений равномерного протекания токов через указанные элементы в зависимости от температуры кристалла. Абсолютная ошибка измерения температуры не превышает 1°C. Потребляемая датчиком мощность составляет 17 мВт.

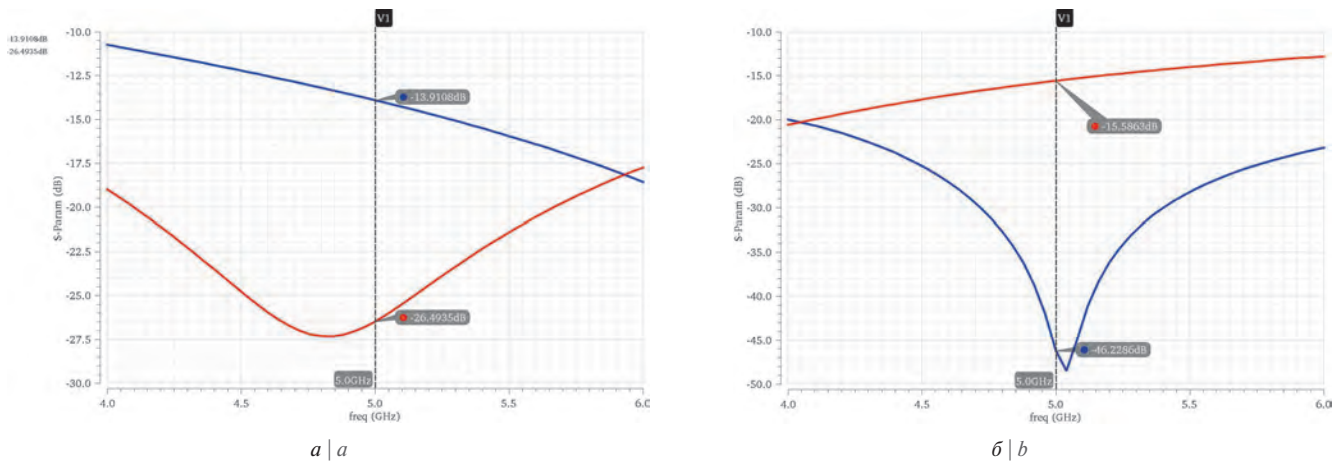


Рис. 13. Частотные зависимости возвратных потерь по входу и выходу в режимах Rx (а) и Tx (б)
 Fig. 13. Dependencies of the input and output return losses in Rx (a) and Tx (b) modes on frequency

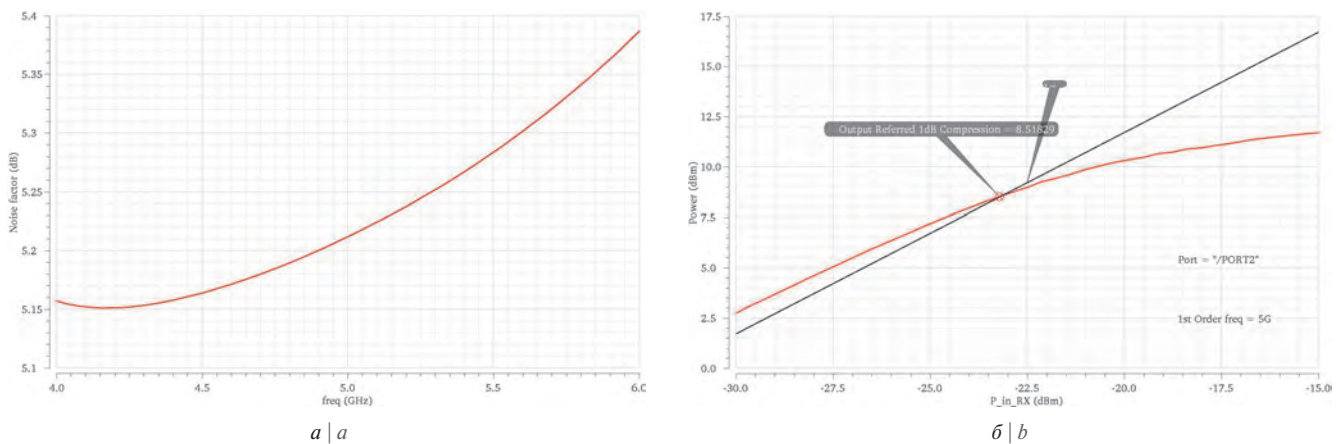


Рис. 14. Частотная зависимость величины коэффициента шума в режиме Rx (а) и точка компрессии 1 дБ по выходу в режиме Tx (б)
 Fig. 14. Dependence of the noise figure in Rx mode on frequency (a) and output 1 dB compression point in Tx mode (b)

amplifiers, the second is buffer (common-collector scheme). An amplifier feature is negative feedback resistors R6, R7 that are used to provide temperature stabilization and first stage biasing. Also standby mode is provided. It is implemented on transistors Q1, Q2.

PA provides more than 35 dB signal gain with 1 dB compression point about 9 dBm in a frequency range 4–6 GHz. Output return losses are more than 10 dB. Power consumption from 5 V voltage source is 150 mW. Power added efficiency is 5.8%.

Temperature sensor

A block diagram of the integrated digital temperature sensor is shown in Fig. 10a. It consists of voltage regulators (I0, I1), temperature sensor (I2) and analog to digital converter (I3). Integrated temperature sensor provides temperature measurement in –60–85 °C range with 5-bit resolution. The operation of the temperature sensor is based

on measuring the voltage drop across the thermally dependent element underlying the sensor. In addition, the first type of compensation is used, which is based on adding the temperature resistance coefficients of the p-n junction of the bipolar transistor and the resistors in the current-carrying branches of the sensor.

A schematic diagram of the temperature sensor element is shown in Fig. 10b. It consists of a pair of bipolar transistors Q1 and Q2. They are controlled by the voltage at the output of resistive divider formed by the resistors R4, R5 and R7. These resistors are matched to the temperature coefficient of resistance so as the voltage across the collector of transistor Q2 is maximally dependent on temperature. In this case, the areas of transistors Q1, Q2 and the values of resistors R2, R3 are chosen for the reason of non-uniform flow of currents through these elements depending on the

chip temperature. Maximum absolute temperature measurement error is less than 1 °C. Power consumption of the sensor is 17 mW.

SIMULATION RESULTS

The frequency dependencies of the Core Chip characteristics are shown in Fig. 11–14.

A large number of parameters characterizes multifunctional integrated circuit of phase and amplitude control. Table 1 shows the most significant of them.

Thus, parameters of the designed Core Chip are not inferior to the parameters of the known analogues based on silicon and silicon-germanium technological processes in the given frequency range.

CONCLUSIONS

The review has shown the relevance of the development of multifunctional integrated circuits for amplitude and phase control of the microwave signal based on SiGe technology

РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ

Частотные зависимости характеристик СВЧ МИС представлены на рис. 11–14.

Многофункциональная интегральная схема управления характеризуется большим числом параметров. В табл. 1 приведены наиболее значимые характеристики разработанной МИС управления амплитудой и фазой СВЧ-сигнала.

Таким образом, параметры разработанной СВЧ МИС не уступают параметрам известных аналогов на основе кремниевых и кремний-германиевых технологических процессов в заданном частотном диапазоне.

ЗАКЛЮЧЕНИЕ

Проведенный обзор показал актуальность разработки многофункциональных интегральных схем управления амплитудой и фазой СВЧ-сигнала на основе SiGe-технологии, возможность достичь оптимальных характеристик для применения в системах гражданского и двойного назначения.

В статье представлены результаты проектирования СВЧ МИС для приемопередающих модулей АФАР С-диапазона. Разработка и моделирование функциональных блоков СВЧ МИС выполнены на основе библиотек элементов кремний-германиевого БиКМОП технологического процесса производства кристаллов МИС с проектной нормой 0,18 мкм. Интегральная схема содержит один канал прием/передача. Переключение между режимами работы СВЧ МИС осуществляется посредством изменения состояния интегральных СВЧ-переключателей. Регулировка амплитуды и фазы выходного сигнала осуществляется посредством изменения состояний управляемых фазовращателя и аттенюатора. Применение схемы температурной коррекции параметров СВЧ МИС на основе интегрального датчика температуры, дополнительных корректирующих УФВ и УАТТ позволяет обеспечить стабильность параметров ППМ в широком диапазоне рабочих температур. Достигнутое значение коэффициента шума в режиме приема по результатам постпологического моделирования составляет 5,2 дБ. Точка компрессии 1 дБ по выходу в режиме передачи — 8,5 дБм. Потребляемая мощность в режимах приема и передачи не превышает 195 мВт и 365 мВт соответственно.

Авторы считают, что в данной работе новыми являются следующие положения и результаты: оригинальные структурные и схемотехнические решения для функциональных блоков позволяют достичь характеристик, сопоставимых с ближайшими известными аналогами среди СВЧ интегральных схем управления амплитудой и фазой сигнала, разработанных на основе кремниевых и кремний-германиевых технологий.

Таблица 1. Основные параметры разработанной СВЧ МИС

Table 1. Main characteristics of the designed Core Chip

Наименование параметра, единицы измерения Parameter, units	Значение Value
Диапазон рабочих частот, ГГц Operating frequency range, GHz	4–6
Коэффициент передачи в режиме приема, дБ, не менее Transfer ratio in Rx mode, dB, min	35
Коэффициент передачи в режиме передачи, дБ, не менее Transfer ratio in Tx mode, dB, min	33
Возвратные потери по входу (режимы Rx/Tx), дБ, не менее Input return loss (Rx/Tx modes), dB, min	11/18
Возвратные потери по выходу (режимы Rx/Tx), дБ, не менее Output return loss (Rx/Tx modes), dB, min	18/11
Выходная мощность при компрессии 1 дБ в режиме приема, дБм, не менее Output power at 1dB compression point in Rx mode, dBm, min	–19,7
Выходная мощность при компрессии 1 дБ в режиме передачи, дБм, не менее Output power at 1dB compression point in Tx mode, dBm, min	8,5
Коэффициент шума в режиме приема, дБ, не более Noise figure in Rx mode, dB, max	5,5
Диапазон вносимого фазового сдвига (6 бит, шаг 5,625°), град. Phase shifter range (6 bit, 5.625° step), deg	360
СКО вносимого фазового сдвига, град., не более RMS phase error, deg, max	4,2
Диапазон вносимого ослабления (5 бит, шаг 1 дБ), дБ Attenuation range (5 bit, 1 dB step), dB	31
СКО вносимого ослабления, дБ, не более RMS attenuation error, dB, max	0,42
Напряжение питания, В Supply voltage, V	2,5/5
Потребляемая мощность (режимы Rx/Tx), мВт Power consumption (Rx/Tx modes), mW	195/365
Число разрядов ЦБУ, бит DCU number of digits, bit	39
Уровни сигналов управления (логический ноль / логическая единица), В Control voltages (Low/High), V	0/2,5
Диапазон рабочих температур, °С Operating temperature range, °C	–60–85

Работа подготовлена по результатам исследования, проведенного при поддержке Министерства образования и науки РФ в рамках проекта № 8.3962.2017/ПЧ.

ЛИТЕРАТУРА

1. Kibaroglu K., Sayginer M., Rebeiz G. M. *A Low-Cost Scalable 32-Element 28-GHz Phased Array Transceiver for 5G Communication Links Based on a 2x2 Beamformer Flip-Chip Unit Cell* // IEEE Journal of Solid-State Circuits. Vol. 53. № 5, May 2018. P. 1260–1274.
2. Гугин А. Ю., Кондратенко А. В. Монолитная интегральная схема управления амплитудой и фазой сигнала X-диапазона частот // СВЧ-техника и телекоммуникационные технологии (КрыМиКо'2017). Материалы 27-й Международной Крымской конференции, 2017. — Т. 1. — С. 78–84.
3. Lohmiller P., Reber R., Schuh P., Oppermann M., Chartier S. *SiGe BiCMOS X-Band Transceiver-Chip for Phased-Array Systems* // Proceedings of the 47th European Microwave Conference. October 2017. P. 1253–1256.



4. Liu Y., Zhang W., Liu Y., A fully integrated 4-channel beamformer based on TTD phased array in 0.18 μ m CMOS // *Microelectronics Journal*. Vol. 80. October 2018. P. 81–86.
5. Zhou M., Mo J., Wang Z. *A Ka-band low power consumption MMIC core chip for T/R modules* // *International Journal of Electronics and Communications (AEÜ)*. Vol. 91. July 2018. P. 37–43.
6. Timoshenkov V. P., Efimov A. G. *Use of Silicon-Germanium Technology for the Development of Active Microwave Units of Active Electronically Scanned Arrays* // *Russian Microelectronics*, 2017. Vol. 46. № 7. P. 516–522.
7. Salazar J. L., Medina R. H., Loew E. *T/R Modules for Active Phased Array Radars* // *Proceedings of 2015 IEEE Radar Conference (RadarCon)*, May 2015. P. 1125–1133.
8. Dinc T., Ozeren E., Caliscan C., Kayahan H., Gurbuz Y. *X-band SiGe bi-complementary metal-oxide semiconductor transmit/receive module core chip for phased array RADAR applications* // *IET Microwaves, Antennas & Propagation*. Vol. 9. № 9, June 2015. P. 948–956.
9. Sim S., Kang B., Kim J.-G., Chun J.-H., Jang B., Jeon L. *A Four-Channel Bi-directional CMOS Core Chip for X-band Phased Array T/R Modules* // *Proceedings of 2015 IEEE Radar Conference (RadarCon)*, May 2015. P. 1–4.
10. McMorro R., Corman D., Crofts A. *All Silicon mmW Planar Active Antennas: The Convergence of Technology, Applications, and Architecture* // *Proceedings of 2017 IEEE International Conference on Microwaves, Antennas, Communications and Electronic Systems (COMCAS)*. P. 70–74.
11. Filippov I., Vertegel V., Gimpilevich Y. B. *C-band active vector phase shifter MMIC design* // *Proceedings of 2017 IEEE International Conference on Microwaves, Antennas, Communications and Electronic Systems (COMCAS 2017)*. P. 459–462.
12. Kravchenko I., Filippov I., Vertegel V. *C-band digitally controlled variable gain amplifier design* // *Proceedings of 2018 Ural Symposium on Biomedical Engineering, Radioelectronics and Information Technology (USBREIT 2018)*. P. 313–316.

with optimal performance for civil and dual-use systems.

The design results of Core Chip for C-band AESA transceivers have been presented. Core Chip functional blocks design and simulation were carried out on the basis of elements from 0.18 μ m SiGe BiCMOS technology libraries. Integrated circuit contains one transmit/receive channel. Switching between the operating modes of Core Chip has been implemented by changing the state of integrated microwave switches. Amplitude and phase control of the output signal has been carried out through changing states of the digitally controlled phase shifter and attenuator. The use of temperature correction system of Core Chip parameters based on integrated temperature sensor, additional corrective phase shifter and attenuator allows ensuring stability of the transceiver characteristics in a wide range of operating temperatures. The achieved value of the noise figure in receive mode according to the post-layout simulation results is below 5.5 dB. Output 1 dB compression point in transmit mode is 8.5 dBm. Power consumption in receive and transmit modes does not exceed 195 mW and 365 mW, respectively.

The authors believe that the following statements and results in this study are novel: original solutions for block and schematic diagrams of the functional blocks allow reaching characteristics comparable to the closest known analogues of the microwave phase/amplitude control integrated circuits designed on the basis of silicon and silicon-germanium processes.

The paper is based on the results of research, which was supported by Ministry

of Education and Science of the Russian Federation, project code 8.3962.2017/ПЧ.

REFERENCES

1. Kibaroglu K., Sayginer M., Rebeiz G. M. *A Low-Cost Scalable 32-Element 28-GHz Phased Array Transceiver for 5G Communication Links Based on a 2x2 Beamformer Flip-Chip Unit Cell* // *IEEE Journal of Solid-State Circuits*. Vol. 53. № 5, May 2018. P. 1260–1274.
2. Gugin A. Yu., Kondratenko A. V. *Monolitnaya integral'naya skhema upravleniya amplitudoi i fazoi signala Kh-diapazona chastot* // *SVCh-tehnika i telekommunikatsionnye tekhnologii (KryMiKo'2017)*. Materialy 27-i Mezhdunarodnoi Krymskoi konferentsii, 2017. V. 1. P. 78–84. (In Russian).
3. Lohmiller P., Reber R., Schuh P., Oppermann M., Chartier S., SiGe BiCMOS X-Band Transceiver-Chip for Phased-Array Systems // *Proceedings of the 47th European Microwave Conference*. October 2017. P. 1253–1256.
4. Liu Y., Zhang W., Liu Y., A fully integrated 4-channel beamformer based on TTD phased array in 0.18 μ m CMOS // *Microelectronics Journal*. Vol. 80. October 2018. P. 81–86.
5. Zhou M., Mo J., Wang Z. *A Ka-band low power consumption MMIC core chip for T/R modules* // *International Journal of Electronics and Communications (AEÜ)*. Vol. 91. July 2018. P. 37–43.
6. Timoshenkov V. P., Efimov A. G. *Use of Silicon-Germanium Technology for the Development of Active Microwave Units of Active Electronically Scanned Arrays* // *Russian Microelectronics*, 2017. Vol. 46. № 7. P. 516–522.
7. Salazar J. L., Medina R. H., Loew E. *T/R Modules for Active Phased Array Radars* // *Proceedings of 2015 IEEE Radar Conference (RadarCon)*, May 2015. P. 1125–1133.
8. Dinc T., Ozeren E., Caliscan C., Kayahan H., Gurbuz Y. *X-band SiGe bi-complementary metal-oxide semiconductor transmit/receive module core chip for phased array RADAR applications* // *IET Microwaves, Antennas & Propagation*. Vol. 9. № 9, June 2015. P. 948–956.
9. Sim S., Kang B., Kim J.-G., Chun J.-H., Jang B., Jeon L. *A Four-Channel Bi-directional CMOS Core Chip for X-band Phased Array T/R Modules* // *Proceedings of 2015 IEEE Radar Conference (RadarCon)*, May 2015. P. 1–4.
10. McMorro R., Corman D., Crofts A. *All Silicon mmW Planar Active Antennas: The Convergence of Technology, Applications, and Architecture* // *Proceedings of 2017 IEEE International Conference on Microwaves, Antennas, Communications and Electronic Systems (COMCAS)*. P. 70–74.
11. Filippov I., Vertegel V., Gimpilevich Y. B. *C-band active vector phase shifter MMIC design* // *Proceedings of 2017 IEEE International Conference on Microwaves, Antennas, Communications and Electronic Systems (COMCAS 2017)*. P. 459–462.
12. Kravchenko I., Filippov I., Vertegel V. *C-band digitally controlled variable gain amplifier design* // *Proceedings of 2018 Ural Symposium on Biomedical Engineering, Radioelectronics and Information Technology (USBREIT 2018)*. P. 313–316.