



УДК 621.3.049.76

DOI: 10.22184/NanoRus.2019.12.89.515.526

ТЕХНОЛОГИИ ФОРМИРОВАНИЯ МЕЖУРОВНЕВОЙ КОММУТАЦИИ ДЛЯ ИЗГОТОВЛЕНИЯ ТРЕХМЕРНЫХ МИКРОСБОРОК

TECHNOLOGIES OF INTER-LEVEL INTERCONNECTION FORMATION FOR MANUFACTURING 3D MICROASSEMBLIES

ВЕРТЯНОВ ДЕНИС ВАСИЛЬЕВИЧ^{1,2}
vdv.vertyanov@gmail.com

VERTYANOV DENIS V.^{1,2}
vdv.vertyanov@gmail.com

СИДОРЕНКО ВИТАЛИЙ НИКОЛАЕВИЧ²
vitaly@microsborka.ru

SIDORENKO VITALIY N.²
vitaly@microsborka.ru

БУРАКОВ МИХАИЛ МИХАЙЛОВИЧ¹
taixo01@mail.ru

BURAKOV MIKHAIL M.¹
taixo01@mail.ru

БЕЛЯКОВ ИГОРЬ АНДРЕЕВИЧ¹
igor-terra@yandex.ru

BELYAKOV IGOR A.¹
igor-terra@yandex.ru

¹ *Национальный исследовательский университет «МИЭТ»
124498, г. Москва, г. Зеленоград, площадь Шокина, 1*

² *АО «Зеленоградский нанотехнологический центр»
124527, г. Москва, г. Зеленоград, Солнечная аллея, 6*

¹ *National Research University of Electronic Technology
1 Shokin Square, Zelenograd, Moscow, 124498, Russia*

² *Zelenograd Nanotechnology Center JSC
6 Solnechnaya Alley, Zelenograd, Moscow, 124527, Russia*

В статье рассмотрены способы формирования межуровневой коммутации в микросборках с использованием сквозных металлизированных отверстий в кремнии и с помощью торцевых коммутационных дорожек на компаунде. Описаны образцы высокоплотных кремниевых плат. Представлены результаты исследований процессов металлизации компаундов и лазерного испарения металла с поверхности диэлектриков.

Ключевые слова: межуровневая коммутация; сквозные металлизированные отверстия в кремнии; трехмерная микросборка; торцевая коммутация; лазерное испарение металла; металлизация компаунда.

The paper considers methods for inter-level interconnection formation in microassemblies using plated through-silicon vias and edge interconnection traces on the compound as well as describes samples of high-density silicon boards. Besides, it presents the results of studies on the processes of compounds plating and laser-induced ablation from the surface of the dielectric.

Keywords: inter-level interconnection, through-silicon vias, 3D microassembly, edge interconnection, laser-induced metal ablation, compound plating.

Трехмерная интеграция в настоящее время является одним из наиболее активно развивающихся направлений электроники. В соответствии с прогнозом Allied Market Research среднегодовой темп роста данного направления на период с 2014 по 2022 годы составит 15,7%, а общемировой объем рынка к 2022 году достигнет 8,9 миллиардов долларов США [1]. Причина столь быстрого развития состоит в том, что трехмерная интеграция не только позволяет снижать массогабаритные параметры изделий и уменьшать длину связей между элементами и компонентами сборки, но также дает возможность интегрировать между собой разнородные элементы, сокращает время и стоимость разработки высокоплотных компонентов (например, по сравнению с разработкой аналогичных систем на кристалле). Созданные методами трехмерной интеграции микросборки находят применение как в потребительской электронике (носимая электроника, Интернет вещей, компонентная база для смартфонов и планшетов), так и в электронике специального назначения (системы датчиков, радиационно-стойкая компонентная база, силовая электроника, вычислительные цифровые системы, модули для систем связи). Ключевыми операциями при создании трехмерныхборок являются операции

формирования межуровневой коммутации, позволяющие обеспечить электрическое соединение двумерных уровней сборки между собой в полноценную трехмерную структуру.

Технологии трехмерной интеграции тесно связаны с современными технологиями корпусирования интегральных схем. В настоящее время компании, занимающиеся исследованием рынка электроники, такие как Yole Development и Markets and Markets, выделяют четыре группы подобных технологий: это корпусирование на уровне пластины, встроенный монтаж (Embedded Die — ED), технологии, основанные на flip-chip-монтаже, и технологии, в основу которых положено формирование сквозных металлизированных отверстий в кремнии (TSV). Каждая из представленных технологий может служить основой для создания трехмерныхборок с характерными особенностями формирования межуровневой коммутации.

Самым последним из направлений корпусирования интегральных схем сформировалось корпусирование на уровне пластины — WLP (wafer level packaging). В данном направлении выделяют две группы технологий — Fan-In WLP и Fan-Out WLP. Технологии Fan-In WLP начали свое развитие еще в 2001 году. Они направлены на создание корпусов размером с кристалл (CSP). Корпуса,

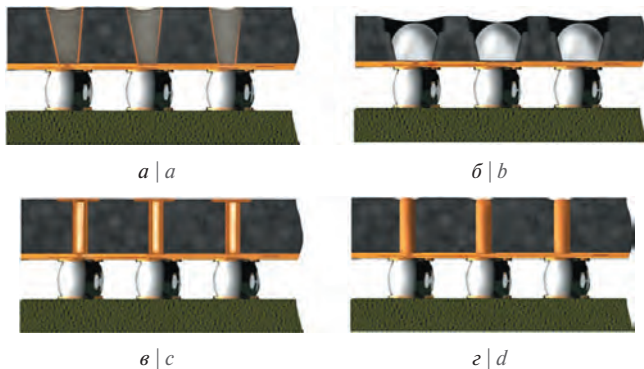


Рис. 1. Различные варианты формирования межуровневой коммутации в трехмерных сборках на основе WLP-корпусов: а) отверстия в компаунде, заполненные припоем, б) отверстия со сформированными бампами, в) сквозные металлизированные отверстия в компаунде-инкапсулянте, г) медные столбиковые выводы по технологии InFo

Fig. 1. Different options for inter-level interconnection formation in 3D assemblies based on WLP packages: a) holes in the compound filled with solder; b) holes with formed bumps; c) plated through encapsulant vias; d) copper bump contacts based on InFo technology

создаваемые с помощью технологий Fan-out по площади больше кристалла, не позволяют добиться уровня миниатюризации, как в Fan-In-корпусировании, однако увеличивают пространство для трассировки и создания межуровневых соединений. По этой причине именно Fan-out-корпусирование послужило основой для формирования направления 3D WLP-микросборок. Первая из технологий Fan-out WLP была представлена в 2006 году компанией Infineon.

Методы формирования межуровневой коммутации в технологиях 3D WLP схожи друг с другом. Почти все они основаны на создании сквозных отверстий в компаунде по периферии WLP-корпуса (именно на тех участках, которые выступают за пределы проекции кристалла), заполняемых впоследствии проводящим материалом. Различия в данных технологиях определяются в основном методами обеспечения электрического контакта. Так, технология WLFO от Amkor technologies предполагает создание

с помощью лазера отверстий в компаунде до слоев коммутации на нижней стороне корпуса и последующее заполнение этих отверстий припойной композицией, рис. 1а [2]. Компания Stats Chip создает межуровневую коммутацию похожим способом, только вместо заполнения припоем в полученных с помощью лазера отверстиях формируют шарики, рис. 1б [2]. Компания Infineon, являющаяся родоначальницей технологий Fan-out WLP, для создания межуровневых соединений использует процессы металлизации компаунда, в результате которых на стенках отверстий формируется слой меди, достаточный для обеспечения надежного электрического контакта. Такие межуровневые соединения носят название сквозных отверстий в инкапсулянте (TEV), рис. 1в [2]. Оригинальную технологию формирования межуровневой коммутации под названием InFo разработала компания TSMC. Межуровневая коммутация в данной технологии реализуется не с помощью металлизированных или заполненных припоем отверстий, а с помощью медных столбиковых выводов, называемых TiV (Through InFo Via), рис. 1г [3].

Трехмерные WLP-микросборки могут содержать бескорпусные и корпусированные кристаллы интегральных схем, МЭМС-датчиков и систем на кристалле, в их состав также могут быть включены пассивные компоненты, а непосредственно на уровнях коммутации сформированы радиочастотные элементы (чаще всего антенны). Минимальные топологические нормы 3D WLP-сборок составляют порядка 2–10 мкм для коммутации в пределах уровня сборки и порядка 80–150 мкм для межуровневой коммутации (в зависимости от конкретного варианта технологии). При этом число уровней может быть практически любым. Поскольку данные сборки чаще всего представляют собой смонтированные друг на друга WLP-корпуса, их относят к группе трехмерныхборок типа «корпус на корпусе». Для реализации 3D WLP-сборок необходима технология корпусирования на уровне пластины, освоенная как минимум на уровне мелкосерийного производства, а также широкая номенклатура специализированных материалов, таких как диэлектрики для слоев перераспределения (бензоциклобутен фоточувствительный полиимид) и заливочные компаунды с коэффициентом теплового расширения, близким к кремнию. В России данных о внедряемых в производство технологиях корпусирования на уровне пластины в настоящее время нет, поэтому WLP

Three-dimensional integration is currently one of the most rapidly developing areas of electronics. According to the Allied Market Research, the average annual growth rate in this area for the period from 2014 to 2022 will be 15.7%, and by 2022 the global market volume will reach 8.9 billion US dollars [1]. The reason for such rapid development is that 3D integration not only reduces mass-dimensional parameters of products and the length of interconnections between the assembly elements and components, but also makes it possible to integrate heterogeneous elements together, as well as reduces time and cost of development of high-density components (for example, compared to the development of similar systems-on-a-chip). Microassemblies developed using 3D integration methods can be used both in consumer electronics

(wearable devices, Internet of Things, the component for smartphones and tablets) and in special-purpose electronics (sensor systems, radiation-resistant components, power electronics, computing digital systems, modules for communication systems). The key operations in the development of 3D assemblies are operations for inter-level interconnection formation, allowing one to ensure the electrical connection of the two-dimensional assembly layers into a full three-dimensional structure.

3D integration technologies are closely related to modern technologies of packaging integrated circuits. Currently, electronics market research companies, such as Yole Développement and Markets and Markets, distinguish four groups of such technologies: wafer level packaging; embedded die (ED); technologies based on flip-chip mounting and technologies based

on the formation of plated through-silicon via (TSV). Each of the presented technologies can be used as a basis for the development of 3D assemblies with characteristic features of the inter-level interconnection formation.

The most recent among the directions of integrated circuits packaging is wafer level packaging (WLP). This direction has two groups of technologies — Fan-In WLP and Fan-Out WLP. Fan-In WLP technologies began to develop in 2001. Their purpose is to develop chip scale package (CSP). Packages, made using Fan-Out technologies, are larger than the chip; they do not allow achieving the miniaturization level as in the case of Fan-In packaging, but they increase the space for tracing and forming inter-level connections. For this reason, Fan-Out packaging was the basis for developing the direction

межуровневая коммутация в работе подробно не рассматривается.

Трехмерные сборки на основе flip-chip-монтажа могут быть реализованы двумя способами. Первый из них — сборки, в которых для создания межуровневой коммутации используется исключительно посадка по методу перевернутого кристалла. Примером такого подхода является технология POSSUM от Amkor Technology, предполагающая последовательный монтаж кристаллов друг на друга. При переходе от уровня к уровню (например от второго уровня к первому на рис. 2) постепенно увеличивается размер используемых бампов и размер кристаллов. Таким способом можно формировать многокристальные сборки, включающие в себя до трех уровней, при этом используются технологии утонения кристаллов и формирования микробампов.

Второй способ — комбинация посадки перевернутого кристалла с другими технологиями. Монтаж кристалла или корпуса на бампы используется практически во всех технологиях трехмерной интеграции. Однако в классической форме (как посадка кристалла на шарики активной стороной вниз) наилучшим примером является комбинация технологии создания отверстий в кремнии и технологии монтажа перевернутого кристалла. Данная комбинация выражается в том, что кристаллы монтируются активной стороной вниз на кремниевый промежуточный носитель, в котором сформированы сквозные металлизированные отверстия. Далее носитель может монтироваться на итоговую плату (в этом случае формируется 2,5D-микросборка) или на другой носитель с шариковыми выводами (в этом случае имеет место трехмерная сборка). Кремниевые платы обеспечивают максимальную плотность коммутации как в пределах уровня (вплоть до десятков нанометров), так и между уровнями (до 2 мкм), кроме того, их коэффициент теплового расширения аналогичен коэффициенту расширения кристаллов. Структура фрагмента такой кремниевой коммутационной платы показана на рис. 3.

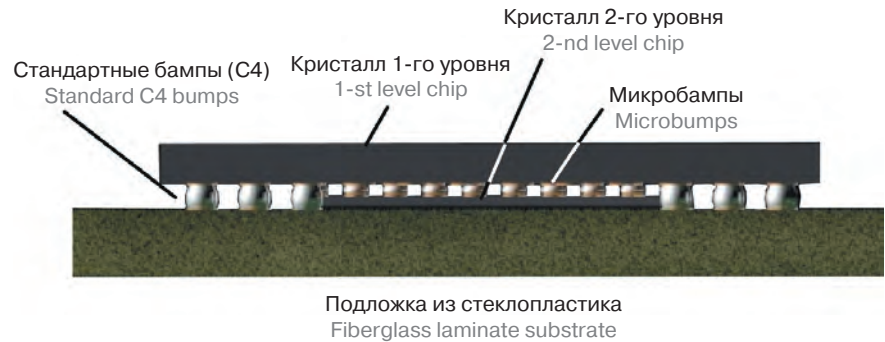


Рис. 2. Структура многокристальной сборки, реализованной с использованием метода посадки перевернутого кристалла (технология POSSUM от Amkor Technology)

Fig. 2. The structure of the multi-chip assembly, implemented using the method of flip-chip mounting (POSSUM by Amkor Technology)

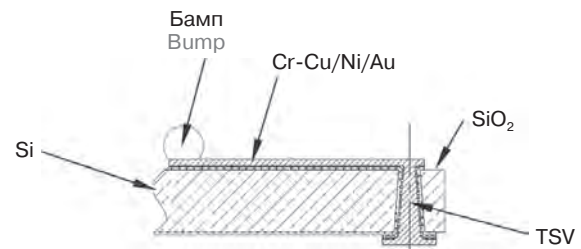


Рис. 3. Структура фрагмента коммутационной платы из кремния с элементами вертикальной коммутации [6]

Fig. 3. The structure of silicon interconnection board fragment with vertical interconnection elements [6]

Создание трехмерных микросборок с межуровневой коммутацией на основе металлизированных отверстий в кремнии связано с преодолением ряда трудностей. Первая — создание самих отверстий. Требуется обеспечить сквозное травление при крайне высоком аспектном соотношении — отношении высоты отверстия к диаметру. В данной работе для этого использовался метод попеременного плазмохимического травления и пассивации

of 3D WLP microassemblies. The first Fan-Out WLP technology was introduced in 2006 by Infineon Technologies Company.

Methods of inter-level interconnection formation in 3D WLP technologies are similar to each other. Almost all of them are based on the formation of plated-through holes in the compound along WLP package periphery (precisely on those areas that extend beyond the limits of the chip), which are subsequently filled with a conducting material. Differences in these technologies are mainly determined by methods of providing electrical contact. So, the WLFO technology by Amkor Technology involves creating holes in the compound with a laser up to the interconnection levels on the lower side of the package and subsequent filling of these holes with a solder composition — Fig. 1a [2]. The Stats Chip

Company creates inter-level interconnection in a similar way, but instead of filling holes with solder composition, balls are formed in the holes obtained with the laser — Fig. 1b [2]. Infineon Technologies Company, which is the originator of Fan-Out WLP technologies, uses compound holes plating to create inter-level connections, and as a result, a copper layer is formed on the walls of the holes, which is sufficient to ensure reliable electrical contact. Such inter-level connections are called through encapsulant via (TEV) — Fig. 1c [2]. The original inter-level interconnection formation technology called InFo has been developed by TSMC. Inter-level interconnection in this technology is not implemented with plated or solder-filled holes, but with copper bump contacts called TiV (Through InFo Via) — Fig. 1d [3].

3D WLP microassemblies may contain unpackaged and packaged chips of integrated circuits, MEMS sensors and systems-on-a-chip; they may also include passive components, and radio frequency elements (most often antennas) may be formed directly at the interconnection levels. The minimum layout rules of 3D WLP assemblies are about 2–10 μm for interconnection within the assembly level and about 80–150 μm for inter-level interconnection (depending on the specific technology option). In this case, the number of levels can differ. Since these assemblies are most often WLP packages mounted on top of each other, they belong to a group of package-on-package 3D assemblies. The implementation of 3D WLP assemblies requires wafer level packaging technology, mastered at least at the level of small-scale

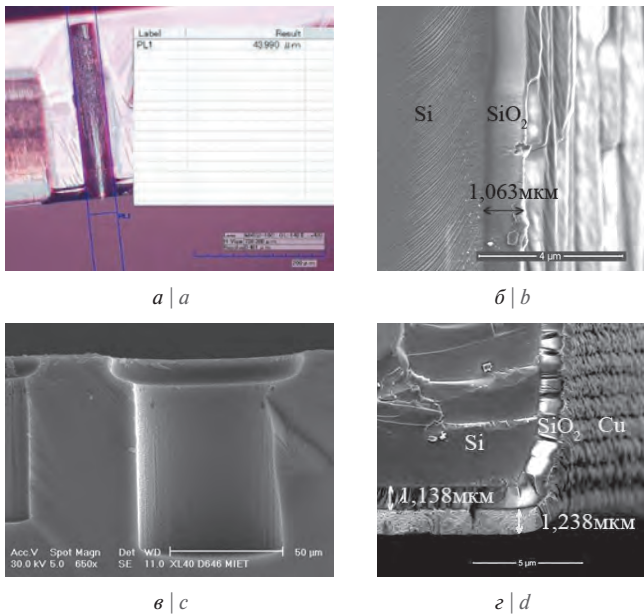


Рис. 4. Результаты процессов формирования сквозных металлизированных отверстий в кремниевой коммутационной плате: а) отверстие в кремнии диаметром 45 мкм [6], б) слой оксида кремния на стенке сквозного отверстия [7], в) глухое отверстие в кремнии с фаской, г) структура металлизации сквозного отверстия после магнетронного напыления [6]

Fig. 4. The results of the formation of plated through holes in the silicon interconnection board: a) a hole in silicon with a diameter of 45 μm [6]; b) a layer of silicon oxide on the wall of the through hole [7]; c) a blind hole in silicon with a chamfer; d) structure of the through hole plating after magnetron deposition [6]

(Bosch-процесс), позволяющий получать как глухие, так и сквозные отверстия с предельным аспектным соотношением до 20:1. Для реализации кремниевых коммутационных плат были сформированы отверстия диаметром 45 мкм в пластинах кремния толщиной 300 мкм (рис. 4а). Благодаря подбору режима травления удалось обеспечить оптимальную шероховатость стенок.

Сложности при формировании металлизированных отверстий в кремнии также связаны с процессом металлизации. Острая

кромка на краях сформированных плазмохимическим анизотропным травлением отверстий приводит к разрывам в металлизации. Для решения проблемы в дополнение к анизотропному плазмохимическому травлению использовалось изотропное травление, позволяющее сформировать фаску по периметру отверстия, тем самым снижая механические напряжения в металле (рис. 4б). Металлизация в отверстии формировалась комбинацией магнетронного напыления адгезионного слоя хрома (50 нм) и меди (≈ 1 мкм) с последующим доразведением меди химическим и гальваническим способом (рис. 4г). Поскольку кремний является полупроводником, перед металлизацией отверстий на пластине формировался диэлектрический слой оксида толщиной порядка 1 мкм методом термического окисления (рис. 4б).

Наличие сквозных отверстий в кремнии не позволяет использовать традиционный метод нанесения жидкого фоторезиста с помощью центрифугирования, поскольку от отверстий на поверхности распространяются неравномерности в виде «лучей», а также происходит затекание фоторезиста на обратную сторону пластины. Из-за данных неравномерностей на пластине формируется фоточувствительный слой разной толщины, что ведет к искажениям рисунка, отслоениям фоторезиста после экспонирования и проявления. Решением может стать нанесение фоторезиста методом пульверизации или окунания либо использование пленочного резиста. Однако пленочный резист не может обеспечить высокую плотность коммутации (менее 50 мкм). В случае окунания необходим тщательный контроль скорости, с которой заготовка погружается и вынимается из емкости с фоторезистом. В случае с пульверизацией должна быть равномерная скорость перемещения факела распыления по заготовке.

В ходе исследований установлено, что при нанесении методом распыления слой формируемого фоторезиста достаточно равномерен для обеспечения минимального зазора между элементами коммутации в 20 мкм и ширины элементов коммутации в 40 мкм, рис. 5а, б, в. Позитивный фоторезист водощелочного проявления наносился на пластину кремния со сквозными отверстиями после проведения последовательных процессов вакуумного, химического и электрохимического осаждения меди. Для формирования финишного покрытия кремниевой коммутационной платы (интерпозера) под пайку через слой фоторезиста гальваническим методом наращивались слои никеля ($\approx 3\text{--}4$ мкм) и золота ($\approx 0,2\text{--}0,3$ мкм), выполняющие кроме того роль маски при травлении. Равномерное

production, as well as a wide range of specialized materials, such as dielectrics for redistribution layers (photosensitive polyimide benzocyclobutene) and molding compounds with a thermal expansion coefficient close to silicon. Currently, there are no data on wafer level packaging technologies in Russia, so the paper does not consider WLP inter-level interconnection in detail.

3D assemblies based on flip-chip mounting can be implemented in two ways. The first one is the assemblies, in which exclusively flip-chip fitting is used to create inter-level interconnection. An example of this approach is the POSSUM technology by Amkor Technology, which involves sequential mounting of the chips on top of each other. When

moving from level to level (for example, from the second level to the first one in Fig. 2), the size of the used bumps and chips gradually increases. In this way, it is possible to form multi-chip assemblies, which may include up to 3 levels, using the technology of thinning the chips and forming microbumps.

The second way is a combination of flip-chip mounting with other technologies. Mounting a chip or a package on a bump is used in almost all technologies of 3D integration. However, in the classical form (like chip mounting on bumps with the active side down), the best example is the combination of the technology of forming holes in silicon and that of flip-chip mounting, when the chips are mounted with the active side down

on the silicon intermediate carrier, in which the plated through holes are formed. Further, the carrier can be mounted on the final board (in this case, a 2.5D microassembly is formed) or on another carrier with bumps (in this case a 3D assembly is formed). Silicon boards provide maximum interconnection density both within a level (up to dozens of nanometers) and between levels (up to 2 μm); besides, their coefficient of thermal expansion is similar to the coefficient of chips expansion. The structure of such silicon interconnection board fragment is shown in Fig. 3.

The manufacturing of 3D microassemblies with inter-level interconnection based on plated through silicon via is associated with overcoming a number of difficulties. The first



формирование никеля и золота свидетельствует об отсутствии вуали и полном проявлении фоторезиста, рис. 5г.

Альтернативный вариант, который позволяет исключить литографию из процесса создания топологии, — использование прямого формирования рисунка методом испарения металла с поверхности диэлектрика при помощи лазера. Лазерное испарение может использоваться также в комбинации с процессом литографии. Например, с помощью литографии можно сформировать финишное покрытие, а с помощью лазера — удалить лишний металл, не повреждая металлизацию в отверстиях и минимизируя подтравы.

В настоящее время для удаления металлов методом испарения используются лазерные системы различного типа, наиболее распространенными среди которых являются оптоволоконные импульсные лазерные системы инфракрасного спектра. Данные системы применяются в основном для сквозной резки или формирования рисунков на поверхности металлов. Если же требуется удаление металла с поверхности диэлектрика, то чаще применяются лазеры ультрафиолетового или зеленого спектра. Дополнительным плюсом таких лазеров является универсальность, поскольку они не только способны селективно удалять металл с диэлектрика, но и имеют возможность создавать отверстия в полимерных и композитных материалах (при изменении параметров лазера) из-за чувствительности полимеров к излучению зеленого и в особенности ультрафиолетового спектра. Недостатком ультрафиолетовых и зеленых лазеров является высокая цена.

Помимо длины волны излучения важными при лазерном испарении материала также являются параметры мощности и длительности

импульса. Для микро- и наносекундных лазеров доминирующими процессами при взаимодействии импульса с материалом являются теплопередача, плавление, испарение и образование плазмы. Чем длиннее импульс, тем большую роль играют процессы плавления и вытеснения расплава и тем больше эффект наволакивания.

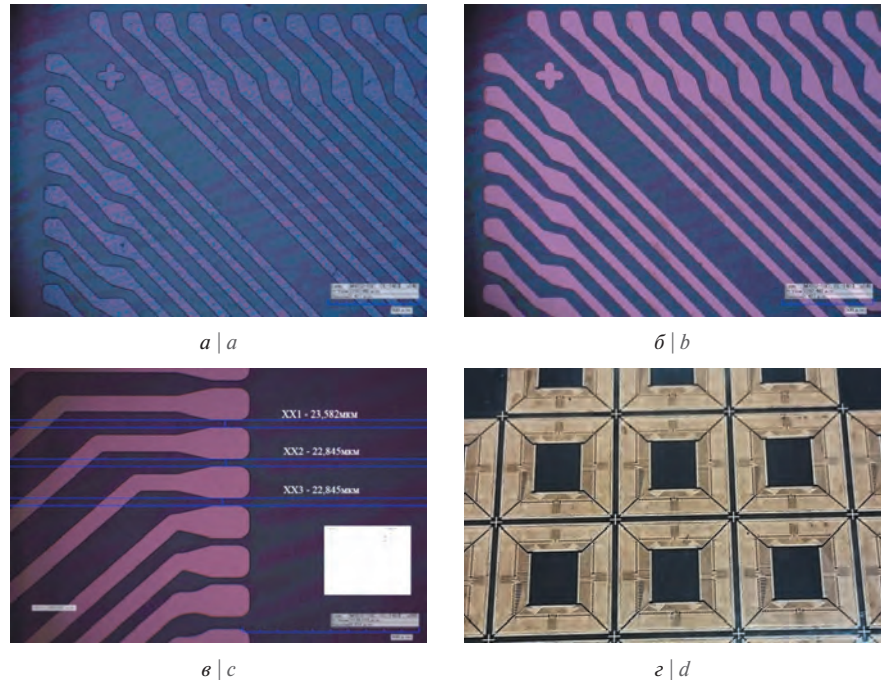


Рис. 5. Результаты процессов формирования топологии кремниевой коммутационной платы с помощью фоторезиста, нанесенного методом пульверизации: а) рисунок коммутации после экспонирования, б) после проявления, в) результаты измерений зазоров между элементами коммутации при проектных нормах в 20 мкм, г) интерпозеры на пластине после формирования финишного покрытия Ni+Au (планарные размеры — 12×12 мм, количество контактных площадок под flip-chip-монтаж кристаллов — 256, диаметр TSV-отверстий — 45 мкм)

Fig. 5. Results of the silicon interconnection board topology formation using photoresist applied by spraying: a) interconnection pattern after exposure; b) after developing; c) results of measuring gaps between interconnection elements at required layout rules of 20 μm; d) interposer on the wafer after forming the final Ni + Au coating (planar dimensions — 12×12 mm, number of contact pads for flip-chip mounting — 256, diameter of TSV holes — 45 microns)

one is the formation of the holes. It is required to provide through etching at an extremely high aspect ratio — the ratio of the hole height to the diameter. In this paper, the method of alternate plasma-chemical etching and passivation (Bosch process) was used. This method allows getting both blind and through holes with a limiting aspect ratio of up to 20:1. In order to implement silicon interconnection boards, holes with a diameter of 45 μm were formed in silicon wafers with a thickness of 300 μm (Fig. 4a). Due to the selection of the etching mode, it was possible to ensure optimal walls roughness.

Difficulties in the formation of plated holes in silicon are related to the plating process. The sharp edges of the holes formed

by plasma-chemical anisotropic etching lead to gaps in the plating. To solve the problem, isotropic etching was used in addition to plasma-chemical anisotropic etching, which allowed forming a chamfer along the perimeter of the hole, thereby reducing the mechanical stresses in the metal (Fig. 4c). Plating in the hole was formed by a combination of magnetron deposition of chromium (50 nm) and copper (≈1 μm) adhesive layer with the subsequent re-growth of copper by chemical and electroplating methods (Fig. 4d). Since silicon is a semiconductor, a dielectric oxide layer with a thickness of about 1 μm was formed by thermal oxidation (Fig. 4b) before plating the holes on the wafer.

The presence of through holes in silicon does not allow using the traditional method of applying liquid photoresist by centrifuging, since unevenness in the form of “rays” spreads on the surface, and the photoresist flows onto the reverse side of the wafer. Due to this unevenness, a photosensitive layer of different thickness is formed on the wafer, which leads to distortion of the pattern, detachment of the photoresist after exposure and developing. The solution may be applying photoresist by spraying or dipping, or using a film resist. However, the film resist cannot provide a high interconnection density (less than 50 microns). In the case of dipping, careful control of the rate at which the workpiece is immersed and removed from the photoresist

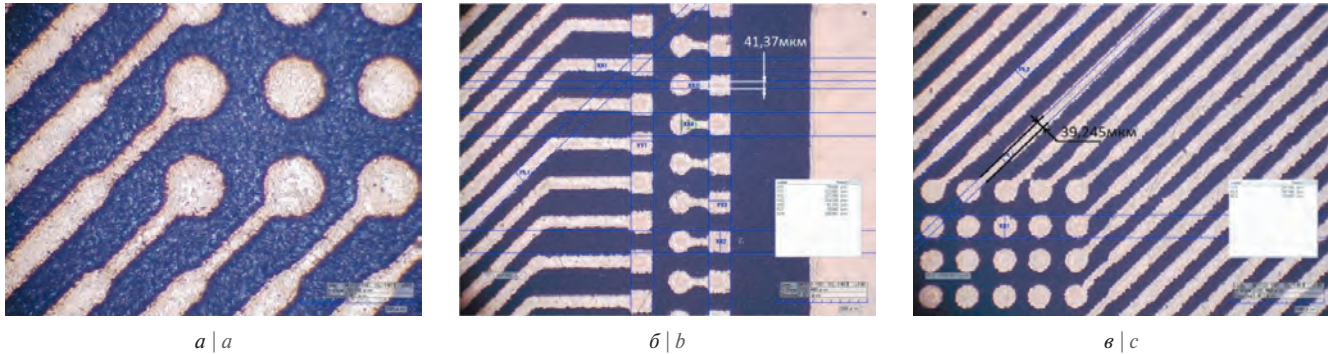


Рис. 6. Результаты формирования топологии тестовой кремниевой коммутационной платы при помощи лазерных систем МикроСЕТ «Лазерного центра» (а) и системы Sharpmark Fiber Optima 20VAR компании SharpLase (б), (в)
 Fig. 6. Results of the test silicon interconnection board topology formation using MicroSET laser systems manufactured by “Laser Center” Company (a) and the Sharpmark Fiber Optima 20VAR system manufactured by SharpLase (b), (c)

С уменьшением длительности до наносекунд начинает возрастать роль образования плазмы и испарения. При использовании коротких пико- и фемтосекундных импульсов высокая плотность мощности ведет к изменению способа взаимодействия лазерного луча с материалом. В результате важную роль в процессе начинают играть эффекты многофотонного поглощения. В случае металла имеет место так называемая двухтемпературная модель, вызванная различным описанием нагрева для ионной решетки и электронного газа. В результате из-за быстрого нагрева часть материала переходит в состояние перегретой жидкости (так как не может испаряться непрерывно). Быстро расширяющиеся пары подхватывают капли этой жидкости, в результате имеет место процесс, называемый фазовым взрывом. Поскольку при фазовом взрыве отсутствуют процессы наволакивания, формируется максимально четкий рисунок без следов расплава [8].

Фемто- и пикосекундные лазеры чаще используются для создания отверстий (в том числе отверстий в кремнии). Данные системы достаточно сложные и дорогостоящие, кроме того, они требуют тщательной настройки, потому для формирования топологии чаще используют более доступные наносекундные системы. В рассматриваемом исследовании коммутация была сформирована с помощью наносекундных лазерных систем на основе инфракрасных оптоволоконных иттербиевых лазеров с длиной волны порядка 1054 нм. На рис. 6а показана коммутация, полученная с помощью специализированной системы МикроСЕТ для прототипирования

электронных изделий от российской компании «Лазерный центр». Обработка производилась на тестовой пластине с напыленными слоями хрома и меди. Минимальная достигнутая топологическая норма составила 35 мкм. Также аналогичная коммутация была получена с помощью менее дорогостоящей системы без автоматического столика от компании SharpLase под названием Sharpmark Fiber Optima. На рис. 6б, в видно, что на проводниках, проходящих под углом 45 градусов, имеет место ребристость кромки величиной от 1 до 8 мкм. При условии правильного подбора параметров мощности, скорости и частоты лазера данная проблема решается.

Граница полученных элементов коммутации и областей, с которых металл был полностью удален, была проанализирована. Анализ проводился при помощи растровой электронной микроскопии. В результате было установлено, что после обработки слой оксида кремния сохранился на обработанных лазером участках, рис. 7. Белые фрагменты на рис. 7 образованы в результате насыщения оксида кремния кислородом вследствие лазерной обработки поверхности.

На рис. 8 показано изображение границы коммутационной дорожки. В левой части рис. 8 расположена не подвергавшаяся воздействию медь, в правой — слой оксида кремния, полностью очищенный от металла (меди и подслоя хрома). Между оксидом кремния и неповрежденной медью располагается переходный слой меди, постепенно уменьшающийся по толщине по мере продвижения от области чистого металла к области оксида.

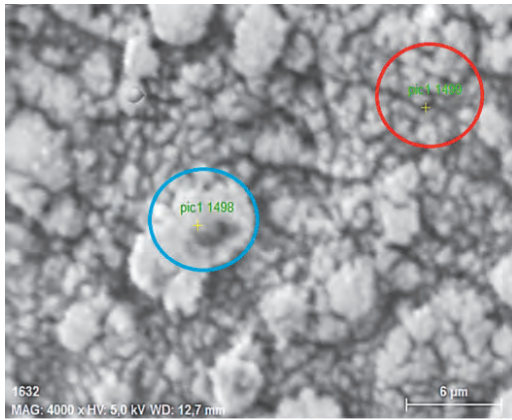
tank is necessary. In the case of spraying, the speed of spray swathing movement over the workpiece should be uniform.

During the research, it was found that in the case of spraying, the layer of the formed photoresist is sufficiently uniform to provide the minimum gap of 20 μm between the interconnection elements and the interconnection elements width of 40 μm — Fig. 5a, b, c. The positive water-alkaline photoresist was applied on a silicon wafer with through holes after successive vacuum, chemical and electrochemical deposition of copper. To form finish coating of the silicon interconnection board (interposer) for brazing, layers of nickel ($\approx 3\text{--}4\ \mu\text{m}$) and gold

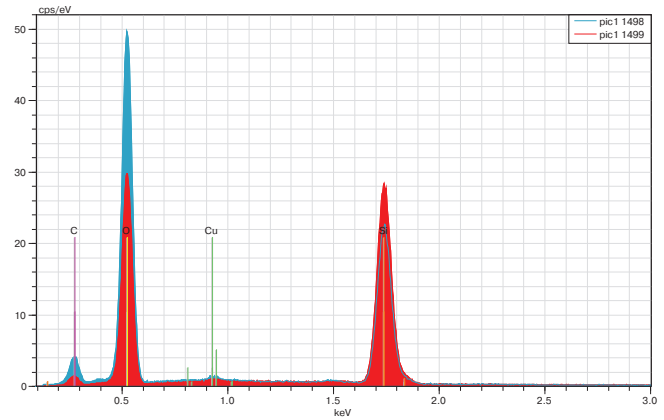
($\approx 0.2\text{--}0.3\ \mu\text{m}$), which also serve as a mask during etching, were plated-up through a layer of photoresist. The uniform formation of nickel and gold indicates the absence of a veil and the full development of photoresist — Fig. 5d.

An alternative option that allows excluding lithography from the process of creating a topology is the use of direct pattern formation by the method of metal ablation from the dielectric using laser. Laser ablation can also be used in combination with lithography. For example, to form a final coating using lithography, and to remove excess metal using laser without damaging the plating in the holes and minimizing etching.

Currently, various laser systems are used to remove metals by ablation; the most common are infrared fiber-optic pulsed laser systems. These systems are mainly used for through cutting or forming patterns on the surface of metals. If metal removal from the dielectric surface is required, then ultraviolet or green spectrum lasers are used. An additional advantage of such lasers is versatility, since they are not only capable of selectively removing metal from the dielectric, but also have the ability to create holes in polymeric and composite materials (when changing laser parameters) due to polymers sensitivity to the green and especially ultraviolet spectrum.



а | а



б | б

Рис. 7. РЭМ-изображение поверхности оксида кремния после удаления металла лазером; выделены участки, в которых производился анализ состава (а) и результаты спектрального анализа состава в двух указанных областях (б)

Fig. 7. SEM image of the silicon oxide surface after removal of the metal by laser — the areas in which the composition (а) was analyzed and the results of the spectral analysis of the composition in the two indicated areas (б) are highlighted

На рис. 9 показана граница медь – оксид кремния с отмеченными областями, в которых производился анализ состава. Из полученных данных видно, что в указанной пограничной области присутствуют окисленные под действием лазера фрагменты светлого оксида кремния. Более темные области соответствуют участкам меди. Граница неравномерная, однако достаточно четкая — в области оксида кремния лишь небольшой пик, соответствующий меди.

Для реализации трехмерной сборки кремниевые коммутационные платы с TSV и предварительно установленными кристаллами необходимо смонтировать друг на друга (рис. 10а). С этой целью на оборотной стороне плат формируются шариковые выводы. При этом задание межуровневого расстояния осуществляется введением коммутационной рамки (или нескольких рамок) с TSV по периметру (рис. 10б). В подобных сборках иностранными компаниями для соединения уровней применяют шариковые выводы большого диаметра и вытравливание несквозных полостей непосредственно в коммутационных платах, что требует использования утоненных кристаллов.

Сквозные металлизированные отверстия позволяют связать лицевую и обратную сторону кремниевой платы, а также соединить наиболее оптимальным образом контактные площадки

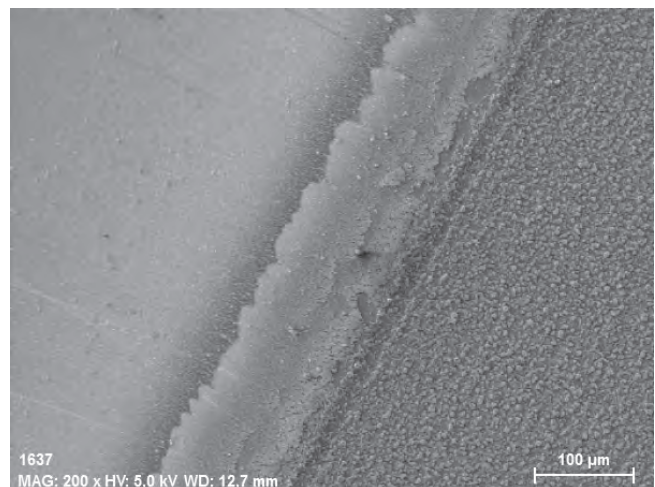


Рис. 8. РЭМ-изображение границы элемента коммутации на кремниевой пластине со слоем оксида, полученного с помощью лазера

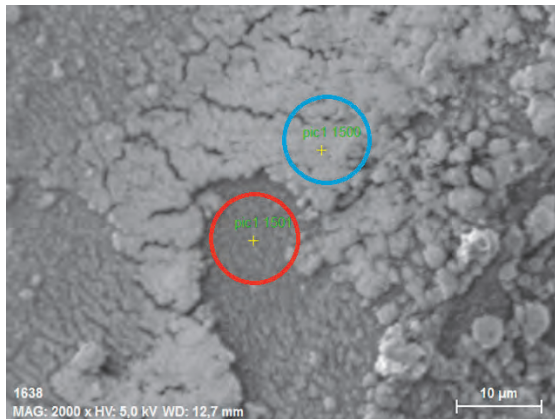
Fig. 8. SEM image of the interconnection element boundary on the silicon wafer with oxide layer obtained using laser

The disadvantage of ultraviolet and green lasers is their high price.

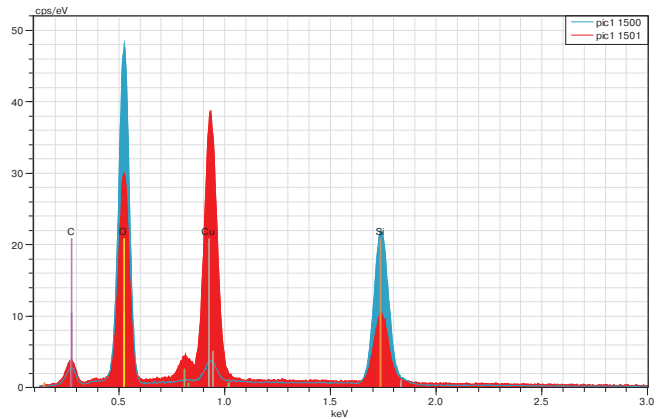
In addition to the wavelength, the parameters of power and pulse duration are also important in laser ablation of a material. In the case of micro- and nanosecond lasers, heat interchange, fusion, evaporation, and plasma formation are the dominant processes in the interaction of a pulse with a material. The longer the pulse, the greater the contribution of the fusion and displacement of the melt, and the effect of pilling-up. The contribution of plasma formation and ablation begins to increase with a decrease in the duration to nanoseconds. When using short pico- and femtosecond pulses, high power

density leads to a change in the way the laser beam interacts with the material. As a result, the contribution of multiphoton absorption effects begins to be significant in the process. In the case of metal, there is a so-called two-temperature model, caused by a different description of heating for the ion lattice and electron gas. As a result, part of the material develops into superheated liquid due to the rapid heating (since it cannot evaporate continuously). Rapidly expanding vapors pick up drops of this liquid, which results in a process called spallation. Since pilling-up processes do not occur during the spallation, the most precise pattern without melt traces is formed [8].

Femto- and picosecond lasers are more often used to form holes (including holes in silicon). These systems are quite complex and expensive; in addition, they require careful adjustment, and therefore, more comprehensible nanosecond systems are often used to form the topology. In this study, interconnection was formed using nanosecond laser systems based on infrared fiber-optic ytterbium lasers with a wavelength of about 1054 nm. Figure 6а shows the interconnection obtained using the specialized MicroSET system for prototyping electronic products, manufactured by the Russian Company “Laser Center”. Testing was carried out on a test wafer with sputtered



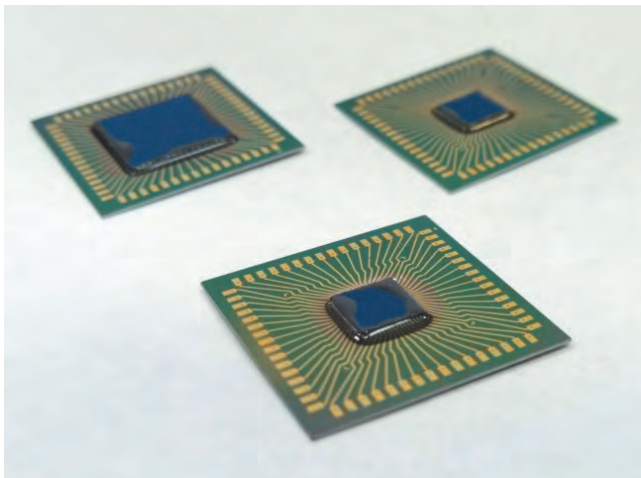
a | a



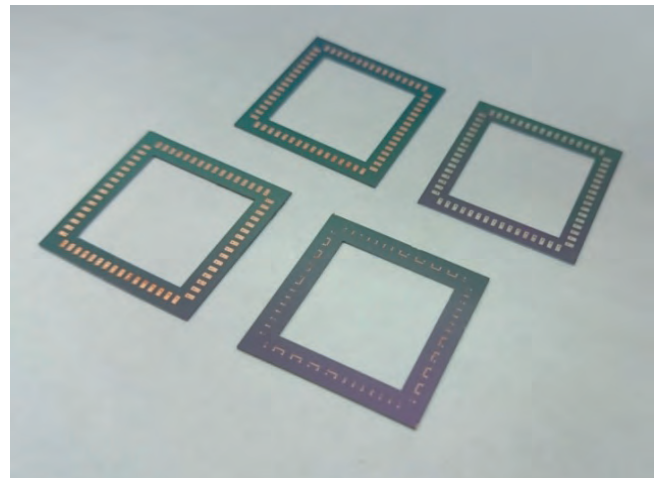
б | b

Рис. 9. Результаты анализа границы сформированного лазером проводника на кремниевой пластине, полученные с помощью растрового электронного микроскопа: изображение границы проводника (а), спектральный анализ состава в двух указанных областях (б)

Fig. 9. Results of the analysis of the conductor boundary formed by laser on a silicon wafer, obtained using a scanning electron microscope: the image of the conductor boundary (a); spectral analysis of the composition in the two specified areas (b)



a | a



б | b

Рис. 10. Элементы уровня трехмерной сборки: а) кремниевые коммутационные платы со смонтированными кристаллами по методу flip-chip; б) коммутационные рамки с TSV

Fig. 10. Elements of the 3D assembly level: a) flip-chip mounted silicon interconnection boards; b) interconnection frames with TSV

layers of chromium and copper. The minimum achieved topological rate was 35 μm . Similar interconnection was also obtained using a less expensive system without an automatic table called the Sharpmark Fiber Optima manufactured by Sharp Laser Company. Figure 6b shows that conductors with an angle of 45 degrees have edge ribbing from 1 to 8 μm . With proper selection of power, speed and frequency of the laser, this problem can be solved.

The boundary of the obtained interconnection elements and areas from which the metal was completely removed has been analyzed. The analysis was performed using scanning electron microscopy. As a result,

it was found that after treatment, the silicon oxide layer was preserved in the laser-treated areas — Fig. 7. The white fragments in Fig. 7 were formed as a result of silicon oxide saturation with oxygen due to laser surface treatment.

Figure 8 shows the image of the interconnection path boundary. On the left side of Fig. 8, there is unaffected copper; on the right side there is silicon oxide layer, which is completely free of metal (copper and chromium). A transition layer of copper is located between silicon oxide and undamaged copper. This layer is gradually decreasing in thickness as it moves from the pure metal region to the oxide region.

Figure 9 shows the copper-silicon oxide boundary with marked areas where the composition analysis was performed. The obtained data show that the fragments of light silicon oxide oxidized by laser are present in the indicated boundary area. Darker areas correspond to copper. The boundary is uneven; however, it is quite clear — there is a small peak corresponding to the copper in silicon oxide area.

In order to implement 3D assembly, silicon interconnection boards with TSV and pre-installed chips have to be mounted on top of each other (Fig. 10a). For this purpose, ball pins are formed on the back side of the boards. In this case, the inter-level distance is set by introducing an interconnection frame (or



кристалла и внешние выводы уровня. В результате уровни итоговой трехмерной сборки могут содержать как один, так и несколько различных кристаллов; кроме того, в состав уровня могут быть включены невысокие (менее 0,7 мм) пассивные компоненты.

Кремниевые платы отличаются не только высокой плотностью коммутации и температурным коэффициентом линейного расширения, очень близким к коэффициенту расширения кремниевых кристаллов, но и высокой теплопроводностью, что позволяет использовать их дляборок мощных цифровых кристаллов. В качестве недостатков микросборок на основе сквозных отверстий в кремнии можно выделить их более высокую стоимость при мелкосерийном производстве, относительную хрупкость кремния и невозможность формировать толстые слои коммутации (в несколько десятков или сотен микрон) для устройств силовой электроники. Увеличить прочность уровней и защитить смонтированные кристаллы от внешних воздействий позволяет заливка внутренней полости и межуровневого пространства компаундом; данный процесс называют монолитизацией. На рис. 11 показана монолитизированная сборка кремниевых коммутационных плат со смонтированными кристаллами.

Межуровневая коммутация в трехмерных сборках на основе встроенного монтажа осуществляется способами, схожими с теми, что используются при создании 3D WLP-борок. В отдельных случаях корпусирование на уровне пластины рассматривают как вариант встроенного монтажа кристаллов. Например, на рис. 12а, б показан «корпус», выполненный по технологии внутреннего монтажа кристаллов в кремний (ВМКК) от НИУ МИЭТ (патент № 2581155, приоритет от 10.12.2014) и его структура (рис. 12в). Используемые при корпусировании конструктивно-технологические решения близки к тем, что применяются при создании корпусов WLP за тем исключением, что кристалл в методе ВМКК монтируется в кремниевую рамку с созданной заранее полостью [9]. В 2017 году подобный вариант корпусирования на уровне пластины был представлен компанией Huan Tien под названием Fan-out-монтажа встроенных в кремниевую подложку кристаллов.

Другой подход к встроенному монтажу — монтаж компонентов непосредственно в печатную плату из стеклотекстолита или полимерного материала. Данный вариант использует, например, компания SHINKO, применяя для соединения уровней покрытые припоем медные шарики. К своеобразному варианту встроенного монтажа можно отнести и платы компании JAAPSON PCB с внутренним монтажом и торцевыми металлизированными полукруглыми отверстиями.

Торцевая коммутация достаточно часто упоминается применительно к технологиям создания печатных плат и корпусов. Под этим термином могут пониматься торцевые полукруглые отверстия или гибкие шлейфы, проведенные по боковым стенкам уровней микросборки. Однако наиболее рациональный вариант — торцевые коммутационные проводники, сформированные по беспаячной и бессварочной технологии (металлизация торцов уровней микросборки и дальнейшее формирование рисунка коммутации с помощью лазера). Торцевые

коммутационные проводники являются основой технологий 3D PLUS и Irvine Sensors. Сборки с использованием торцевой коммутации имеют ряд важных преимуществ. Они практически не требуют использования дорогостоящих процессов, характерных для производства микросхем и МЭМС, для них отсутствуют ограничения,

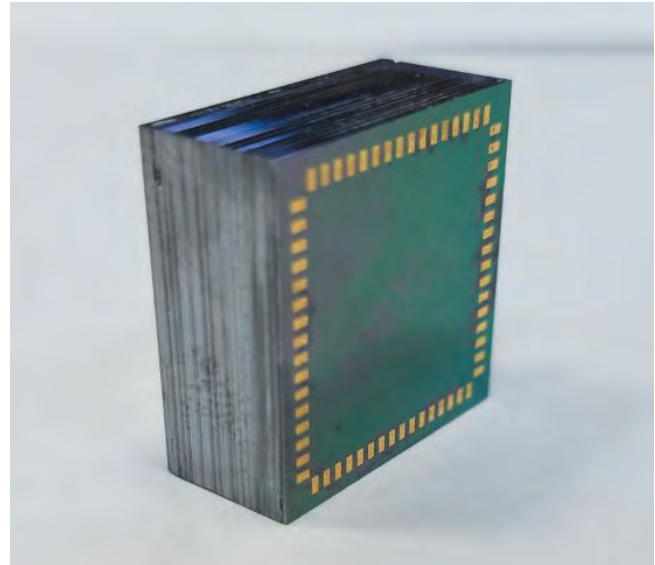


Рис. 11. Монолитизированная трехмерная сборка на основе коммутационных плат со сквозными металлизированными отверстиями в кремнии

Fig. 11. Monolithic 3D assembly on the basis of interconnection boards with plated through holes in silicon

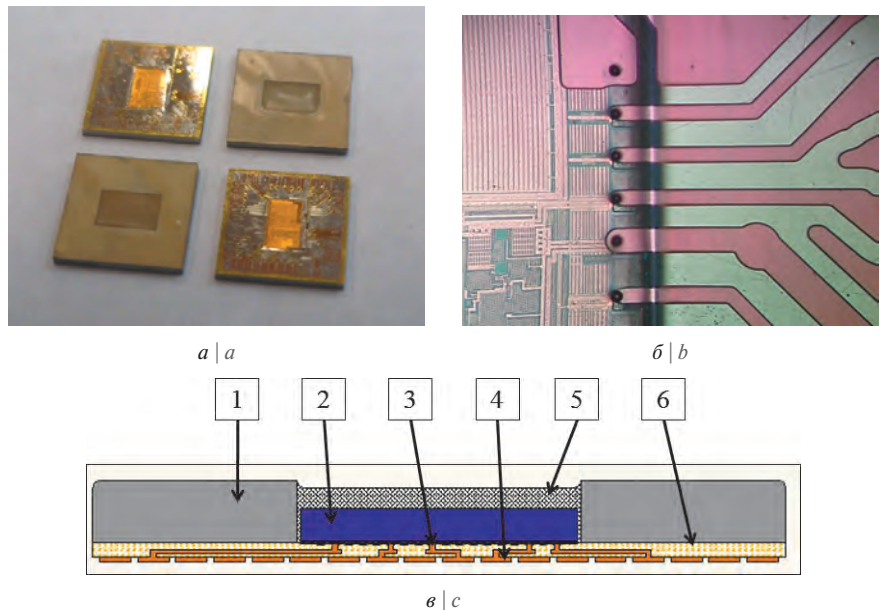


Рис. 12. Корпусирование по технологии ВМКК [9]: а) образцы радиочастотных СБИС SnK в «корпусе» ВМКК размером 6×6 мм; б) фрагменты топологии первого слоя коммутации; в) структура «корпуса» в разрезе, где 1 — кремниевая рамка, 2 — кристалл, 3 — беспаячный и бессварочный контакт, 4 — внешняя контактная площадка, 5 — кремнийорганический полимер, 6 — диэлектрик слоев перераспределения

Fig. 12. Packaging using the IMCS technology [9]: а) samples of radio-frequency SBIS SnK in the IMCS “package” with the size of 6×6 mm; б) fragments of the first interconnection level topology; в) section of the “package” structure, where 1 — silicon frame, 2 — chip, 3 — solderless and weld-free contact, 4 — external contact pad, 5 — organic-silicon polymer, 6 — redistribution layers dielectric

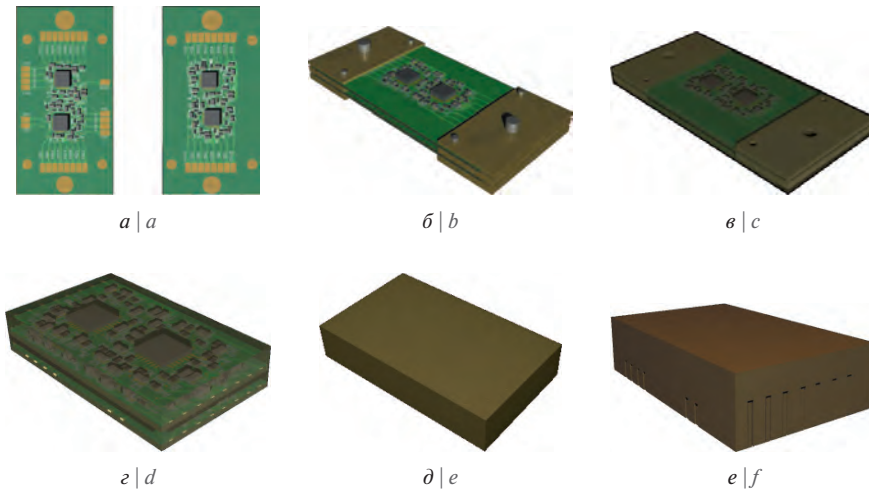


Рис. 13. Основные этапы создания микросборки с торцевыми коммутационными проводниками: а) изготовление уровней, б) сборка уровней, в) заливка сборки компаундом, г) удаление тестовой области и вскрытие торцевых контактов, д) металлизация, е) формирование коммутации

Fig. 13. The main stages of creating 3D assemblies with board edge interconnection traces: a) manufacturing levels; b) assembling levels; c) filling the assembly with compound; d) removing the test area and opening the levels edge contacts; e) plating; f) forming the interconnection

связанные с аспектным соотношением (коммутация по торцу может формироваться на любую высоту), толщина торцевых дорожек может достигать нескольких десятков и даже сотен микрон, что позволяет использовать коммутацию для изделий силовой электроники. Кроме того, высота уровня может достигать нескольких миллиметров, а сама коммутация является надежной за счет того, что формируется в едином технологическом процессе. Основные недостатки трехмерных сборок с торцевыми проводниками следуют из их достоинств: это невысокая ремонтопригодность, относительно малая плотность межуровневой коммутации (до 100 мкм) и коммутации в пределах

В данной работе исследовались наиболее критичные технологические процессы заливки и металлизации компаунда. Для формирования тестовых структур эпоксидные компаунды заливались в напечатанную на 3D-принтере форму из ABS-пластика. После отверждения пластик удалялся в ацетоне. На полученных заготовках проводились процессы химической металлизации двумя вариантами с формальдегидом в качестве восстановителя и с применением прямой металлизацией. Далее проводилось гальваническое доразращивание до толщины 20 мкм. Исследование проводилось для компаунда ЭЗК 6 российского производства и компаунда фирмы Henkel HYSOL FP4450. Компаунд HYSOL FP4450

several frames) with TSV along the perimeter (Fig. 10b). In such assemblies made by foreign companies, large-diameter ball pins and etching of blind cavities directly in the interconnection boards are used to connect the levels, which requires the use of thinned chips.

Plated-through vias allow binding the front and back side of the silicon interconnection board, as well as connecting the contact pads of the chip and the external level pins in the most optimal way. As a result, the levels of the final 3D assembly can contain one or several different chips; in addition, low (less than 0.7 mm) passive components can be included in the level.

Silicon boards are distinguished not only by high interconnection density and linear expansion temperature coefficient very close to that of silicon chips but also by high thermal conductivity, which allows using them in high-power digital chips assemblies. The disadvantages of microassemblies based on through holes in silicon are their higher cost in small-scale production, relative

fragility of silicon and inability to form thick interconnection layers (several dozens or hundreds of microns) for power electronics devices. An increase in the strength of the levels and protection of the mounted chips from external influences is possible due to the filling of the internal cavity and inter-level space with a compound — this process is called monolithization. Figure 11 shows a monolithic assembly of silicon interconnection boards with mounted chips.

Inter-level interconnection in 3D assemblies based on embedded mounting is carried out in a manner similar to those used to create 3D WLP assemblies. In some cases, wafer level packaging is considered as an option of chip embedded mounting. For example, Fig. 12a, b shows the package made using the technology of internal mounting of chips into silicon (IMCS) from NIU MIET (patent No. 2581155, priority dated December 10, 2014) and its structure (Fig. 12c). Design and technology solutions used in the packaging are close to those used in the creation

уровня (до 50 мкм), меньшая, чем в случае кремниевых плат, стойкость к температурным воздействиям и влажности.

Микросборки с торцевыми коммутационными проводниками могут рассматриваться как способ создания мультитрехмерных систем, в состав которых включаются более плотные трехмерные сборки, например на основе кремниевых плат с TSV. Основным этапом создания трехмерных сборок с торцевой коммутацией является изготовление уровней, которые представляют собой печатные платы со смонтированными компонентами и выведенными к торцу дорожками коммутации, установка уровней друг над другом (обычно реализуется с помощью задающих межуровневое расстояние временных прокладок), далее следует заливка сборки специальным компаундом, вскрытие торцевых контактов, металлизация и формирование коммутации по торцам сборки (рис. 13).

of WLP packages, with the exception that the chip in the IMCS method is mounted in a silicon frame with a cavity created in advance [9]. In 2017, a similar wafer level packaging was introduced by Huan Tien Company under the name Fan-Out mounting of chips embedded in a silicon substrate.

Another approach to embedded mounting is to mount components directly to a printed circuit board made of fiberglass or polymeric material. This option is used, for example, by SHINKO Company, which uses copper balls covered with solder to connect the levels. JAAPSON Company boards with internal mounting and plated board edge half-holes can also be considered as an option of embedded mounting.

Edge interconnection is often mentioned with reference to the creation of printed circuit boards and enclosures. This term can be understood as the board edge half-holes or flexible cable flat installed along the side walls of the microassembly levels. However, the most rational option is the edge

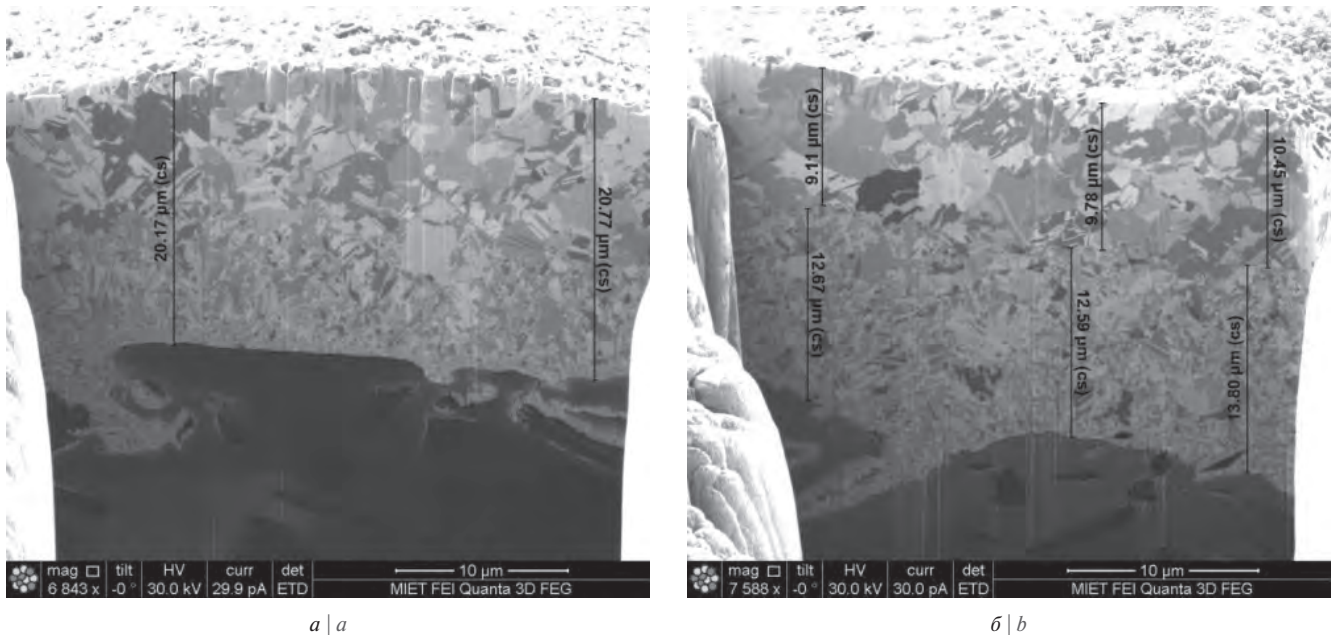


Рис. 14. РЭМ-изображения результатов металлизации компаундов Henkel HYSOL FP4450 (а) и ЭЗК 6 (б)
 Fig. 14. SEM images of the results of Henkel HYSOL FP4450 (a) and EZK 6 (b) compounds plating

был выбран, поскольку используется в варианте технологии торцевой металлизации от компании 3D PLUS. Главными критериями при выборе компаунда ЭЗК 6 стали температурный коэффициент линейного расширения ($30 \cdot 10^{-6} \text{ C}^{-1}$ при ТКЛР стеклотекстолита Isola порядка $22 \cdot 10^{-6} \text{ C}^{-1}$) и малая усадка (от 1 до 1,5 согласно информации производителя). Результаты процесса металлизации показаны на рис. 14. Металлизация образцов прошла успешно, однако медь на поверхности компаунда Henkel HYSOL FP4450 показала более низкую адгезию к поверхности, чем на компаунде ЭЗК 6.

В рамках данной работы представлен обзор наиболее перспективных методов формирования межуровневой коммутации в трехмерных микросборках как на примере разработок НИУ МИЭТ, так и на примере технологий мировых лидеров в данной области. Получены результаты в области формирования высокоплотных кремниевых плат с металлизированными отверстиями:

- установлена возможность формирования рисунка коммутации кремниевых плат с топологическими нормами до 20 мкм;

interconnection traces formed using solderless and weld-free technology (plating of the multilevel microassembly edges and further formation of the interconnection pattern using laser). Edge interconnection traces are the basis of 3D PLUS and Irvine Sensors technologies. Assemblies using edge interconnection have several important advantages. They require little or no use of expensive processes typical for manufacturing of microcircuits and MEMS; there are no restrictions on terms of aspect ratio (edge interconnection can be formed at any height), the edge traces thickness can reach several dozens or even hundreds of microns, which allows using interconnection for power electronics products. In addition, the level height can be several millimeters, and the interconnection itself is reliable due to the fact that it is formed within a single technological process. The main disadvantages of 3D assemblies with edge traces stem from their advantages: low maintainability, relatively low density of inter-level interconnection (up to 100 μm) and interconnection within a level

(up to 50 μm), lower resistance to temperature effects and humidity compared to the silicon boards.

Microassemblies with edge interconnection traces can be considered as a way to create multi-three-dimensional systems, which include denser 3D assemblies, for example, based on silicon boards with TSV. The main stages of creating 3D assemblies with board edge commutation are manufacturing of levels, which are printed circuit boards with mounted components and level interconnection paths, levels mounting one above the other (usually implemented with temporary pads specifying the inter-layer distance), then the assembly is filled with a special compound, the filling is followed by the opening of the end contacts, plating and forming of interconnection along the edges of the assembly (Fig. 13).

This paper highlights the most critical technological processes of molding and plating the compound. To form test structures, epoxy compounds were molded into an ABS

plastic form printed on a 3D printer. After curing, the plastic was removed with acetone. Obtained blanks were used to perform chemical metallization processes in two versions with formaldehyde as a reducing agent and using direct metallization. After that, plating to a thickness of 20 microns was carried out. The study was conducted for EZK 6 compound of Russian production and HYSOL FP4450 compound made by Henkel Company. The HYSOL FP4450 compound was selected due to its use in the end plating technology from the 3D PLUS Company. The main criteria for selecting the EZK 6 compound were the temperature coefficient of linear expansion ($30 \cdot 10^{-6} \text{ C}^{-1}$, at TCLE of Isola fiber-glass plastic about $22 \cdot 10^{-6} \text{ C}^{-1}$) and low shrinkage (from 1 to 1.5 according to the manufacturer). The results of the plating process are shown in Fig. 14. Samples plating was successful; however, copper on the surface of the Henkel HYSOL FP4450 compound had a lower adhesion to the surface compared to the EZK 6 compound.



- получена коммутация кремниевых плат методом удаления металла с поверхности диэлектрика с помощью инфракрасного оптоволоконного наносекундного лазера (топологические нормы до 35 мкм);
- при формировании коммутации использована мощность порядка 30 % от максимальной мощности лазера (20 Вт) и длительность импульса около 4 нс;
- проведен анализ полученной лазером коммутации. Показано, что диэлектрик в результате обработки не был разрушен, сопротивление на участках с удаленным металлом аналогично сопротивлению пластины со сформированным слоем оксида кремния.
Результаты в области формирования торцевой коммутации:
- отработан метод заливки многоуровневых сборок в оснастке;
- установлена возможность формирования металлизации на эпоксидных компаундах ЭЗК 6 и HYSOL FP4450 до толщины 20 мкм.

ЛИТЕРАТУРА

1. Shukla G. *3D Semiconductor Packaging Market by Technology* (3D Through silicon via, 3D Package on Package, 3D Fan Out Based, 3D Wire Bonded), by Material (Organic Substrate, Bonding Wire, Leadframe, Encapsulation Resin, Ceramic Package, Die Attach Material), by Industry Vertical (Electronics, Industrial, Automotive & Transport, Healthcare, IT & Telecommunication, Aerospace & Defense) — Global Opportunity Analysis and Industry Forecast, 2014–2022 / G. Shukla, K. Sharma. — Allied Market Research, 2016.
2. Lau John H. *3D IC Packaging and 3D IC Integration: A CPMT Distinguish Lecture*. — San Diego Chapter, 2015. 111 p.
3. Lanzone R. *Amkor Technology Advanced Package Solutions* / Robert L. // SVP Engineering Solutions: Confab. — Las Vegas, 2013.
4. Elisabeth S. *TSMC Integrated Fan-Out (inFO) Package in Apple's A10 Application Processor* / S. Elisabeth, Y. Le Goff. — System Plus Consulting, 2016.
5. Sutanto J. *POSSUM™ die design as a low cost 3D packaging alternative* // 3D Packaging — 2013, №25. P. 16–18.
6. Burakov M. *Investigation of TSV metallization for MEMS packaging technology* / Mikhail M. Burakov, Denis V. Vertyanov, Aleksandr V. Sosnovsky // 2018 IEEE Conference of Russian Young Researchers. — Москва, Зеленоград, IEEE, 2018.
7. Вертянов Д. В. Трехмерная микросборка на основе коммутационных плат из кремния и бескорпусных элементов МЭМС / Д. В. Вертянов, М. М. Бураков, С. М. Кручинин, В. Н. Сидоренко, А. В. Брыкин // Наноиндустрия. Спецвыпуск (82), 2018. — С. 521–531.
8. Leitz K. *Metal Ablation with Short and Ultrashort Laser Pulses* // Elsevier, 2011. P. 230–238.
9. Назаров Е. С. Преимущества технологии внутреннего монтажа при производстве СБИС SnK и GPS/ГЛОНАСС-приемников / Е. С. Назаров, Д. В. Вертянов // Интегральные схемы и микроэлектронные модули — проектирование, производство и применение. Сборник докладов Международной конференции «Микроэлектроника 2015». — Москва, ТЕХНОСФЕРА, 2016. — С. 89–95.

This paper includes an overview of the most promising methods for the formation of inter-level interconnection in 3D assemblies, both by the example of MIET developments and by the example of technologies of world leaders in this field. The results were obtained in the field of the formation of high-density silicon boards with plated TSVs:

- the possibility of forming a pattern of silicon interconnection boards with layout rules up to 20 microns;
- interconnection of silicon boards was obtained by removing metal from the dielectric surface using an infrared fiber-optic nanosecond laser (layout rules up to 35 μm);
- during the formation of interconnection, a power of about 30 % of the maximum laser power (20 W) and a pulse duration of about 4 ns were used;
- analysis of the interconnection obtained by the laser was performed. It has been shown that the dielectric was not destroyed as a result of processing; the resistance in areas with the removed metal is similar to the resistance of the wafer with a formed layer of silicon oxide.

The results in the formation of board interconnection are as follows:

- the method of filling multi-level assemblies was tested in fixture;

- the possibility to form plating EZK 6 and HYSOL FP4450 epoxy compounds to a thickness of 20 μm was confirmed.

REFERENCES

1. Shukla G. *3D Semiconductor Packaging Market by Technology* (3D Through silicon via, 3D Package on Package, 3D Fan Out Based, 3D Wire Bonded), by Material (Organic Substrate, Bonding Wire, Leadframe, Encapsulation Resin, Ceramic Package, Die Attach Material), by Industry Vertical (Electronics, Industrial, Automotive & Transport, Healthcare, IT & Telecommunication, Aerospace & Defense) — Global Opportunity Analysis and Industry Forecast, 2014–2022 / G. Shukla, K. Sharma. — Allied Market Research, 2016.
2. Lau John H. *3D IC Packaging 3D IC Integration: A CPMT Distinguish Lecture*. — San Diego Chapter, 2015. 111 p.
3. Lanzone R. *Amkor Technology Advanced Package Solutions* / Robert L. // SVP Engineering Solutions: Confab. — Las Vegas, 2013.
4. Elisabeth S. *TSMC Integrated Fan-Out (inFO) Package in Apple's A10 Application Processor* / S. Elisabeth, Y. Le Goff. — System Plus Consulting, 2016.
5. Sutanto J. *POSSUM™ die design as a low cost 3D packaging alternative* // 3D Packaging — 2013, №25. P. 16–18.
6. Burakov M. *Investigation of TSV metallization for MEMS packaging technology* / Mikhail M. Burakov, Denis V. Vertyanov, Aleksandr V. Sosnovsky // 2018 IEEE Conference of Russian Young Researchers. Moskva, Zelenograd, IEEE, 2018.
7. Vertyanov D. V. Trekhmernaya mikrosborka na osnove kommutatsionnykh plat iz kremniya i beskorpusnykh elementov MEMS / D. V. Vertyanov, M. M. Burakov, S. M. Kruchinin, V. N. Sidorenko, A. V. Brykin // Nanoindustriya, 2018. №82. P. 521–531. (In Russian).
8. Leitz K. *Metal Ablation with Short and Ultrashort Laser Pulses* // Elsevier, 2011. P. 230–238.
9. Nazarov E. S. Preimushchestva tekhnologii vnutrennego montazha pri proizvodstve SBIS SnK i GPS/GLO-NASS-priemnikov / E. S. Nazarov, D. V. Vertyanov // Integral'nye skhemy i mikroelektronnye moduli — proektirovanie, proizvodstvo i primeneniye // Sbornik dokladov Mezhdunarodnoi konferentsii «Mikroelektronika 2015». Moskva, «Tekhnosfera», 2016. P. 89–95. (In Russian).