БИОМОРФНЫЙ НЕЙРОПРОЦЕССОР – ПРОТОТИП КОМПЬЮТЕРА НОВОГО ПОКОЛЕНИЯ, ЯВЛЯЮЩЕГОСЯ НОСИТЕЛЕМ ИСКУССТВЕННОГО ИНТЕЛЛЕКТА. ЧАСТЬ 2

BIOMORPHOUS NEUROPROCESSOR – PROTOTYPE OF A NEW GENERATION COMPUTER BEING A CARRIER OF ARTIFICIAL INTELLIGENCE. PART 2

С.Ю.Удовиченко*, д.ф.-м.н., проф., (ORCID: 0000-0003-3583-7081), А.Д.Писарев*, к.т.н., доц., (ORCID: 0000-0002-5602-3880), А.Н.Бусыгин*, аспирант, (ORCID: 0000-0002-3439-8067), А.Н.Бобылев*, заведующий лабораторией, (ORCID: 0000-0001-5488-8736) / udotgu@mail.ru
S.Yu.Udovichenko*, Doct. of Sc. (Physics and Mathematics), Prof., A.D.Pisarev*, Cand. of Sc. (Technical), Docent, A.N.Busygin*, Post-Graduate, A.N.Bobylev*, Head of Laboratory

DOI: 10.22184/1993-8578.2021.14.1.68.79

Получено: 21.12.2020 г.

Во входном и выходном устройствах биоморфного нейропроцессора происходят первичная и конечная обработка информации. Представлены результаты по сжатию на входе цифровой информации и ее кодированию в импульсы, а также по декодированию информации об активации нейронов на выходе в цифровой двоичный код. Представлена реализация аппаратной нейросети процессора на основе оригинальной биоморфной электрической модели нейрона. Приведены результаты SPICE-моделирования и экспериментального исследования процессов обработки сигналов в режимах маршрутизации выходных импульсов нейронов на синапсы других нейронов в логической матрице, скалярного умножения матрицы чисел на вектор, а также ассоциативного самообучения в запоминающей матрице. Впервые продемонстрирована генерация новой ассоциации (нового знания) как в компьютерном моделировании, так и в изготовленном мемристорно-диодном кроссбаре, в отличие от самообучения в существующих аппаратных нейросетях с синапсами на базе дискретных мемристоров.

Primary and ultimate information processing takes place in the input and output devices of the biomorphic neuroprocessor. The results are presented on the compression of digital information at the input and its coding into pulses, as well as on the decoding of information about the activation of neurons at the output into a digital binary code. An implementation of a hardware neural network of a processor based on an original biomorphic electrical model of a neuron is presented. The results of SPICE modeling and experimental research of signal processing processes in the modes of routing neuron output pulses to synapses of other neurons in a logical matrix, scalar multiplication of a matrix of numbers by a vector, and associative self-learning in a memory matrix are presented. For the first time, the generation of a new association (new knowledge) was demonstrated both in computer simulation and in a fabricated memristor-diode crossbar, in contrast to self-learning in existing hardware neural networks with synapses based on discrete memristors.

ВХОДНОЕ И ВЫХОДНОЕ УСТРОЙСТВА НЕЙРОПРОЦЕССОРА

Входное устройство нейропроцессора [1] предназначено для первичной обработки звуковых

и видеосигналов, включающей в себя сжатие и кодирование информации в импульсы. На вход с интерфейсного блока поступает информационный сигнал в параллельном стандартном

* Тюменский государственный университет / University of Tyumen.

Рис.1. Процесс кодирования значений яркости пикселей в строке видеокadra в формат биоморфных импульсов
Fig.1. The process of encoding the brightness values of pixels in a video frame line into the biomorphic impulses format

двоичном коде, в котором информация разделена на каналы по типу данных. Сначала происходят фильтрация и нормализация входных данных с помощью дискретного косинусного преобразования в логической матрице, являющегося разновидностью методов фурье-анализа, и отсева малых амплитуд, а затем амплитуды гармоник кодируются в биоморфные импульсы [2, 3].

Импульсное сжатие и кодирование цифровой информации

На рис.1 показано, как значения яркости пикселей в строке видеокadra с помощью дискретного косинусного преобразования разлагаются в амплитуды гармоник.

Гармоники с малой амплитудой фильтруются, а остальные с помощью перевода цифрового двоичного кода в пространственный код преобразуются в формат биоморфных импульсов. В результате информационные импульсы появляются только на соответствующих входах запоминающей матрицы нейропроцессора, являющихся массивом синапсов нейронов. Низкие значения амплитуд отбрасываются, поэтому проводящих линий для них не предусмотрено.

Аппаратное кодирование информации в импульсы

Электрическая схема импульсного кодирования информации (рис.2) построена с помощью набора устройств задержек и с использованием логической матрицы. Схема является универсальной, поскольку позволяет реализовать все способы импульсного кодирования входной информации, представленной

двоичными числами: кодирование двоичного числа в частоту, в задержки, а также одновременное кодирование в частоту и в задержки как одним виртуальным нейроном, так и их популяцией.

При кодировании нескольких чисел (яркостей пикселей, амплитуды образа косинусного преобразования) необходимо использовать несколько кодирующих устройств параллельно. Численное моделирование процессов кодирования проведено с помощью оригинальной специализированной программы MDC-SPICE, разработанной для расчета больших электрических схем, содержащих мемристорно-диодные кроссбары. Этот симулятор является модифицированной версией SPICE подобного симулятора ahkab [4]. Электрическая схема в классической программе SPICE задается как набор элементов электроники и связей между ними.

На рис.3 представлен результат моделирования процесса кодирования двух входных чисел p_0 и p_1 в задержки тремя виртуальными нейронами. Число p_0 линейно возрастало во времени от 1 до 7, а p_1 наоборот убывало с 7 до 1 (рис.3а). Настраиваемые кривые нейронов (рис.3с) такие же как при моделировании кодирования одного числа в задержку популяцией нейронов. Если входные числа p_0 и p_1 равны, то на выходе получаем только по одному импульсу на каждом канале. Если же p_0 и p_1 различаются, то на каждом выходном канале наблюдаются два импульса. Таким образом, при различии в значениях p_0 и p_1 выходная частота удваивается, что соответствует отличию от нуля пространственной производной входных чисел (яркости пикселей).

Рис. 2. Электрическая схема кодирующего устройства: а – реализация совершенной дизъюнктивной нормальной формы на базе мемристорно-диодного кроссбара, б – линия задержки

Fig. 2. Electrical diagram of the encoder: a – implementation of a perfect disjunctive normal form based on a memristor-diode crossbar, b – delay line

Аналогично проведено моделирование режимов кодирования числа в частоту импульсов и одно-временного кодирования в частоту и задержки импульсов одним нейроном и популяцией из трех нейронов.

Предложенная схема одновременного кодирования популяцией нейронов пространственной производной входного числа в частоту

и значения входного числа в задержки импульсов дополнительно позволяет кодировать и производную входной величины во времени. Такая схема быстрее реагирует на изменения входного сигнала за счет большего объема передаваемой информации и является предпочтительной по сравнению с одновременным кодированием значения яркости пикселей в задержки

Рис. 3. Моделирование режима кодирования одновременно в задержки и в частоту импульсов популяцией нейронов: а – изменение входных чисел во времени; б – выходные импульсы; в – функции преобразования чисел n в частоту f ; д – карта проводимости мемристоров

Fig. 3. Simulation of coding mode simultaneously in delay and in pulse frequency a population of neurons: a – the change in input numbers over time; b – output pulses; c – functions of converting numbers n to frequency f ; d – memristor conductivity map

Рис.4. Принципиальная схема и результаты SPICE-моделирования преобразователя позиционно-временного двухразрядного импульсного сигнала популяционно-кодированной величины в двухразрядное число с использованием генератора бинарных чисел
 Fig.4. Schematic diagram and results of SPICE-modeling of the converter of a position-time two-bit pulse signal of a population-coded value into a two-bit number using a binary number generator

и пространственной производной яркости в частоту, которое наблюдается в биологических нейронных сетях [5], а также по сравнению с возможной аппаратной реализацией [6] одновременного кодирования на одном нейроне значения входной величины в частоту и в задержку ее производной во времени.

Основной задачей выходного устройства является преобразование информации из импульсного формата в стандартный цифровой код для вывода из нейропроцессора. В выходном устройстве происходит сбор групп распределенных сигналов аппаратной нейросети нейропроцессора после их параллельной обработки. Эти функции необходимы, поскольку данные в нейропроцессоре в формате своего представления могут охватывать большую группу сигнальных линий. Осуществляется представление обработанных величин в сжатом формате (без избыточности), локализованном по времени и пространству. На выходное устройство поступает информация, полученная в нейронном блоке нейропроцессора в импульсном формате представления данных, характерном для искусственных спайковых нейронных сетей, которые наиболее приближены к биологическим нейронным системам [5]. При работе выходного блока отсутствует необходимость в операциях сжатия и фильтрации информационного потока, которые выполняются во входном устройстве нейропроцессора. Таким образом, основной операцией выходного устройства является перекодировка формата

данных спайковых нейронных сетей в стандартное цифровое представление.

SPICE-моделирование схемы, декодирующей импульсные сигналы нейронных популяций

На рис.4 показана принципиальная схема и результаты SPICE-моделирования преобразователя позиционно-временного двухразрядного импульсного сигнала популяционно-кодированной величины в двухразрядное число с использованием генератора двоичных чисел.

Декодированное значение в качестве примера можно определить по диаграмме SPICE-моделирования, показанной на рис.4 справа. Для примера в качестве выходного стандартного сигнала выбрано шестнадцатеричное двухразрядное число, представленное стандартным байтом информации в параллельном коде. Реализация этой схемы может быть выполнена в одном слое логической матрицы. Значения преобразуемой величины на входе показаны на диаграммах SPICE-моделирования сигналами input_0 и input_1. Компактность схемы достигнута за счет применения генератора двоичных чисел, установленного на периферии мемристорной логической матрицы [7].

РЕАЛИЗАЦИЯ АППАРАТНОЙ НЕЙРОСЕТИ ПРОЦЕССОРА

Один синапс нейрона из нейронного блока аппаратно представлен ячейкой запоминающей матрицы, являющейся массивом мемристорных

Рис.5. Функциональная схема нейрона с двумя синапсами (в запоминающей матрице), которые соответствуют входам от двух других нейронов

Fig.5. Functional diagram of a neuron with two synapses (in a memory matrix), which correspond to inputs from two other neurons

синапсов. Организация связи нейрона через синапсы со всеми остальными нейронами в нейронном блоке осуществляется матричным соединением ячеек через шины.

Оригинальная биоморфная электрическая модель нейрона для интеграции запоминающей матрицы с блоком нейронов

Электрические схемы всех нейронов нейронного блока одинаковы. За основу электрической схемы нейрона взята известная биоморфная электрическая модель нейрона [8, 9]. Функциональная схема, показанная на рис.5 [10], объединяет два нейрона из нейронного блока, выходы которых скоммутированы через логическую матрицу на входы синапсов третьего нейрона Input 1 и Input 2 этого же блока.

Модернизация биоморфной электрической модели нейрона заключается в изменении цепи формирования импульса потенциала действия, добавлении отдельной цепи разряда конденсатора и нелинейного элемента, предназначенного для перепрограммирования мемристоров. Суммарный ток синапсов поступает на вход ИТУТ (источник тока, управляемый током). ИТУТ заряжает конденсатор током, который пропорционален сумме выходных токов ячеек. При превышении напряжения на конденсаторе заданного порога в специальном блоке происходит генерация одиночного импульса, являющегося выходным импульсом нейрона. Этот же импульс управляет сбросом заряда на конденсаторе и увеличивает амплитуды напряжений входных импульсов выше порога программирования мемристоров и порога срабатывания нелинейного элемента в нейроне. Таким образом, при наличии выходного сигнала с нейрона и входного сигнала

на синапсе происходит увеличение проводимости одного из мемристоров комплементарной пары и, соответственно, усиление синаптической связи.

Ассоциативное самообучение синапсов запоминающей матрицы

Суть ассоциативного самообучения запоминающей матрицы заключается в особом процессе, когда биоморфные информационные импульсы, формируемые выходом возбужденного нейрона в нейросети, приводят к усилению его синаптических связей. Изменение весовых коэффициентов связей возбужденного нейрона с нейронами предыдущего слоя происходит, если в этот момент времени эти нейроны тоже оказались возбужденными и сформировали на своих выходах информационные импульсы.

Самообучение аппаратной нейросети с синапсами из запоминающей матрицы [11] на основе мемристорно-диодного кроссбара основано на локальных правилах изменения синаптических весов. Для этого в нейропроцессоре при активации нейрона его электрическая схема посылает обратно в синапс импульс специальной формы. Реализуемое правило зависит от формы пресинаптического и постсинаптического сигналов. Изменение веса синапса зависит от разницы между временами срабатывания пресинаптического и постсинаптического нейронов $\Delta t = t_{pre} - t_{post}$. Увеличение весового коэффициента синапса соответствует возникновению новой ассоциации (нового знания) в нейросети.

Проще всего реализуется долговременная потенциация (long-term potentiation – LTP). Для этого достаточно при срабатывании нейрона отправить обратно в синапс импульс отрицательного напряжения. Форма импульсов для LTP и соответствующая

Рис.6. Долговременная потенцияция: а – пре- и постсинаптические напряжения ячейки запоминающей матрицы при $\Delta t = 0$; б – функция пластичности $\Delta w(\Delta t)$

Fig.6. Long-term potentiation: a – pre and postsynaptic voltages of the memory matrix cell at $\Delta t = 0$; b – plasticity function $\Delta w(\Delta t)$

функция пластичности синапса $\Delta w(\Delta t)$ представлены на рис.6. Так как входным сигналом для ячейки матрицы является напряжение, а выходным – ток, то весовой коэффициент измеряется в единицах проводимости – сименсах.

Долговременная потенцияция усиливает весовой коэффициент синапса при перекрытии во времени импульсов от пресинаптического и постсинаптического нейронов.

Правило LTP применимо в узком числе задач, поскольку всегда приводит к усилению связей, что может негативно сказаться на работе нейросети. Более универсальным является правило пластичности, зависимой от времени импульса (spike-time dependent plasticity – STDP). В правиле STDP учитывается причинность. Если пресинаптический импульс пришел раньше и перекрывается во времени с постсинаптическим, то есть он может быть

причиной активации постсинаптического нейрона и вес синапса возрастает. Если же постсинаптический импульс возник раньше пресинаптического, то он не может быть причиной активации постсинаптического нейрона и вес синапса уменьшается.

Форма пре- и постсинаптических импульсов для правила STDP и соответствующая функция пластичности представлены на рис.7.

Так как электрическая схема нейрона выполняет интегрирование синаптического тока во времени, форма входных импульсов должна быть асимметричной. Площадь области действия положительного напряжения должна быть больше площади действия отрицательного напряжения. В свою очередь, эта несимметричность ведет к несимметричной функции пластичности с преобладанием области усиления веса синапса. Увеличение весового

Рис.7. Пластичность, зависимость от времени импульса: а – пре- и постсинаптические напряжения ячейки запоминающей матрицы при $\Delta t = 0$; б – функция пластичности $\Delta w(\Delta t)$

Fig.7. Plasticity dependent on pulse time: a – pre and postsynaptic stresses of the memory matrix cell at $\Delta t = 0$; b – plasticity function $\Delta w(\Delta t)$

Рис. 8. Моделирование ассоциативного обучения по правилу LTP в запоминающей матрице

Fig.8. Modeling LTP Associative Learning in a Memory Matrix

коэффициента синапса (левая область функции пластичности на рис.7б) соответствует возникновению новой ассоциации (нового знания) в нейросети.

МОДЕЛИРОВАНИЕ АССОЦИАТИВНОГО САМООБУЧЕНИЯ АППАРАТНОЙ СЕТИ НЕЙРОПРОЦЕССОРА

Процесс ассоциативного самообучения является биоморфным и принципиально схожим с известным экспериментом русского физиолога И.П.Павлова [12] по формированию условного рефлекса у собаки. Его можно использовать для проверки формирования новой ассоциации в нейропроцессоре.

Предполагается, что обучение синапсов в запоминающей матрице происходит по общему правилу Хебба, как и в реальном синапсе: сила связи между одновременно активировавшимися нейронами увеличивается. Для демонстрации механизма долговременной потенциации (правила LTP) была выбрана схема из трех нейронов (рис.8) [10]. Согласно схеме выходные импульсы двух нейронов через синаптические связи, представленные комплементарными мемристорно-диодными ячейками, поступают на вход третьего нейрона.

SPICE-моделирование синаптической пластичности проводилось в электрической схеме нейрона (рис.5) при ассоциации выхода нейрона n2 со входом нейрона n3. На рис.8 показаны выходные сигналы нейронов, полученные в результате моделирования. На первом этапе обучения двух импульсов нейрона n1 недостаточно для активации нейрона n3, так как связь между ними слабая. С другой стороны, нейрон n2 каждым своим импульсом способен активировать нейрон n3. На третьем этапе происходит потенциация связи между нейроном

n1 и нейроном n2. В результате усиления связи двух импульсов от нейрона n1 достаточно для активации нейрона n3. Потенциация синапса между нейроном n1 и нейроном n3 будет происходить из-за того, что они активируются одновременно, и напряжение на мемристорах, соответствующих этой связи, будет выше порогового. Таким образом, с помощью SPICE-моделирования продемонстрировано рождение новой ассоциации в группе из трех нейронов.

В качестве простого тестового примера обучения аппаратной нейросети по правилу STDP построена сеть прямого распространения информации – однослойный аппаратный персептрон [13] с синапсами из запоминающей матрицы [11] на основе мемристорно-диодного кроссбара. Для правильной работы правила STDP в нейросеть дополнительно добавлены латеральные ингибирующие связи для слоя выходных нейронов. Сеть выполняет распознавание цифр из датасета MNIST, содержащего набор рукописных цифр от 0 до 9. Смещение функции пластичности вправо (рис.7) не влияет на самообучение однослойной сети прямого распространения.

Результат работы обученной по правилу STDP аппаратной нейросети в течение 512 мс показан на рис.9.

В приведенном примере входная картинка соответствует рукописной цифре "1". Как видно из диаграммы с сигналами на рис.9 изображение цифры "1" в ходе самообучения было ассоциировано с 9-ым выходным нейроном, поскольку частота его выходных импульсов наибольшая (33,2 Гц).

Ассоциативное самообучение и формирование новой ассоциации в нейросети с мемристорными

Рис.9. Результат распознавания цифры "0" из датасета MNIST импульсным перцептроном, обученным по правилу STDP
 Fig.9. The result of recognizing the digit "0" from the MNIST dataset by a pulse perceptron trained according to the STDP rule

синапсами по правилу Хебба уже аппаратно реализованы на дискретных мемристорах в работах [14–17]. Однако предложенные электрические цепи аппаратной реализации ассоциативной памяти не могут быть использованы для построения большой аппаратной нейросети с высокими интеграцией элементов и энергоэффективностью. Причиной является отсутствие интеграции мемристоров в кроссбары и наличие в схемах нейронов и синапсов большого числа активных электронных элементов с высоким энергопотреблением.

ИССЛЕДОВАНИЕ ПРОЦЕССОВ ОБРАБОТКИ СИГНАЛОВ В ИЗГОТОВЛЕННОМ КРОССБАРЕ В РЕЖИМАХ ЛОГИЧЕСКОЙ И ЗАПОМИНАЮЩЕЙ МАТРИЦ

Исследования проводились на измерительном стенде с управляющей периферийной электрической схемой на дискретных элементах с КМОП-логикой [18] для обеспечения работы в импульсном режиме изготовленного мемристорно-диодного кроссбара, являющегося фрагментом запоминающей и логической матриц (рис.6b, часть 1 [19]). Стенд включает в себя измеряемый мемристорно-диодный кроссбар с четырьмя ячейками 1D2M, АЦП для измерения напряжения и четырьмя цифровыми портами, подключенными к операционным усилителям для формирования импульсов, выходные преобразователи ток-напряжение на основе операционных усилителей (ОУ). Кроме этого, в эксперименте по ассоциативному самообучению задействуется электрическая схема на основе ОУ, имитирующая частичный функционал нейрона, а именно, сравнение выходного тока кроссбара, преобразованного в напряжение,

с пороговым напряжением. Питание стенда осуществляется программируемым источником-измерителем Keithley SourceMeter 2400.

Результаты исследования процессов обработки сигналов в изготовленном кроссбаре в режимах запоминающей и логической матриц представлены в [20].

Маршрутизация импульсов в логической матрице на синапсы других нейронов

Логическая матрица с ячейками 1D1M работает в качестве маршрутизатора, направляя выходные импульсы нейронов из нейронного блока на синапсы других нейронов в запоминающей матрице. При этом в кроссбаре реализуются логические вентили "ИЛИ" с помощью диодно-резисторной логики на основе селективных диодов и резисторов, подтягивающих выходные проводники кроссбара к низкому электрическому потенциалу. На рис.10 показаны выходные напряжения матрицы для трех случаев маршрутизации и их представление в виде логического умножения булевой матрицы (матрицы преобразования) на входной булевой вектор. Первая компонента выходного вектора обозначена как Out[0], вторая – Out[1].

В каждом из трех случаев сначала импульс напряжения появляется на первом входе маршрутизатора, а затем на втором. Матрица преобразования первого случая обеспечивает только перенаправление импульса напряжения с первого входа на второй выход. Матрица преобразования во втором случае обеспечивает взаимное перенаправление импульсов: первый импульс появляется на втором выходе, а второй импульс – на первом. В третьем случае

Рис.10. Маршрутизация импульсов с помощью запрограммированных мемристоров: сплошные кривые – экспериментальные, пунктирные кривые – SPICE-моделирование

Fig.10. Pulse routing using programmed memristors: solid curves – experimental, dashed curves – SPICE simulation

первый импульс пройдет на оба выхода, а второй импульс – только на первый.

Среднеквадратичное отклонение выходных напряжений за время действия входных импульсов напряжения, вносимая неодинаковостью мемристоров, оценена при сравнении данных эксперимента и SPICE-моделирования и составляет 668 мкВ. Среднеквадратичное отклонение сопротивления мемристоров в низкопроводящем состоянии составляет 137%, а в высокопроводящем – 97%.

Взвешивание и сложение импульсов в запоминающей матрице

Запоминающая матрица представляет собой массив синапсов аппаратной нейронной сети. На входные проводники кроссбара запоминающей матрицы приходят импульсы от нейронов, амплитуда напряжения которых затем умножается на весовые коэффициенты, определяющиеся состоянием мемристоров в ячейках матрицы. Получившиеся токи складываются на выходных проводниках.

Наличие импульсов на входных проводниках в определенный момент времени можно описать с помощью вектора. Поскольку амплитуда импульсов от нейронов всегда одна и та же, то отсутствие импульса можно описать нулем, а наличие – единицей. Состояния ячеек запоминающей матрицы при этом можно описать матрицей весовых коэффициентов. Тогда получается, что в любой момент времени выходные токи запоминающей матрицы будут определяться вектором, являющимся

результатом умножения матрицы весовых коэффициентов на вектор входных напряжений.

На рис.11 представлен результат работы запоминающей матрицы размером 2×2 для трех разных матриц весовых коэффициентов. Первая компонента вектора выходных токов обозначена как Out[0], вторая – Out[1].

Как следует из рис.11, выходной вектор соответствует ожидаемому результату, вычисленному по правилу скалярного умножения матрицы на вектор. Отсутствие ожидаемого удвоения амплитуды выходного тока на первом выходе запоминающей матрицы при выполнении последнего умножения вызвано высоким коэффициентом усиления преобразователя ток-напряжение, что привело к превышению максимального напряжения оцифровки АЦП микроконтроллера.

Среднеквадратичное отклонение выходных напряжений за время действия входных импульсов напряжения, вносимая неодинаковостью мемристоров, оценена при сравнении данных эксперимента и SPICE-моделирования и составляет 276 нА. Среднеквадратичное отклонение сопротивления мемристоров в низкопроводящем состоянии составляет 109%, а в высокопроводящем – 65%.

Ассоциативное самообучение и генерация нового знания в аппаратной нейросети с запоминающей матрицей

Возникновение новой ассоциации по правилу ЛТР в сети из трех нейронов было продемонстрировано экспериментально на изготовленном мемристормо-диодном кроссбаре, выполняющем

Рис.11. Результат умножения матрицы чисел размером 2×2 на двухкомпонентный вектор: сплошные кривые – экспериментальные, пунктирные кривые – SPICE-моделирование

Fig.11. The result of multiplying a 2×2 matrix of numbers by a two-component vector: solid curves – experimental, dashed curves – SPICE modeling

функции запоминающей матрицы. Входные нейроны были представлены программируемыми генераторами импульсов, а выходной нейрон – аппаратной реализацией биоморфной модели нейрона (рис.5). Синапс с высоким весом был создан предварительным открытием мемристора серией импульсов высокого напряжения.

Каждый раунд обучения состоит из двух шагов. На первом шаге входные импульсы воздействуют на оба синапса нейрона, на втором шаге импульс приходит только на слабый синапс. Проходя через сильный синапс, импульс вызывает активацию нейрона, что в контексте измерительного стенда выражается в превышении порогового напряжения и последующего увеличения амплитуды входных импульсов посредством изменения коэффициента обратной связи входных ОУ. При этом напряжение на одном мемристоре ячейки слабого синапса становится больше порогового. Процесс обучения слабого синапса в течение нескольких раундов обучения представлен на рис.12.

В ходе третьего раунда обучения сопротивление мемристора ячейки слабого синапса становится достаточно малым, чтобы вызвать открытие диода в ячейке и появление наблюдаемого импульса тока. Увеличение весового коэффициента изначально слабого синапса отражает возникновение новой ассоциативной связи в сети из трех нейронов. На рис.12 возникновение новой ассоциативной связи отражено появлением новых импульсов с меньшей амплитудой.

ЗАКЛЮЧЕНИЕ

Представлена разработка биоморфного нейропроцессора на основе мемристорно-диодного кроссбара, реализующего аппаратную импульсную нейросеть на основе оригинальных биоморфных электрической и программной моделей нейрона и предназначенного для решения традиционных задач обработки информации, а также для воспроизведения работы кортикальной колонки мозга или ее фрагмента.

С помощью универсальной логической матрицы на основе комбинированного мемристорно-диодного кроссбара построены электрические схемы входного и выходного устройств, обладающие высокими интеграцией элементов и энергоэффективностью. Использование логической матрицы на основе мемристорно-диодного кроссбара, как в основных частях нейропроцессора, так и во входном и выходном устройствах, позволяет унифицировать элементную базу и источники питания нейропроцессора.

Приведены результаты SPICE-моделирования и экспериментального исследования процессов обработки сигналов в режимах маршрутизации выходных импульсов нейронов на синапсы других нейронов в логической матрице, умножения матрицы чисел на вектор, а также ассоциативного самообучения в запоминающей матрице. Впервые продемонстрирована генерация новой ассоциации (нового знания) как в компьютерном моделировании, так и в изготовленном мемристорно-диодном кроссбаре, в отличие от самообучения в существующих

Рис.12. Импульсы напряжения, отвечающие импульсам выходного тока одной из линий запоминающей матрицы, полученные в ходе шести раундов ассоциативного самообучения

Fig.12. Voltage pulses corresponding to pulses of the output current of one of the lines of the memory matrix, obtained during 6 rounds of associative self-learning

аппаратных нейросетях с синапсами на базе дискретных мемристоров. Рождение новой ассоциации осуществлено в сети из трех нейронов по правилу LTP и в однослойном аппаратном персептроне по правилу STDP. Используемый тестовый однослойный персептрон может быть в дальнейшем применен в качестве первого слоя биоморфной нейросети [21].

Проведено сравнение SPICE-моделирования и экспериментальных результатов по обработке сигналов в изготовленном мемристорно-диодном кроссбаре и определен разброс параметров мемристоров, при котором наблюдается устойчивая работа кроссбара. Среднеквадратичное отклонение сопротивления мемристоров может достигать от 60 до 100% и более.

Аналогов разработанного биоморфного нейропроцессора нет. Его уникальность состоит в том, что он построен на основе модернизированной электрической биоморфной модели нейрона и является биоморфным еще и с точки зрения выполнения функций биоморфной нейросети, созданной на основе оригинальной программной биоморфной модели нейрона. В отличие от нейропроцессоров на простых нейронах, биоморфный нейропроцессор дает возможность принимать решения не только на основе заранее заложенных ассоциаций, но и на основе новых ассоциаций, формируемых в процессе обработки сигналов в динамично меняющихся условиях.

Кроме задачи генерации нового знания, относящейся к проблеме создания систем искусственного интеллекта, на таком специализированном аппаратном средстве могут быть решены технические задачи – увеличение быстродействия и энергоэффективности расчетов по сравнению с существующими сегодня вычислительными средствами

(персональными компьютерами, серверами и суперкомпьютерами) – за счет применения смешанных аналогово-цифровых вычислений, в том числе с помощью мемристоров, интегрированных в комбинированные мемристорно-диодные кроссбары.

Созданы предпосылки для изготовления прототипа нейропроцессора нового поколения, качественно отличающегося от существующих нейропроцессоров на простых нейронах, предназначенных для работы компьютерного зрения, машинного обучения и других систем со слабым искусственным интеллектом. Новый нейропроцессор позволит в будущем при совершенствовании его оригинальной биоморфной нейросети [21] осмысливать полученные новые ассоциации (новое знание) и, следовательно, совершить переход от слабого к сильному искусственному интеллекту.

Исследования по разработке биоморфного нейропроцессора поддержаны грантами Российского фонда фундаментальных исследований (РФФИ): № 19-07-00272 "Электрофизические свойства комбинированного мемристорно-диодного кроссбара – нового компонента наноэлектроники, предназначенного для изготовления запоминающей и логической матриц нейропроцессора", № 19-37-90030 "Генерация нового знания в нейросети на основе массива мемристорных синапсов в запоминающей матрице биоморфного нейропроцессора и принципы увеличения быстродействия и энергоэффективности обработки информации на специализированном устройстве по сравнению с существующими вычислительными средствами" и № 20-37-90003 "Моделирование физических процессов в мемристорно-диодных кроссбарах входного и выходного блоков нейропроцессора".

ЛИТЕРАТУРА / REFERENCES

1. Pisarev A.D., Busygin A.N., Bobylev A.N., Udovichenko S.Yu. Operation principle and fabrication technology of the neuromorphic input unit on the basis of the memristive logic matrix // *International journal of nanotechnology*. 2019. 16. No. 6-10. PP. 596-601.
2. Писарев А.Д. Реализация дискретного косинусного преобразования во входном блоке мемристорного нейроморфного процессора // *Вестник ТюмГУ. Физико-математическое моделирование. Нефть, газ, энергетика*. 2019. 5. № 1. С. 147-161.
3. Писарев А.Д. Энергоэффективное импульсное кодирование входной информации для нейроморфного процессора // *Вестник ТюмГУ. Физико-математическое моделирование. Нефть, газ, энергетика*. 2019. 5. № 3. С. 186-212.
4. Ahkab. A SPICE-like electronic circuit simulator written in Python. <https://ahkab.github.io/ahkab/>
5. Gollisch T., Meister M. Rapid Neural Coding in the Retina with Relative Spike Latencies // *Science*. 2008. 319. No. 5866. PP. 1108-1111.
6. Chan V.H., Carey R.M. Simultaneous latency and rate coding for automatic error correction. US Patent 10282660, 2019.
7. Писарев А.Д., Бусыгин А.Н., Ибрагим А.Х., Удовиченко С.Ю. Моделирование процессов декодирования информации в выходном устройстве биоморфного нейроморфного процессора // *Вестник Тюменского государственного университета. Физико-математическое моделирование. Нефть, газ, энергетика*. 2020. 6. № 4. С. 179-193.
8. Brette R., Gerstner W. Adaptive Exponential Integrate-and-Fire Model as an Effective Description of Neuronal Activity // *Journal of neurophysiology*. 2005. 94. PP. 3637-3642.
9. Hodgkin A.L., Huxley A.F. A quantitative description of membrane current and its application to conduction and excitation in nerve // *Journal of Physiology*. 1952. 117. No. 4. PP. 500-544.
10. Pisarev A.D., Busygin A.N., Udovichenko S.Y., Maevsky O.V. A biomorphic neuromorphic processor based on a composite memristor-diode crossbar // *Microelectronics Journal*. 2020. 102. 104827.
11. Pisarev A.D., Busygin A.N., Udovichenko S.Yu., Maevsky O.V. 3D memory matrix based on a composite memristor-diode crossbar for a neuromorphic processor // *Microelectronic Engineering*. 2018. 198. PP. 1-7.
12. Pavlov I.P. Conditioned reflexes: An investigation of the physiological activity of the cerebral cortex // *Annals of Neurosciences*. 2010. 17. No. 3. PP. 136-141.
13. Удовиченко С.Ю., Писарев А.Д., Бусыгин А.Н., Ибрагим А.Х. Компьютерная симуляция биоморфного нейроморфного процессора – носителя искусственного интеллекта // *Применение технологий виртуальной реальности и смежных информационных систем в междисциплинарных задачах FIT-M 2020: сборник тезисов международной научной конференции*, 2020, с. 14-19.
14. Wang Z., Wang X. A Novel Memristor-Based Circuit Implementation of Full-Function Pavlov Associative Memory Accorded with Biological Feature // *IEEE Transactions on Circuits and Systems I: Regular Papers*. 2018. 65. No. 7. PP. 2210-2220.
15. Yang L., Zeng Z., Huang Y., Wen S. Memristor-Based Circuit Implementations of Recognition Network and Recall Network with Forgetting Stages // *IEEE Transactions on Cognitive and Developmental Systems*. 2018. 10. No. 4. PP. 1133-1142.
16. Zhang X., Long K. Improved Learning Experience Memristor Model and Application as Neural Network Synapse // *IEEE Access*. 2019. 7. PP. 15262-15271.
17. Minnekhanov A.A., Emelyanov A.V., Lapkin D.A., et al. Polyethylene Based Memristive Devices with Multi-level Resistive switching for Neuromorphic Applications // *Scientific Reports*. 2019. 9. 10800.
18. Писарев А.Д., Бусыгин А.Н., Бобылев А.Н., Губин А.А., Удовиченко С.Ю. Исследование электрофизических свойств комбинированного мемристорно-диодного кроссбара, являющегося основой для аппаратной реализации биоморфного нейроморфного процессора // *Вестник ТюмГУ. Физико-математическое моделирование. Нефть, газ, энергетика*. 2020. 6. № 3. С. 93-109.
19. Удовиченко С.Ю., Писарев А.Д., Бусыгин А.Н., Бобылев А.Н. Биоморфный нейроморфный процессор – прототип компьютера нового поколения, являющегося носителем искусственного интеллекта. Часть 1. // *НАНОИДУСТРИЯ*, 2020, 13, № 7-8 (101), с. 446-475.
20. Pisarev A., Busygin A., Bobylev A., Gubin A., Udovichenko S. Fabrication technology and electrophysical properties of a composite memristor-diode crossbar used as a basis for hardware implementation of a biomorphic neuromorphic processor // *Microelectronic Engineering*. 2021. V. 236. 111471.
21. Filippov V.A., Bobylev A.N., Busygin A.N., Pisarev A.D., Udovichenko S.Y. A biomorphic neuron model and principles of designing a neural network with memristor synapses for a biomorphic neuromorphic processor // *Neural Computing and Applications*. 2020. 32. PP. 2471-2485.

ТЕХНОСФЕРА
РЕКЛАМНО-ИЗДАТЕЛЬСКИЙ ЦЕНТР

100% ГАРАНТИЯ
ПОЛУЧЕНИЯ ВСЕХ НОМЕРОВ

Стоимость 2200 р. за номер
Периодичность: 10 номеров в год
www.electronics.ru

Стоимость 1430 р. за номер
Периодичность: 8 номеров в год
www.photonics.ru

Стоимость 1430 р. за номер
Периодичность: 6 номеров в год
www.j-analytics.ru

ПОДПИСКА НА ЖУРНАЛЫ

www.technosphere.ru

Стоимость 1056 р. за номер
Периодичность: 8 номеров в год
www.lastmile.ru

Стоимость 1287 р. за номер
Периодичность: 8 номеров в год
www.nanoindustry.ru

Стоимость 1716 р. за номер
Периодичность: 4 номера в год
www.stankoinstrument.ru